

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 4 年 7 月 8 日(2022.7.8)

【公開番号】特開 2020-9441(P2020-9441A)

【公開日】令和 2 年 1 月 16 日(2020.1.16)

【年通号数】公開・登録公報 2020-002

【出願番号】特願 2019-123601(P2019-123601)

【国際特許分類】

G 0 6 F 1 1 / 1 6 (2 0 0 6 . 0 1)

G 0 6 F 1 2 / 0 6 (2 0 0 6 . 0 1)

G 0 6 F 1 1 / 1 0 (2 0 0 6 . 0 1)

【 F I 】

G 0 6 F 1 1 / 1 6 6 6 6

G 0 6 F 1 2 / 0 6 5 1 5 Q

G 0 6 F 1 1 / 1 0 6 6 2

10

【手続補正書】

【提出日】令和 4 年 6 月 30 日(2022.6.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

装置であって、

__積層された集積回路ダイを備え、

前記積層された集積回路ダイは、

メモリアドレスに基づいて、少なくとも部分的に、データを格納するように構成されたメモリセルダイと、

30

ロジックダイと、を含み、

前記ロジックダイは、

前記積層された集積回路ダイに連結され、前記メモリセルダイと外部装置との間でメモリアクセスを通信するように構成されたインターフェースと、

__信頼性回路と、を含み、

前記信頼性回路は、

__データを格納するように構成された補助メモリと、

エラーに関連付けられたメモリアドレスを前記補助メモリの部分にマッピングするように構成されたアドレステーブルを含み、

40

前記信頼性回路は、

__前記ロジックダイの外部のプロセッサからの検出されたエラーコマンドに基づいて、前記アドレステーブルのメモリアドレスのエントリを編集するよう構成され、

前記積層された集積回路ダイへのメモリアクセスに基づいて、前記メモリアクセスがエラーに関連付けられていると判定し、少なくとも部分的に、前記補助メモリを使用して、前記メモリアクセスを完了するように構成されたことを特徴とする装置。

【請求項 2】

前記アドレステーブルは、

前記アドレステーブル内のエラーから保護するエラー訂正コードの部分と、

__前記メモリアドレスのエントリがアクティブ状態であることを示すように構成された有

50

効フラグと、を含むことを特徴とする請求項 1 に記載の装置。

【請求項 3】

前記信頼性回路は、

メモリアドレスのデータに対するライト (w r i t e) のメモリアクセスを外部装置から受信し、

前記メモリアドレスがエラーに関連付けられていると判定し、

前記データを前記補助メモリの部分に格納するように構成されたことを特徴とする請求項 1 に記載の装置。

【請求項 4】

前記信頼性回路は、前記メモリアドレスがメモリアドレスのエントリとして、前記アドレステーブルに格納されていると判定し、有効フラグが前記メモリアドレスのエントリがアクティブ状態であることを示すと判定することにより、前記メモリアドレスがエラーに関連付けられていると判定するように構成されたことを特徴とする請求項 3 に記載の装置。

10

【請求項 5】

前記信頼性回路は、

メモリアドレスのデータに対するリード (r e a d) のメモリアクセスを外部装置から受信し、

前記メモリアドレスがエラーに関連付けられていると判定し、

前記補助メモリの部分から前記データを回収するように構成されたことを特徴とする請求項 1 に記載の装置。

20

【請求項 6】

前記信頼性回路は、

メモリアドレスがエラーに関連付けられていることを示すメッセージを外部装置から受信し、

前記アドレステーブルに前記メモリアドレスを位置させ、

前記メモリアドレスを前記補助メモリの前記部分に関連付けるように構成されたことを特徴とする請求項 1 に記載の装置。

【請求項 7】

前記信頼性回路は、予め定められたメモリアドレスへのライト (w r i t e) のメモリアクセスを受信することにより、前記メモリアドレスがエラーに関連付けられていることを示すメッセージを外部装置から受信するように構成され、

30

前記予め定められたメモリアドレスは、前記アドレステーブルに関連付けられていることを特徴とする請求項 6 に記載の装置。

【請求項 8】

前記信頼性回路は、

前記補助メモリの使用レベルを監視し、

予め定められたメモリアドレスに前記使用レベルのインジケータを格納するように構成され、

前記インターフェースは、

前記予め定められたメモリアドレスへのリード (r e a d) のメモリアクセスを受信し、

40

前記リードのメモリアクセスに基づいて、前記補助メモリの前記使用レベルの前記インジケータを提供することを特徴とする請求項 1 に記載の装置。

【請求項 9】

システムであって、

プロセッサと、

前記プロセッサとは別の高帯域幅メモリスタックの集積回路と、を備え、

前記プロセッサは、

前記プロセッサとの間のデータの流れを管理するように構成されたメモリコントローラと、

格納されたデータに関連するエラーを検出するように構成されたエラー訂正回路と、を含

50

み、

前記高帯域幅メモリスタックの集積回路は、

メモリアドレスに基づいて、少なくとも部分的に、データを格納するように構成された高帯域幅メモリセルと、

信頼性回路と、を含み、

前記信頼性回路は、

データを格納するように構成された補助メモリと、

前記エラーに関連付けられたメモリアドレスを前記補助メモリの部分にマッピングするように構成されたアドレステーブルと、を含み、

前記信頼性回路は、前記高帯域幅メモリスタックの集積回路へのメモリアクセスに基づいて、前記メモリアクセスが前記エラー訂正回路によって検出されたエラーに関連付けられていると判定し、少なくとも部分的に、前記補助メモリを使用して、前記メモリアクセスを完了するように構成されたことを特徴とするシステム。

10

【請求項 10】

前記プロセッサは、

前記補助メモリが前記エラーを、少なくとも部分的に、訂正するのに十分な自由容量を含んでいると判定し、

前記エラーに関連付けられている前記メモリアドレスを前記補助メモリの部分にマッピングすることを特徴とする請求項 9 に記載のシステム。

20

【請求項 11】

前記信頼性回路は、

メモリアドレスのデータに対するライト (w r i t e) のメモリアクセスを前記プロセッサから受信し、

前記メモリアドレスがエラーに関連付けられていると判定し、

前記データを前記補助メモリのマッピングされた部分に格納するように構成されたことを特徴とする請求項 9 に記載のシステム。

【請求項 12】

前記信頼性回路は、

メモリアドレスのデータに対するリード (r e a d) のメモリアクセスを、前記プロセッサから受信し、

30

前記メモリアドレスがエラーに関連付けられていると判定し、

前記データを前記補助メモリのマッピングされた部分から回収するように構成されたことを特徴とする請求項 9 に記載のシステム。

【請求項 13】

前記プロセッサは、予め定められたメモリアドレスへのライト (w r i t e) のメモリアクセスを発行するように構成され、

前記予め定められたメモリアドレスは、前記アドレステーブルに関連付けられ、

前記ライト (w r i t e) のメモリアクセスは、データの一部として、前記エラーに関連付けられている前記メモリアドレスを含み、

前記信頼性回路は、

40

メモリアドレスがエラーに関連付けられていることを示すメッセージを前記プロセッサから受信し、

前記メモリアドレスを前記アドレステーブルに位置させ、

前記メモリアドレスを前記補助メモリの前記部分に関連させるように構成されたことを特徴とする請求項 9 に記載のシステム。

【請求項 14】

前記信頼性回路は、

前記補助メモリの使用レベルを監視し、

予め定められたメモリアドレスで前記使用レベルのインジケータを格納するように構成され、

50

前記プロセッサは、

前記予め定められたメモリアドレスへのリード (r e a d) のメモリアクセスを発行し、
前記リード (r e a d) のメモリアクセスに基づいて、前記補助メモリの前記使用レベル
の前記インジケータを受信するように構成されたことを特徴とする請求項 9 に記載のシ
ステム。

【請求項 15】

前記プロセッサは、それぞれのエラーに関連付けられているメモリアドレスのリストを格
納するように構成された不揮発性メモリを含み、

前記エラー訂正回路は、格納されたデータに対するエラーの検出に基づいて、前記エラー
に関連付けられている、前記メモリアドレスが前記不揮発性メモリと前記アドレステー
ブルの両方によって格納されるように構成されることを特徴とする請求項 9 に記載のシ
ステム。

10

【請求項 16】

前記不揮発性メモリは、それぞれのエラーに関連付けられている、前記メモリアドレスの
前記リストの 1 つ以上を前記アドレステーブルに追加するように構成され、

前記信頼性回路は、前記メモリアドレスの 1 つ以上を前記補助メモリのそれぞれの部分に
マッピングするように構成されたことを特徴とする請求項 15 に記載のシステム。

【請求項 17】

前記信頼性回路は、前記プロセッサをリセットすることなく、前記高帯域幅メモリセル内
のデータエラーを リマッピングするように構成されたことを特徴とする請求項 9 に記載の
システム。

20

【請求項 18】

装置であって、

ロジックダイを備え、

前記ロジックダイは、

メモリアドレスに基づいて、データを格納するように構成された高帯域幅メモリダイに連
結された内部インターフェースと、

前記高帯域幅メモリダイと、少なくとも 1 つの外部装置との間でメモリアクセスを通信す
るように構成された外部インターフェースと、

信頼性回路と、を含み、

30

前記信頼性回路は、

データを格納するように構成された補助メモリと、

エラーに関連付けられたメモリアドレスを前記補助メモリの部分にマッピングするように
構成されたアドレステーブルを含み、

前記信頼性回路は、

前記ロジックダイの外部のプロセッサからの検出されたエラーコマンドに基づいて、前
記アドレステーブルのメモリアドレスのエントリを編集するよう構成され、

前記高帯域幅メモリダイへのメモリアクセスに基づいて、前記メモリアクセスがエラーに
関連付けられていると判定し、少なくとも部分的に、前記補助メモリを使用して、前記メ
モリアクセスを完了するように構成されたことを特徴とする装置。

40

【請求項 19】

前記信頼性回路は、

メモリアドレスのデータに対するライト (w r i t e) のメモリアクセスを、前記外部
装置から受信し、

前記メモリアドレスがエラーに関連付けられていると判定し、

前記補助メモリの部分に前記データを格納するよう構成されたことを特徴とする請求
項 18 に記載の装置。

【請求項 20】

前記信頼性回路は、

メモリアドレスのデータに対するリード (r e a d) のメモリアクセスを、前記外部装

50

置から受信し、
前記メモリアドレスがエラーに関連付けられていると判定し、
前記補助メモリのマッピングされた部分から前記データを回収するように構成されたこ
とを特徴とする請求項 18 に記載の装置。

10

20

30

40

50