



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0024993  
(43) 공개일자 2019년03월08일

- (51) 국제특허분류(Int. Cl.)  
*H01L 23/48* (2006.01) *H01L 23/00* (2006.01)  
*H01L 25/07* (2006.01) *H01L 25/18* (2006.01)
- (52) CPC특허분류  
*H01L 23/48* (2013.01)  
*H01L 24/26* (2013.01)
- (21) 출원번호 10-2019-7002978
- (22) 출원일자(국제) 2017년05월12일  
 심사청구일자 2019년01월29일
- (85) 번역문제출일자 2019년01월29일
- (86) 국제출원번호 PCT/JP2017/018052
- (87) 국제공개번호 WO 2018/025463  
 국제공개일자 2018년02월08일
- (30) 우선권주장  
 JP-P-2016-153084 2016년08월03일 일본(JP)
- (71) 출원인  
 가부시키가이샤 도요다 지도속키  
 일본 아이찌肯 가리야시 도요다쵸 2쵸메 1반찌
- (72) 발명자  
 가토 나오키  
 일본 아이찌Ken 가리야시 도요다쵸 2쵸메 1반찌 가  
 부시키가이샤 도요다 지도속키 나이  
 모리 쇼고  
 일본 아이찌Ken 가리야시 도요다쵸 2쵸메 1반찌 가  
 부시키가이샤 도요다 지도속키 나이  
 (뒷면에 계속)
- (74) 대리인  
 특허법인코리아나

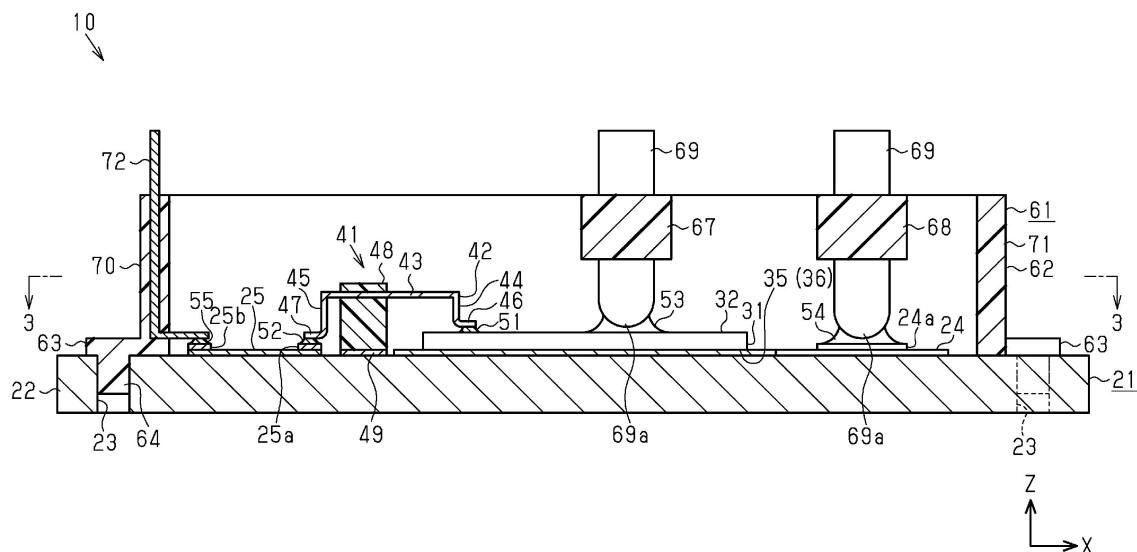
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 반도체 모듈

### (57) 요 약

반도체 모듈은 기판과, 기판에 실장된 2 개의 베어 칩 (반도체 소자) 과, 기판에 고정된 케이스를 구비하고 있다. 절연 기판의 상면에는, 각 베어 칩의 각각에 대응하여 1 개의 도체 패턴, 및 5 개의 신호용 패턴이 형성되어 있다. 각 베어 칩의 신호용 전극과 각 신호용 패턴은, 도전판에 의해 접속되어 있다. 도전판의 접속부에는 절연 부재가 형성되어 있다.

### 대 표 도



(52) CPC특허분류

*H01L 25/07* (2013.01)

*H01L 25/18* (2013.01)

(72) 발명자

**사토 하루미츠**

일본 아이찌肯 가리야시 도요다쵸 2쵸메 1반찌 가  
부시키가이샤 도요다 지도숏키 나이

**와타나베 히로키**

일본 아이찌肯 가리야시 도요다쵸 2쵸메 1반찌 가  
부시키가이샤 도요다 지도숏키 나이

---

**유구치 히로시**

일본 아이찌肯 가리야시 도요다쵸 2쵸메 1반찌 가  
부시키가이샤 도요다 지도숏키 나이

**오토베 유리**

일본 아이찌Ken 가리야시 도요다쵸 2쵸메 1반찌 가  
부시키가이샤 도요다 지도숏키 나이

## 명세서

### 청구범위

#### 청구항 1

기판과,

상면에 배치되는 전극 및 하면에 배치되는 전극을 갖고, 상기 기판 상에, 상기 하면에 배치되는 전극이 실장된 베어 칩과,

상기 상면에 배치되는 전극에 있어서의 제어 신호용 전극에 접합되는 제 1 접합부, 상기 기판 상의 제어 신호용 패턴에 접합되는 제 2 접합부 및 상기 제 1 접합부와 상기 제 2 접합부를 전기적으로 접속하는 접속부를 갖는 도전부를 구비하는 반도체 모듈에 있어서,

상기 접속부에는, 절연 부재가 형성되어 있고,

상기 베어 칩 1 개에 대해 상기 제어 신호용 전극을 포함하는 복수의 신호용 전극을 갖고,

복수의 상기 도전부가 복수의 상기 신호용 전극에 각각 배치되고,

복수의 상기 도전부에 있어서의 각 접속부는 1 개의 상기 절연 부재에 의해 고정되어 있는 것을 특징으로 하는 반도체 모듈.

#### 청구항 2

제 1 항에 있어서,

상기 절연 부재와 상기 기판은 면 접촉하고 있는 것을 특징으로 하는 반도체 모듈.

#### 청구항 3

제 1 항에 있어서,

상기 절연 부재와 상기 기판은 접착되어 있는 것을 특징으로 하는 반도체 모듈.

#### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 베어 칩이 복수 구비되고, 각 베어 칩의 상면에 배치되는 전극에 있어서의 신호용 전극과는 다른 전극에 접합되는 복수의 리드가 케이스에 의해 일체적으로 형성되고, 상기 리드와 상기 다른 전극은 접촉하지 않고 접합되어 있는 것을 특징으로 하는 반도체 모듈.

#### 청구항 5

제 4 항에 있어서,

상기 리드의 접합부는 R 형상을 갖는 것을 특징으로 하는 반도체 모듈.

## 발명의 설명

### 기술 분야

[0001]

본 발명은, 반도체 모듈에 관한 것이다.

### 배경기술

[0002]

특허문헌 1 에는, 베어 칩의 제어 신호용 전극 (레이트 전극) 과 제어 신호용 패턴을 도전부에서 접속한 반도체 모듈이 기재되어 있다. 제어 신호용 패턴에는 신호 단자를 통하여 제어 장치가 접속된다. 도전부는, 예를 들어, 금속판을 굽힘 가공한 것으로, 땀납에 의해 제어 신호용 전극, 및 제어 신호용 패턴에 접합되어 있다.

이로써 도전부를 통하여 제어 신호용 전극과 제어 신호용 패턴이 접속되어 있다.

## 선행기술문헌

### 특허문헌

[0003] (특허문헌 0001) 일본 공개특허공보 2015-80383호

## 발명의 내용

### 해결하려는 과제

[0004] 그런데, 제어 신호용 전극, 및 제어 신호용 패턴에 도전부를 땜납으로 접합하기 전에는 도전부를 자립시킬 필요가 있다. 그러나, 도전부는 제어 신호를 전달하기 위한 부재로서, 작고 가볍다. 이 때문에, 제어 신호용 전극, 및 제어 신호용 패턴에 도전부를 접합하기 전에 도전부가 전도될 우려가 있다.

[0005] 본 발명의 목적은, 도전부의 전도를 억제할 수 있는 반도체 모듈을 제공하는 것에 있다.

### 과제의 해결 수단

[0006] 상기 과제를 해결하는 반도체 모듈은, 기판과, 상면에 배치되는 전극 및 하면에 배치되는 전극을 갖고, 상기 기판 상에, 상기 하면에 배치되는 전극이 실장된 베어 칩과, 상기 상면에 배치되는 전극에 있어서의 제어 신호용 전극에 접합되는 제 1 접합부, 상기 기판 상의 제어 신호용 패턴에 접합되는 제 2 접합부 및 상기 제 1 접합부와 상기 제 2 접합부를 전기적으로 접속하는 접속부를 갖는 도전부를 구비하는 반도체 모듈에 있어서, 상기 접속부에는, 절연 부재가 형성되어 있다.

[0007] 이것에 의하면, 절연 부재의 하중이 도전부에 가해져서, 절연 부재가 형성되어 있지 않은 경우에 비하여 도전부가 안정되기 쉽다. 이 때문에, 제어용 신호 패턴 및 제어 신호용 전극에 도전부를 접합하기 전이어도 도전부가 자립하기 쉬워, 도전부의 전도를 억제할 수 있다.

[0008] 상기 반도체 모듈에 대해, 상기 베어 칩 1 개에 대해 상기 제어 신호용 전극을 포함하는 복수의 신호용 전극을 갖고, 복수의 상기 도전부가 복수의 상기 신호용 전극에 각각 배치되고, 복수의 상기 도전부에 있어서의 각 접속부는 1 개의 상기 절연 부재에 의해 고정되어 있어도 된다.

[0009] 이것에 의하면, 복수의 도전부는, 1 개의 절연 부재에 고정됨으로써 어세이화된다. 이 때문에, 도전부의 접합시에, 도전부의 위치 결정을 개별로 실시할 필요가 없어, 복수의 도전부의 위치 결정을 실시하기 쉽다.

[0010] 상기 반도체 모듈에 대해, 상기 절연 부재와 상기 기판은 면 접촉하고 있어도 된다.

[0011] 이것에 의하면, 절연 부재와 기판이 접촉되어 있음으로써 도전부가 전도되는 것이 더욱 억제된다.

[0012] 상기 반도체 모듈에 대해, 상기 절연 부재와 상기 기판은 접착되어 있어도 된다.

[0013] 이것에 의하면, 절연 부재가 기판에 접착되어 있기 때문에, 도전부가 전도되는 것이 더욱 억제된다.

[0014] 상기 반도체 모듈에 대해, 상기 베어 칩이 복수 구비되고, 각 베어 칩의 상면에 배치되는 전극에 있어서의 신호용 전극과는 다른 전극에 접합되는 복수의 리드가 케이스에 의해 일체적으로 형성되고, 상기 리드와 상기 다른 전극은 접촉하지 않고 접합되어 있다.

[0015] 이것에 의하면, 땜납에 의해 신호용 전극과는 다른 전극에 리드를 접합하기 전에 있어서, 케이스의 위치 결정을 실시함으로써 케이스에 일체화된 복수의 리드가 위치 결정된다. 이 때문에, 복수의 리드를 일괄적으로 배치할 수 있다.

[0016] 상기 반도체 모듈에 대해, 상기 리드의 접합부는 R 형상을 갖는다.

[0017] 이것에 의하면, 리드와 제어 신호용 전극과는 다른 전극을 접합하는 땜납에 필렛이 형성되기 쉽다.

## 발명의 효과

[0018] 본 발명에 의하면, 도전부의 전도를 억제할 수 있다.

## 도면의 간단한 설명

[0019]

도 1 은 반도체 모듈의 평면도이다.

도 2 는 반도체 모듈을 나타내는 도 1 의 2-2 선 단면도이다.

도 3 은 반도체 모듈을 나타내는 도 2 의 3-3 선 단면도이다.

도 4 는 도전판을 확대하여 나타내는 평면도이다.

도 5 는 리드의 사시도이다.

도 6 은 반도체 모듈의 제조 공정의 일 공정을 나타내는 도면이다.

## 발명을 실시하기 위한 구체적인 내용

[0020]

이하, 반도체 모듈의 일 실시형태에 대해 설명한다.

[0021]

도 1 및 도 2 에 나타내는 바와 같이, 반도체 모듈 (10) 은 수평으로 배치되는 기판 (21) 과, 기판 (21) 에 설치된 2 개의 베어 칩 (반도체 소자) (31) 과, 기판 (21) 에 고정된 케이스 (61) 를 구비하고 있다. 또, 반도체 모듈 (10) 은 도시되지 않은 봉지 수지를 구비하고 있다. 또한, 도 1 ~ 도 6 에 있어서, 수평면을 직교하는 X, Y 방향으로 규정함과 함께, 상하 방향을 Z 방향으로 규정하고 있다.

[0022]

기판 (21) 은, 절연 기판 (22) 을 갖고 있다. 절연 기판 (22) 의 2 개 지점에는, 상하 방향 (Z 방향) 으로 관통하는 관통공 (23) 이 형성되어 있다. 절연 기판 (22) 의 상면에는, 각 베어 칩 (31) 의 각각에 대응하여 1 개의 도체 패턴 (24), 및 5 개의 신호용 패턴 (25) 이 형성되어 있다. 즉, 절연 기판 (22) 에는 합계하여 2 개의 도체 패턴 (24) 과 10 개의 신호용 패턴 (25) 이 형성되어 있다. 각 신호용 패턴 (25) 은, 각각, X 방향으로 연장되고, 또한, 10 개의 신호용 패턴 (25) 은 Y 방향으로 병설되어 있다. 각 도체 패턴 (24) 에는 패드 (24a) 가 형성되어 있다. 또, 각 신호용 패턴 (25) 의 2 개 지점에는 패드 (25a, 25b) 가 형성되어 있다.

[0023]

각 도체 패턴 (24) 에는, 베어 칩 (31) 이 접합되어 있다. 본 실시형태의 베어 칩 (31) 은, 종형 파워 MOSFET 이다.

[0024]

도 3 에 나타내는 바와 같이, 각 베어 칩 (31) 은, 상면 (32) 에 배치되는 전극으로서의 소스 전극 (33), 및 신호용 전극 (34a, 34b, 34c, 34d, 34e) 을 갖고 있다. 복수의 전극 (33, 34a, 34b, 34c, 34d, 34e) 에 있어서의 신호용 전극 (34a, 34b, 34c, 34d, 34e) 은 Y 방향으로 나열되어 있다. 즉, 베어 칩 (31) 1 개에 대해, 복수의 신호용 전극 (34a, 34b, 34c, 34d, 34e) 이 형성되어 있다.

[0025]

신호용 전극 (34a) 은 제어 신호용 전극 (게이트 전극) 이다. 신호용 전극 (34b, 34c) 은 온도 센스용 정부 (正負) 의 전극이다. 신호용 전극 (34d, 34e) 은 전류 센스용 정부의 전극이다.

[0026]

각 신호용 전극 (34a, 34b, 34c, 34d, 34e) 의 면적은, 동일하다. 또, 베어 칩 (31) 의 상면 (32) 에 배치되는 복수의 전극 (33, 34a, 34b, 34c, 34d, 34e) 에 있어서의 신호용 전극 (34a) 과는 다른 전극인 소스 전극 (33) 의 면적에 비하여, 신호용 전극 (34a) 의 면적은 작다.

[0027]

도 2 에 나타내는 바와 같이, 베어 칩 (31) 은, 하면 (35) 에 배치되는 전극으로서의 드레인 전극 (36) 을 갖고 있다. 드레인 전극 (36) 은, 하면 (35) 의 전체에 걸쳐 형성되어 있다. 각 베어 칩 (31) 의 드레인 전극 (36) 은, 뼈납 등의 도전성의 접합재 (도시 생략) 에 의해 도체 패턴 (24) 에 접합되어 있다.

[0028]

도 2 및 도 3 에 나타내는 바와 같이, 기판 (21) 의 상면측에는, 5 개의 도전부로서의 도전판 (버스 바) (42) 을 1 개의 절연 부재 (48) 로 일체화한 도전판 어세이 (41) 가 2 개 형성되어 있다. 도전판 (42) 은, 복수의 신호용 전극 (34a, 34b, 34c, 34d, 34e) 에 각각 배치되어 있다.

[0029]

각 베어 칩 (31) 의 신호용 전극 (34a, 34b, 34c, 34d, 34e) 과, 각 신호용 패턴 (25) 은, 도전판 (42) 에 의해 접속되어 있다. 각 신호용 패턴 (25) 중, 도전판 (42) 에 의해 신호용 전극 (34a) 과 접속되는 신호용 패턴 (25) 이 제어 신호용 패턴으로 된다.

[0030]

도 2 에 나타내는 바와 같이, 도전판 (42) 은, 금속판을 굽힘 가공한 것으로, 사각 형상의 접속부 (43) 와, 제 1 연장 형성부 (44) 와, 제 2 연장 형성부 (45) 와, 제 1 접합부 (46) 와, 제 2 접합부 (47) 를 갖고 있다.

접속부 (43) 는 X 방향으로 연장되어 있다. 각 연장 형성부 (44, 45) 는, 접속부 (43) 의 양 단부로부터 하방으로 연장되어 있다. 제 1 접합부 (46) 는 제 1 연장 형성부 (44) 의 하단부로부터 X 방향으로 연장되어 있다. 제 2 접합부 (47) 는 제 2 연장 형성부 (45) 의 하단부로부터 X 방향으로 연장되어 있다. 접속부 (43) 는, 제 1 접합부 (46) 와 제 2 접합부 (47) 사이에 형성되어 있다. 접속부 (43) 는, 제 1 연장 형성부 (44) 및 제 2 연장 형성부 (45) 를 통하여, 제 1 접합부 (46) 와 제 2 접합부 (47) 를 전기적으로 접속하고 있다. 제 1 연장 형성부 (44) 의 상하 방향 (Z 방향) 의 치수는, 제 2 연장 형성부 (45) 의 상하 방향 (Z 방향) 의 치수보다 짧다.

[0031] 또, 도 4 에 나타내는 바와 같이,  $L_1 \times L_2$  로 나타내는 제 1 접합부 (46) 의 면적은,  $L_3 \times L_4$  로 나타내는 제 2 접합부 (47) 의 면적보다 작다. 또한,  $L_{11} \times L_{12}$  로 나타내는 신호용 전극 (34a, 34b, 34c, 34d, 34e) 의 면적은,  $L_{13} \times L_{14}$  로 나타내는 패드 (25a) 의 면적보다 작다.

[0032] 도 2 및 도 3 에 나타내는 바와 같이, 각 도전판 (42) 의 접속부 (43) 에는, 절연 부재 (48) 가 형성되어 있다. 절연 부재 (48) 는, 5 개의 도전판 (42) 에 대해 1 개 형성되어 있고, 각 도전판 (42) 의 접속부 (43) 는 절연 부재 (48) 를 관통하고 있다. 절연 부재 (48) 의 일부는, 제 1 연장 형성부 (44) 와 제 2 연장 형성부 (45) 사이에 형성되어 있다. 절연 부재 (48) 는 수지제이다.

[0033] 5 개의 도전판 (42) 은 Y 방향으로 서로의 간격이 유지된 상태에서 절연 부재 (48) 에 고정되어, 일체화 (어세이화) 되어 있다. 각 도전판 (42) 의 제 1 접합부 (46) 끼리의 간격은, 베어 칩 (31) 마다의 신호용 전극 (34a, 34b, 34c, 34d, 34e) 끼리의 간격과 동일 간격이고, 각 도전판 (42) 의 제 2 접합부 (47) 끼리의 간격은, 각 신호용 패턴 (25) 의 패드 (25a) 끼리의 간격과 동일 간격이다.

[0034] 각 도전판 (42) 은, 제 1 접합부 (46) 가 신호용 전극 (34a, 34b, 34c, 34d, 34e) 에 대향하고, 제 2 접합부 (47) 가 신호용 패턴 (25) 의 패드 (25a) 에 대향하도록 배치되어 있다. 그리고, 제 1 접합부 (46) 는 땀납 (51) 에 의해 신호용 전극 (34a, 34b, 34c, 34d, 34e) 에 접합되고, 제 2 접합부 (47) 는 땀납 (52) 에 의해 신호용 패턴 (25) 의 패드 (25a) 에 접합되어 있다. 땀납 (51) 은, 신호용 전극 (34a, 34b, 34c, 34d, 34e) 과 제 1 접합부 (46) 사이에 필렛이 형성되어 있다. 또, 절연 부재 (48) 에 있어서, 기판 (21) 과 대향하는 면은 접착제 (49) 에 의해 절연 기판 (22) 에 접착되어 있다.

[0035] 도 1 및 도 2 에 나타내는 바와 같이, 케이스 (61) 는 기판 (21) 의 상면에 배치되어 있다. 케이스 (61) 는 사각 프레임상의 본체 (62) 와, 본체 (62) 의 외면에 있어서 2 개의 모서리부에 형성된 돌출부 (63) 를 갖고 있다. 돌출부 (63) 로부터는 하방을 향하여 돌기 (64) 가 돌출되어 있다. 2 개의 돌기 (64) 끼리의 이간 거리는, 절연 기판 (22) 에 형성된 관통공 (23) 끼리의 이간 거리와 동일하다. 또, 2 개의 돌기 (64) 의 크기는, 관통공 (23) 에 삽입 가능한 크기로 되어 있다.

[0036] 본체 (62) 는, X 방향으로 연장되는 1 쌍의 벽부 (65, 66) 와, Y 방향으로 연장되는 1 쌍의 벽부 (70, 71) 를 갖고, 대향하는 제 1 벽부 (65) 와 제 2 벽부 (66) 에는 2 개의 지지벽 (67, 68) 이 가설되어 있다. 각 지지벽 (67, 68) 에는, 각각, 2 개의 리드 (69) 가 상하 방향 (Z 방향) 으로 연장되는 상태에서 고정되어 있다.

[0037] 도 5 에 나타내는 바와 같이, 각 리드 (69) 는, 기둥상으로 하단 (69a) 에 R 형상을 갖고 있다. 구체적으로 말하면, 각 리드 (69) 는 하단 (69a) 을 제외한 부분이 사각 기둥상이며, 하단 (69a) 은 원호상으로 되어 있다. 각 리드 (69) 는, 각 지지벽 (67, 68) 을 관통하고 있다. 그리고, 각 리드 (69) 는, 케이스 (61) 에 의해 일체적으로 형성되어 있다.

[0038] 도 2 및 도 3 에 나타내는 바와 같이, 본체 (62) 에 있어서, 제 3 벽부 (70) 에는 신호 단자 (72) 가 형성되어 있다. 신호 단자 (72) 는, 각 베어 칩 (31) 에 대응하여 5 개씩 형성되어 있고, Y 방향으로 나열하여 합계 10 개 형성되어 있다.

[0039] 신호 단자 (72) 는, 봉상으로, 하단이 직각으로 굽혀진 L 자상이다. 각 신호 단자 (72) 의 하단은, 본체 (62) 내를 향하여 제 3 벽부 (70) 로부터 돌출되어 있다. 각 신호 단자 (72) 는, 케이스 (61) 와 일체화되어 있다. 각 리드 (69), 및 각 신호 단자 (72) 는 기판 (21) 으로부터 상하 방향 (Z 방향) 으로 연장되는 상태에서 형성되어 있고, 기판 (21) 을 평면에서 봤을 때에 기판 (21) 의 수평 방향으로 돌출되어 있지 않다.

[0040] 케이스 (61) 의 2 개의 돌기 (64) 는 절연 기판 (22) 의 2 개의 관통공 (23) 에 삽입되어 있다. 케이스 (61) 의 각 벽부 (65, 66, 70, 71) 는, 도시되지 않은 접착제에 의해 절연 기판 (22) 에 접착되어 있다.

[0041] 지지벽 (67) 에 일체화된 각 리드 (69) 는 소스 전극 (33) 상에 접근하고 있다. 리드 (69) 의 하단 (69a)

은 소스 전극 (33) 과는 접촉하지 않은 상태에서 땜납 (53)에 의해 소스 전극 (33)에 접합되어 있다. 이 때문에, 소스 전극 (33)과 접합되는 하단 (69a)이 접합부로 된다. 땜납 (53)은, 필렛이 형성되어 있다.

[0042] 지지벽 (68)에 일체화된 각 리드 (69)는 도체 패턴 (24)의 패드 (24a) 상에 접근하고 있다. 리드 (69)는 패드 (24a)와는 접촉하지 않은 상태에서 땜납 (54)에 의해 접합되어 있다. 땜납 (54)은, 필렛이 형성되어 있다.

[0043] 케이스 (61)에 일체화된 각 신호 단자 (72)의 하단은, 각 신호용 패턴 (25)의 패드 (25b)에 대향하도록 위치하고 있다. 신호 단자 (72)의 하단은, 땜납 (55)에 의해 각 신호용 패턴 (25)의 패드 (25b)에 접합되어 있다.

[0044] 다음으로, 본 실시형태의 반도체 모듈 (10)의 작용에 대해 설명한다.

[0045] 반도체 모듈 (10)을 제조할 때에, 도전판 (42)의 제 1 접합부 (46)를 땜납에 의해 신호용 전극 (34a, 34b, 34c, 34d, 34e)에 접합하고, 도전판 (42)의 제 2 접합부 (47)를 땜납에 의해 신호용 패턴 (25)의 패드 (25a)에 접합한다. 이하, 상세하게 설명한다.

[0046] 도 6에 나타내는 바와 같이, 납땜을 실시할 때에는, 신호용 전극 (34a, 34b, 34c, 34d, 34e)상, 및 패드 (25a)상에 땜납 페이스트 (51a, 52a)를 배치하고, 땜납 페이스트 (51a, 52a)상에 도전판 (42)의 제 1 접합부 (46) 및 제 2 접합부 (47)를 배치한다. 이 때, 접착제 (49)에 의해 절연 부재 (48)를 절연 기판 (22)에 접착한다.

[0047] 또, 본 실시형태에서는, 각 리드 (69), 및 각 신호 단자 (72)도 일괄적으로 납땜하기 때문에, 소스 전극 (33)상, 및 패드 (24a, 25b)상에도 땜납 페이스트 (53a, 54a, 55a)를 배치한다. 그리고, 케이스 (61)의 돌기 (64)가 절연 기판 (22)의 관통공 (23)에 삽입되도록 케이스 (61)를 배치함으로써, 각 리드 (69)와 각 신호 단자 (72)의 위치 결정이 실시된다. 각 리드 (69)의 하단 (69a), 및 각 신호 단자 (72)의 하단은, 땜납 페이스트 (53a, 54a, 55a)에 접촉한다.

[0048] 그리고, 리플로 노 등에서 땜납 페이스트 (51a, 52a, 53a, 54a, 55a)를 용융시키고, 그 후, 경화시킴으로써 각 도전판 (42), 각 리드 (69), 각 신호 단자 (72)가 땜납 (51, 52, 53, 54, 55)에 의해 접합된다.

[0049] 각 도전판 (42)은, 땜납 (51, 52)에 의해 접합되기 전에는, 땜납 페이스트 (51a, 52a)상에서 자립하고 있을 필요가 있다. 본 실시형태에서는, 접속부 (43)에 절연 부재 (48)를 형성함으로써, 절연 부재 (48)의 하중이 도전판 (42)에 가해진다. 이 때문에, 절연 부재 (48)가 형성되어 있지 않은 경우에 비하여, 도전판 (42)으로부터 기판 (21)을 향하여 가해지는 하중이 커져, 무게 중심이 안정된다. 이 때문에, 도전판 (42)이 잘 전도되지 않는다. 또한, 본 실시형태에서는 절연 부재 (48)를 절연 기판 (22)에 접착시키고 있기 때문에, 도전판 (42)이 전도되는 것이 더욱 억제되어 있다.

[0050] 또, 땜납 페이스트 (51a, 52a)의 용융시에는 용융한 땜납 페이스트 (51a, 52a)의 표면 장력에서 기인하여 맨하탄 현상이 일어날 우려가 있지만, 절연 부재 (48)의 하중이 도전판 (42)에 가해지고 있음으로써, 맨하탄 현상이 일어나는 것도 억제되어 있다.

[0051] 특히, 제 1 접합부 (46)의 면적과 제 2 접합부 (47)의 면적에 차가 있으면, 면적 차에서 기인하여 도전판 (42)의 전도나, 맨하탄 현상이 일어나기 쉽지만, 본 실시형태와 같이 절연 부재 (48)를 형성함으로써, 제 1 접합부 (46)의 면적과 제 2 접합부 (47)의 면적에 차가 있어도 도전판 (42)의 전도나 맨하탄 현상을 억제할 수 있다.

[0052] 따라서, 상기 실시형태에 의하면, 이하와 같은 효과를 얻을 수 있다.

[0053] (1) 도전판 (42)의 접속부 (43)에는 절연 부재 (48)가 형성되어 있다. 이 때문에, 절연 부재 (48)의 하중이 도전판 (42)에 가해져, 땜납 (51, 52)에 의한 접합을 실시하기 전에 도전판 (42)이 전도되는 것이 억제된다.

[0054] (2) 절연 부재 (48)는, 접착제 (49)에 의해 절연 기판 (22)에 접착되어 있다. 이 때문에, 도전판 (42)이 전도되는 것이 더욱 억제된다.

[0055] (3) 절연 부재 (48)에 의해 복수의 도전판 (42)을 일체화하고 있다. 이 때문에, 도전판 (42)의 접합시에, 도전판 (42)의 위치 결정을 개별로 실시할 필요가 없어, 복수의 도전판 (42)의 위치 결정을 실시하기 쉽다.

- [0056] (4) 리드 (69) 의 하단 (69a) 은, 소스 전극 (33) 으로부터 이간되어 있다. 이 때문에, 리드 (69) 와의 접촉에 의해 소스 전극 (33) 이 손상되는 것이 억제된다.
- [0057] (5) 리드 (69) 의 하단 (69a) 은 R 형상을 갖고 있다. 이 때문에, 리드 (69) 와 소스 전극 (33) 을 접합하는 땜납 (53), 및 리드 (69) 와 패드 (24a) 를 접합하는 땜납 (54) 에 필렛이 형성되기 쉽다.
- [0058] (6) 도전판 (42) 을 땜납 (51, 52) 에 의해 신호용 전극 (34a, 34b, 34c, 34d, 34e) 과 신호용 패턴 (25) 의 패드 (25a) 에 접합하고 있기 때문에, 도전판 (42) 의 접합파, 리드 (69) 의 접합을 일괄적으로 실시할 수 있다. 만일, 신호용 전극 (34a, 34b, 34c, 34d, 34e) 과 신호용 패턴 (25) 의 패드 (25a) 를 본딩 와이어에 의해 접속하는 경우, 본딩 와이어의 접합파 리드 (69) 의 접합을 따로 실시할 필요가 있다. 케이스 (61) 를 기판 (21) 에 장착한 후에 본딩 와이어의 접합을 실시하는 경우, 접합을 실시하는 영역을 확보하기 위하여 케이스 (61) 를 크게 할 필요가 있다. 본 실시형태와 같이, 도전판 (42) 을 사용하여 일괄적으로 납땜을 실시함으로써, 케이스 (61) 를 크게 할 필요가 없어, 반도체 모듈 (10) 의 대형화가 억제된다.
- [0059] 또한, 실시형태는 이하와 같이 변경해도 된다.
- [0060] ○ 절연 부재 (48) 는, 절연 기판 (22) 에 접착되어 있지 않아도 된다. 이 경우, 절연 부재 (48) 는 절연 기판 (22) 에 면 접촉해도 되고, 면 접촉하고 있지 않아도 된다. 어느 경우여도, 절연 부재 (48) 의 하중이 도전판 (42) 에 가해짐으로써, 땜납 (51, 52) 에 의해 접합을 실시하기 전에 도전판 (42) 이 전도되는 것이 억제된다. 또, 절연 부재 (48) 가 절연 기판 (22) 에 면 접촉하고 있는 경우에는, 절연 부재 (48) 와 절연 기판 (22) 의 접촉 면적이 증가함으로써, 도전판 (42) 이 잘 전도되지 않는다.
- [0061] ○ 각 도전판 (42) 에 개별적으로 절연 부재가 형성되어 있어도 된다. 즉, 복수의 도전판 (42) 은 일체화되어 있지 않아도 된다.
- [0062] ○ 도전판 (42) 의 수는, 신호용 전극 (34a, 34b, 34c, 34d, 34e) 의 수에 맞춰 적절히 변경해도 된다.
- [0063] ○ 절연 부재 (48) 와 절연 기판 (22) 을 접착하는 접착제는, 납땜 공정 등에 있어서 휘발되어도 된다.
- [0064] ○ 절연 부재 (48) 는, 절연성의 재료이면, 수지 이외로 제조되어 있어도 된다.
- [0065] ○ 절연 부재 (48) 는, 케이스 (61) 에 접착되어도 된다.
- [0066] ○ 리드 (69) 의 하단 (69a) 은, 소스 전극 (33) 에 접하고 있어도 된다.
- [0067] ○ 리드 (69), 및 신호 단자 (72) 는, 케이스 (61) 에 일체화되어 있지 않아도 된다.
- [0068] ○ 리드 (69) 의 하단 (69a) 은, 평탄 형상 등 R 형상을 갖지 않아도 된다.
- [0069] ○ 베어 칩 (31) 은 IGBT (절연 게이트 바이폴러 트랜지스터) 여도 된다.
- [0070] ○ 베어 칩 (31) 의 개수, 도체 패턴 (24) 의 개수, 리드 (69) 의 개수 등은 적절히 변경해도 된다.
- [0071] ○ 제 1 접합부와, 제 2 접합부와, 제 1 접합부와 제 2 접합부 사이에 형성된 본체부를 갖는 칩 콘덴서의 본체부에 절연 부재를 형성해도 된다.
- [0072] ○ 각 신호용 전극 (34a, 34b, 34c, 34d, 34e) 의 면적은 동일하지 않아도 된다.
- [0073] ○ 각 도전판 (42) 의 제 1 접합부 (46) 끼리의 간격은, 베어 칩 (31) 마다의 신호용 전극 (34a, 34b, 34c, 34d, 34e) 끼리의 간격과 동일 간격이 아니어도 된다.
- [0074] ○ 각 도전판 (42) 의 제 2 접합부 (47) 끼리의 간격은, 각 신호용 패턴 (25) 의 패드 (25a) 끼리의 간격과 동일 간격이 아니어도 된다.
- [0075] ○ 제 1 접합부 (46) 의 면적은, 제 2 접합부 (47) 의 면적 이상이어도 된다.

### 부호의 설명

- [0076] 10 : 반도체 모듈  
21 : 기판  
22 : 절연 기판

24 : 도체 패턴

25 : 신호용 패턴

31 : 베어 칩

32 : 상면

33 : 소스 전극

34a, 34b, 34c, 34d, 34e : 신호용 전극

35 : 하면

36 : 드레인 전극

42 : 도전판

43 : 접속부

46 : 제 1 접합부

47 : 제 2 접합부

48 : 절연 부재

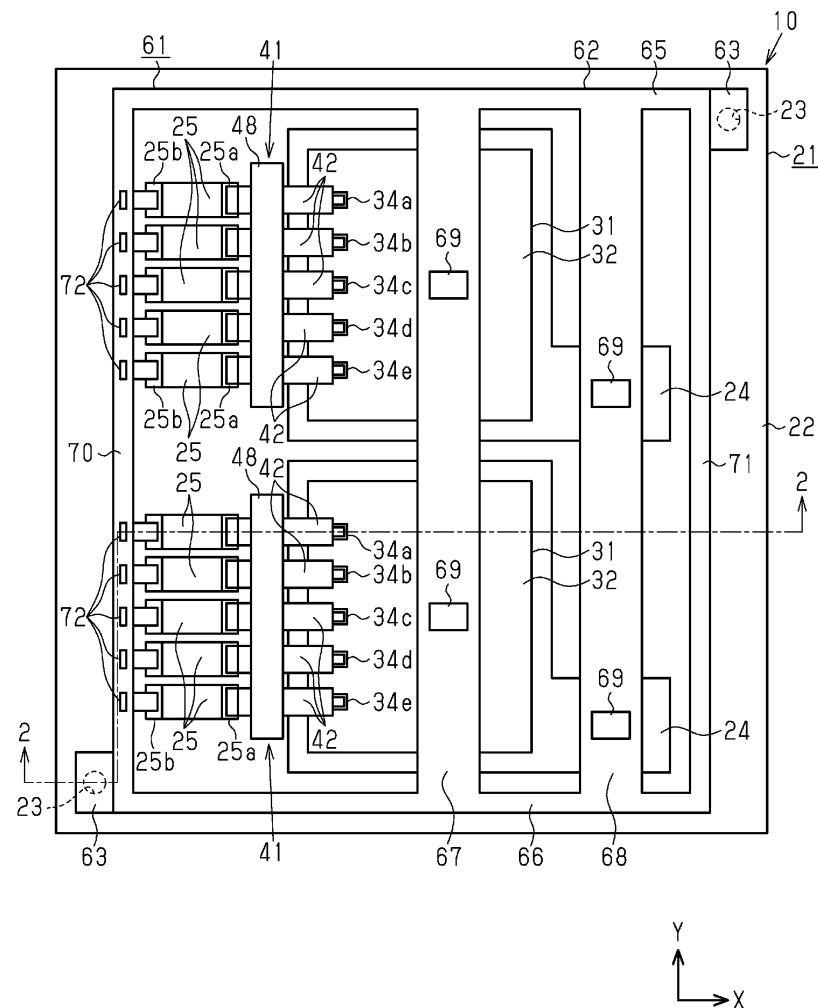
51, 52, 53, 54, 55 : 땜납

69 : 리드

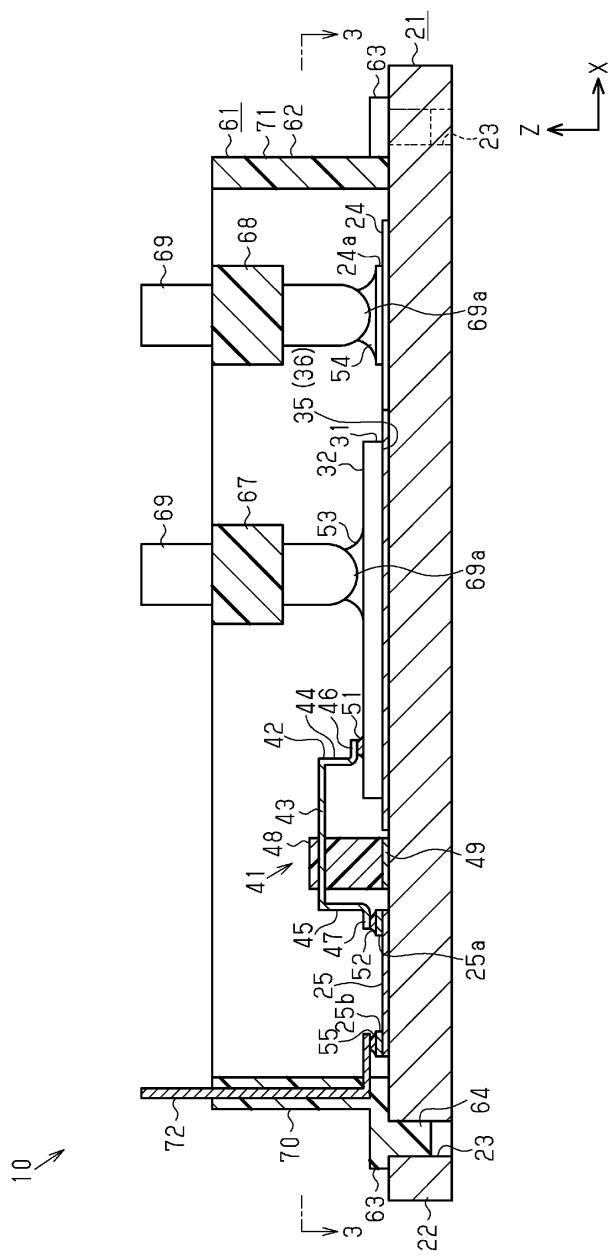
69a : 하단

## 도면

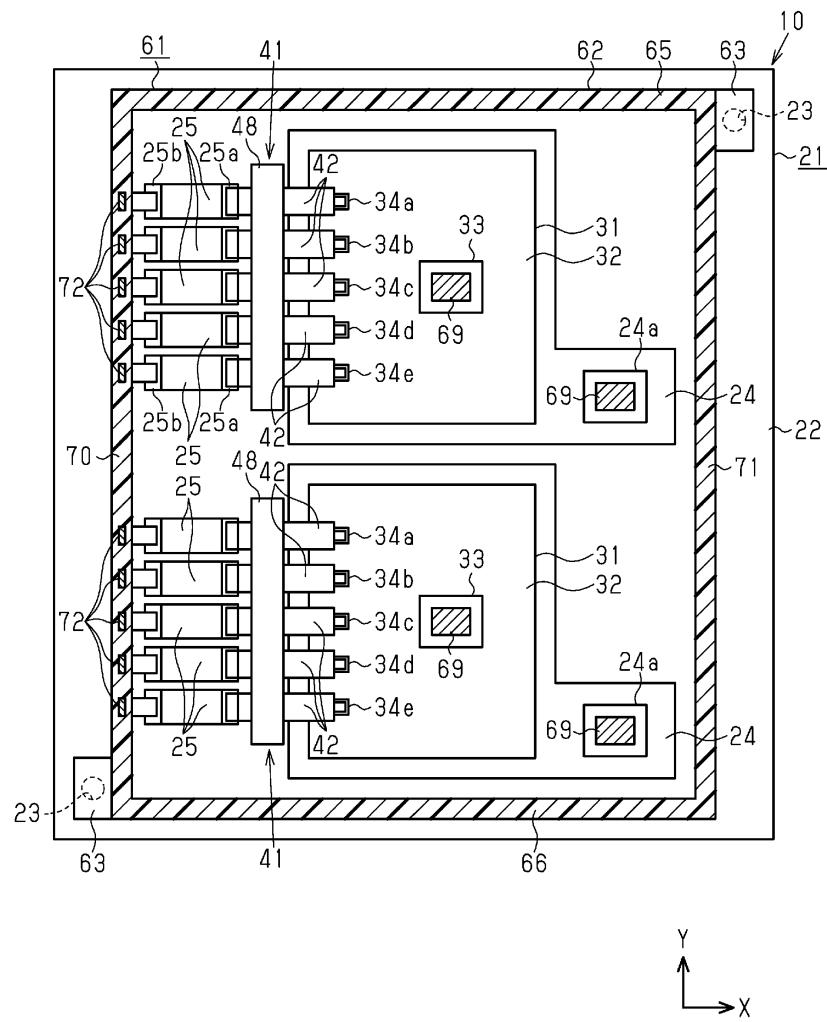
## 도면1



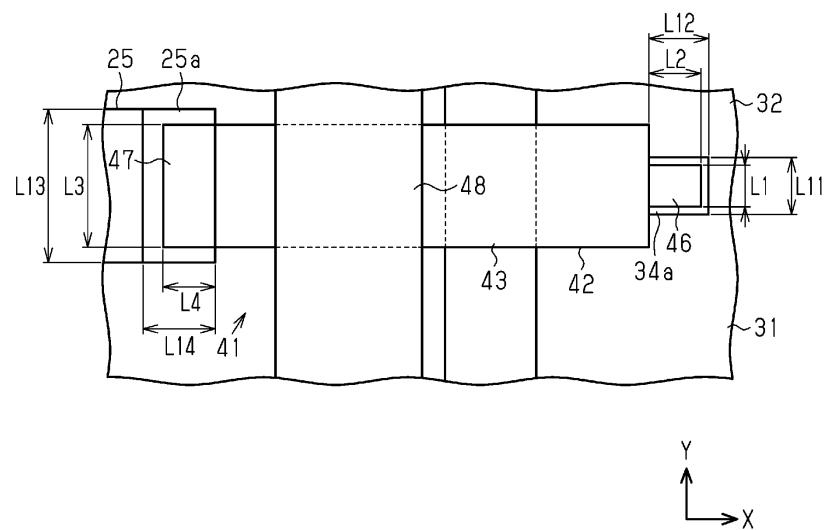
## 도면2



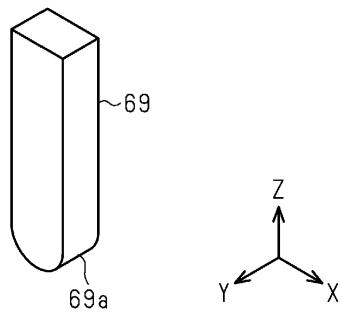
도면3



도면4



도면5



도면6

