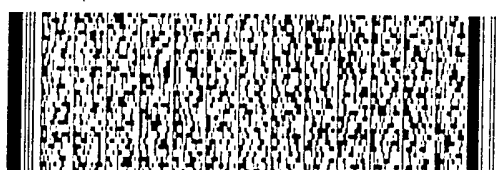
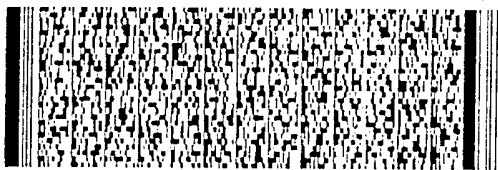


申請日期: 87.11.18	案號: 87119094
類別: 公告/本	
(以上各欄由本局填註)	

發明專利說明書

405087

一、發明名稱	中文	具有三個輸入之加法器的多資料路徑處理器
	英文	MULTIPLE DATAPATH PROCESSOR WITH A THREE-INPUT ADDER
二、發明人	姓名 (中文)	1. 瑪沙 M. 艾立迪納 2. 瑟凡納 西蒙南帕利 3. 賴瑞 R. 泰特 4. 馬克 厄尼斯特 席爾貝契
	姓名 (英文)	1. MAZHAR M. ALIDINA 2. SIVANAND SIMANAPALLI 3. LARRY R. TATE 4. MARK ERNEST THIERBACH
	國籍	1. 美國 2. 印度 3. 美國 4. 美國
	住、居所	1. 美國賓州艾靈頓市艾斯科圓環4290號 2. 美國加州聖塔克來拉郡聖塔克來拉市孟羅街2250號 3. 美國伊利諾州庫克郡南拜靈頓市奇賓坎普頓街12號 4. 美國賓州艾靈頓市維爾彌路2282號
三、申請人	姓名 (名稱) (中文)	1. 美商朗訊科技公司
	姓名 (名稱) (英文)	1. LUCENT TECHNOLOGIES INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國新澤西州摩里山丘市山脈大道600號
	代表人 姓名 (中文)	1. 麥克·R·格林
代表人 姓名 (英文)	1. MICHAEL R. GREENE	



本案已向

405087

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1997/11/25 08/978,468

有

有關微生物已寄存於

寄存日期

寄存號碼

無



技術範疇

一般來說，本發明係與多資料路徑處理器有關，特別是關於具有三個輸入加法器的多資料路徑處理器。

發明背景

多資料路徑處理器，像是多乘法累積資料路徑數位訊號處理器，是大家所熟知的；像這樣的數位訊號處理器在例如通信或影像應用中，用以執行運算，來進行數位化以數字運作表示訊號；許多乘法累積處理器係設計以多個雙輸入端之算術邏輯單元，來累加其乘積；當在像是有限脈衝響應濾波器運算過濾訊號時，雙輸入端之算術邏輯單元由於要求程式設計者在硬體限制處附近，來構造該計算結果，因而限制了處理器效能發揮到最大的能力。

因此有需要對訊號處理，像是計算有限脈衝響應濾波器之個別輸出樣本，提供一種更有效率的技術。

發明總結

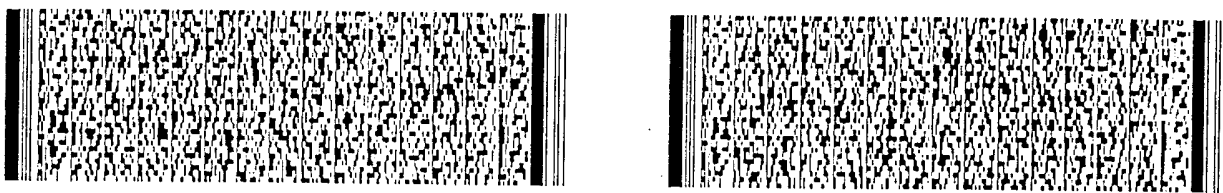
依據本發明，一處理器至少包含兩個乘法累積資料路徑，每個乘法累積資料路徑至少具有一個乘法器以及一個加法器，而在至少一個乘法累積資料路徑裡，至少有一個加法器係三輸入端之加法器。

圖式之簡單說明

圖1係一根據本發明之資料運算單元部份電路圖。

詳細說明

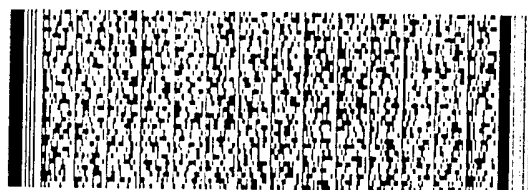
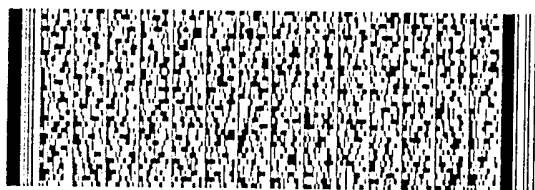
圖1顯示了資料運算單元(DAU)20之部份電路圖，其可為積體電路的一部份，而該積體電路可能是通信系統收發機



五、發明說明 (2) **405087**

的一部份，或者係通信系統像是數位細胞式行動電話的一部份，資料運算單元20是處理器22的一部份，該處理器可能是微控制器、微處理器或數位訊號處理器，資料運算單元20包括了一個多工器32，用以自多個輸入選出一個作為第一輸入暫存器34之輸入；輸入暫存器34可切割成高與低兩部份，分別以 x_h 及 x_l 表示，典型上高低兩部份，每一個部份都包含有 n 位元，其中 n 為任意數，在本發明所提出具體化， n 為16；第一輸入暫存器34係一具有分為高與低兩部份之 $2n$ -位元暫存器，一個 n -位元的字可多工進入每個高的部份 x_h 以及低的部份 x_l ， $2n$ -位元表示法係以字長 n 位元兩次，再加上適當的防護位元；資料運算單元20至少包含兩個乘法累積路徑，乘法器24和加法器26提供一第一乘法累積路徑，乘法器28和加法器30提供一第二乘法累積路徑；多工器32可具有一輸入耦合到第一資料匯流排16，指定為 X 資料匯流排，以及具有一來自於加法器26和30輸出之反饋路徑36；多工器38自多個輸入選出一個作為第二輸入暫存器40，指定為 y 暫存器之輸入；第二輸入暫存器40可切割成高與低兩部份，分別以 y_h 及 y_l 表示，典型上高低兩部份，每一個部份都包含有 n 位元，同樣地，第二輸入暫存器40係一具有分為高與低兩部份之 $2n$ -位元暫存器，多工器38可耦合到第二資料匯流排18，指定為 Y 資料匯流排，以及耦合到一來自於加法器26和30輸出之反饋路徑36。

來自輸入第一暫存器34 x_h 及 x_l 部份之位元，以及來自

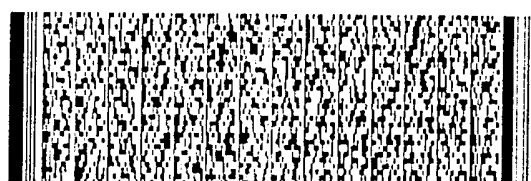
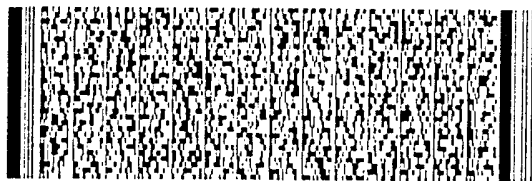


五、發明說明 (3)

輸入第二暫存器40 y_h及y_l部份之位元經由交叉多工器42，交叉多工器42提供兩個輸入給每個乘法器24及28，輸入44和46提供給乘法器24，輸入48和50提供給乘法器28，一個 n-位元的字可多工進入每個暫存器34與40的每個較高一半與較低一半，來自於第一暫存器34與第二暫存器40的較高一半或較低一半之輸出，可將任何的輸入44、46、48或50，經由交叉多工器42，提供給乘法器24及28；每個乘法器24及28都將所接收到之輸入相乘，並輸出乘積，來自乘法器24之乘積輸出儲存於乘積暫存器52，並提供做為多工器56與58兩者之輸入；同樣地，來自乘法器28之乘積輸出儲存於乘積暫存器54，並提供做為多工器56與多工器58兩者之輸入；多工器56與58也可做為第二輸入暫存器40內容之輸入。

累加器外儲存器62包括有多個暫存器64，組成累加器外儲存器62之暫存器64也是一種 2n-位元暫存器，其可藉由高與低兩部份來進行存取；累加器外儲存器62之輸出經由線路66，耦合做為多工器56與加法器26之輸入，並且由線路68，做為多工器58與加法器30之輸入。

多工器56之輸出提供給加法器26作為輸入，從加法器26輸出之加總通過飽和方塊70，於滿出時限制輸出極值，並耦合做為多工器32、38及60之一輸入；同樣地，多工器58之輸出提供輸入給加法器30，從加法器30輸出之加總通過飽和方塊72，於滿出時限制輸出極值，並耦合做為多工器32、38及60之一輸入；多工器60能夠提供加法器26或30兩



五、發明說明 (4)

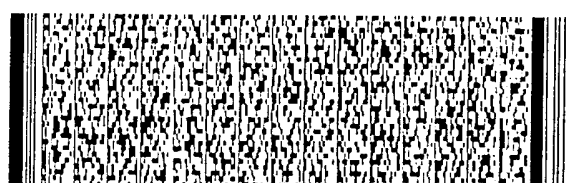
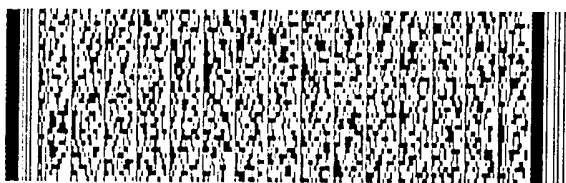
405087

者之一輸出，給累加器外儲存器62之任何一個暫存器64。輸入到不同多工器的選擇係由處理器架構(未顯示)控制部分之解碼器來設定，以便選擇適當的輸入作為輸出。

在本發明所提出具體化，加法器30係三輸入端之加法器，而加法器26至少有兩個輸入端，每個加法器26和30提供一個其為加法器輸入合成之加總輸出；另外加法器兩者可以有一個是分段加法器，或兩者皆是；分段加法器可像是結合兩運算元之高位數位元及兩運算元之低位數位元，來執行兩個加法或兩個減法；在此處將加法器26係當作加法運算器，但加法器26也可以是一個算術邏輯運算單元，其能夠執行邏輯運算以及加法和減法運算。

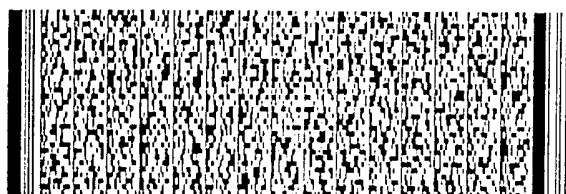
加法器26可經由乘積暫存器52與54及多工器56，接收其一來自於乘法器24或乘法器28兩者之一輸出的輸入；同樣地，加法器30可經由乘積暫存器52和54，接收一或二個來自於乘法器24與乘法器28之輸出，而在來自於乘法器24輸出的情形下是多工器58；以此方式，來自於第一資料路徑乘法器24之輸出可提供做為第一資料路徑加法器26或第二資料路徑加法器30之輸入，或同時提供給兩者；同樣地，來自於第二資料路徑乘法器28之輸出可提供做為第二資料路徑加法器30或第一資料路徑加法器26之輸入，或同時提供給兩者。

兩個對加法器26之輸入端可經由線路66，提供作為累加器外儲存器62之暫存器64的輸出，加法器26輸入之一可由累加器外儲存器62輸出直接提供，另一個輸入則經由多工



器56提供；同樣地，兩個對加法器30之輸入端可經由68，提供作為累加器外儲存器62之暫存器64的輸出，加法器輸入之一可直接耦合到累加器外儲存器62之輸出，第二個對加法器30之輸入則係經由線路68，透過多工器58耦合而成。

資料路徑上，具有三輸入端之加法器提供機會給使用者，讓使用者能夠計算有限脈衝響應濾波器兩分支之個別輸出，或者是兩獨立濾波器各一分支，以至少一個加法器係分段加法器，則在單一個時鐘週期裡，就可執行高達三個加法或減法運算；而以兩加法器皆係分段加法器，則在單一個時鐘週期裡，就可執行高達四個加法或減法運算。

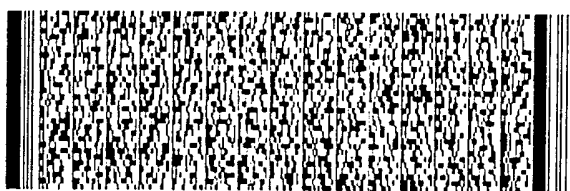


四、中文發明摘要 (發明名稱：具有三個輸入之加法器的多資料路徑處理器)

本發明揭示一種處理器，其包含至少兩個乘法累積資料路徑(24, 26 ; 28, 30)。每個乘法累積資料路徑具有至少一個乘法器(24或28)以及至少一個加法器(26或30)。在至少一個乘法累積資料路徑裡之至少一個加法器(30)係為三個輸入之加法器。

英文發明摘要 (發明之名稱：MULTIPLE DATAPATH PROCESSOR WITH A THREE-INPUT ADDER)

There is disclosed a processor including at least two multiply-accumulate data paths (24, 26; 28, 30). Each multiply-accumulate data path has at least one multiplier (24 or 28) and at least one adder (26 or 30). At least one of the adders (30) in at least one of the multiply-accumulate data paths is a three-input adder.



1. 一種積體電路，包含：

一具有至少兩個乘法累積資料路徑(24, 26; 28, 30)之處理器，每一個乘法累積資料路徑具有至少一個乘法器(24或28)以及至少一個加法器(26或30)，至少有一個加法器(30)係為三輸入之加法器。

2. 如申請專利範圍第1項之積體電路，其中在每一條資料路徑中，來自該乘法器(24; 28)之輸出適於而以耦合為一輸入書至該加法器中。

3. 如申請專利範圍第1項之積體電路尚包含一個暫存儲寄存器(62)，用以接收來自至少兩個資料路徑之每一路徑中至少一加法器之一輸出。

4. 如申請專利範圍第1項之積體電路，其中至少有一加法器(26或30)為分離加法器；

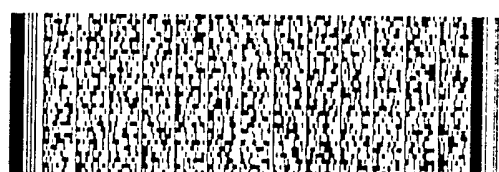
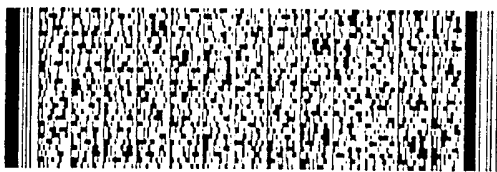
5. 如申請專利範圍第1項之積體電路，其中在每一條資料路徑中，至少有一加法器(26或30)為分離加法器；

6. 一種處理器，其包含：

一第一乘法器(24)，其適於接收第一及第二輸入；該第一乘法器適於提供一輸出，該輸出係為該第一(44)及第二(46)輸入之一乘積；

一第一加法器(26)，其至少有兩個輸入，該至少兩個輸入之一第一輸入適於耦合至該第一乘法器之輸出，該第一加法器提供一總和輸出，該總和輸出係為該第一加法器輸入之一結合；

一第二乘法器(28)，適於接收第三(48)及第四(50)輸



入；第二乘法器(28)適於提供一輸出，該輸出係為第三及第四輸入之一乘積；以及

一第二加法器(30)，適於接收三個輸入；至第二加法器之一第一輸入係適於耦合至該第二乘法器之輸出；第二乘法器提供一第二總和輸出，該第二總和輸出係為由該第二加法器輸入之結合。

7. 如申請專利範圍第6項之處理器，進一步包含：

一暫存儲存器(62)，適於可供耦合以接收來自第一加法器(26)之該第一總和輸出與來自該第二加法器(30)之該第二總和輸出。

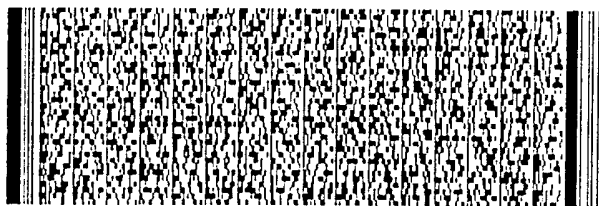
8. 如申請專利範圍第7項之處理器，其中輸至該第一加法器(26)之一輸入(44或46)適於可供耦合以接收來自於暫存儲存器(62)之輸出。

9. 如申請專利範圍第7項之處理器，其中輸至該第二加法器之一第二輸入適於可供耦合(66)以接收來自於暫存儲存器(62)之輸出。

10. 如申請專利範圍第6項之處理器，其中來自該第一乘法器之該輸出適於可供耦合以做為輸至該第一加法器(26)與第二加法器(30)兩者的一個輸入。

11. 如申請專利範圍第6項之處理器，其中來自於第二乘法器(28)之輸出適於可供耦合做為第一加法器(26)與該第二加法器(30)兩者的一個輸入。

12. 如申請專利範圍第10項之處理器，其中來自該第二乘法器(28)之該輸出適於可供耦合以做為第一加法器(26)



六、申請專利範圍 **405087**

與該第二加法器(30)兩者的一個輸入。

13. 如申請專利範圍第6項之處理器，其中輸至該第一及第二乘法器(24或28)其中之一的一個輸入適於可供耦合以做為該第一加法器(26)的一個輸入。

14. 如申請專利範圍第6項之處理器，其中輸至該第一及第二乘法器(24或28)其中之一的一個輸入適於可供耦合以做為該第一加法器(30)的一個輸入。

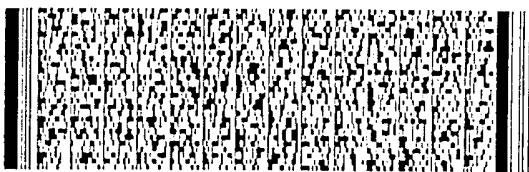
15. 如申請專利範圍第6項之處理器，其中輸至該第一及第二乘法器(24或28)其中之一的一個輸入適於可供耦合以做為該第一加法器(26)及第二加法器(30)兩者的一個輸入。

16. 如申請專利範圍第6項之處理器，其中該第一總輸出適於可供耦合以做為第一、第二、第三及第四等輸入的其中之一輸入。

17. 如申請專利範圍第6項之處理器，其中該第二總輸出適於可供耦合以做為第一、第二、第三及第四等輸入的其中之一輸入。

18. 如申請專利範圍第6項之處理器，其中該第一總輸出適於可供耦合以做為第一、第二、第三及第四等輸入的其中之一輸入，而該第二總輸出適於供以耦合以做為第一、第二、第三及第四等輸入中的另一個輸入。

19. 如申請專利範圍第6項之處理器，其中該第一總輸出適於供以耦合做為輸至該第一加法器(26)之至少兩個輸入的兩個輸入。



六、申請專利範圍 **405087**

20. 如申請專利範圍第6項之處理器，其中該第二總輸出適於供以耦合做為輸至第二加法器(30)之至少兩個輸入的兩個輸入。

21. 如申請專利範圍第6項之處理器，其中該第一總輸出適於供以耦合做為輸至第二加法器(30)之至少兩個輸入的兩個輸入。

22. 如申請專利範圍第6項之處理器，其中該第二總輸出適於供以耦合做為輸至第一加法器(26)之至少兩個輸入的兩個輸入。

23. 如申請專利範圍第6項之處理器，其中該第一加法器(26)為一分離加法器。

24. 如申請專利範圍第6項之處理器，其中該第二加法器(30)為一分離加法器。

25. 如申請專利範圍第6項之處理器，其中該第一(26)及第二加法器(30)為分離加法器。

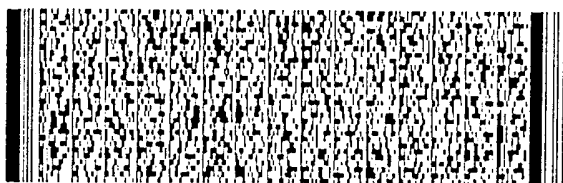
26. 如申請專利範圍第6項之處理器，其中該處理器係裝置於一積體電路中。

27. 如申請專利範圍第6項之處理器，其中該處理器係一數位訊號處理器。

28. 一種積體電路，其包含：

一第一多工器(42)，適於接收第一、第二、第三及第四輸入，該第一多工器適於提供該等第一、第二、第三及第四輸入做為輸出；

一第一乘法器(24)，適於接收該等第一、第二、第三



六、申請專利範圍 **405087**

及第四輸入之二者做為輸入；該第一乘法器(24)適於提供一輸出，該輸出係為兩個第一乘法器輸入之一乘積；

一第二乘法器(28)，適於接收該等第一、第二、第三及第四輸入之二個輸入做為輸入；該第一乘法器(28)適於提供一輸出，該輸出係為兩個第二乘法器輸的一個乘積；

一第二多工器(56)，該第二多工器適於接收一來自該第一乘法器(24)輸出與一來自該第二乘法器(28)之輸出做為輸入，該第二多工器適於提供該等輸入之一做為一輸出；

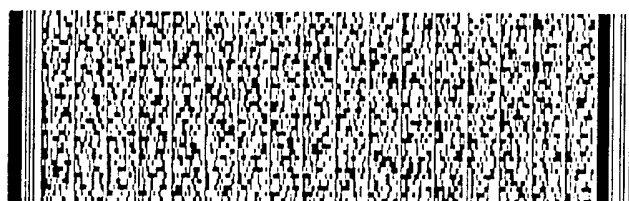
一第三多工器(58)，該第三多工器適於接收一來自該第一乘法器之輸出做為其輸入之一，該第三多工器適於提供輸入之一做為一個輸出；

一第一加法器(26)，其至少具有兩個輸入，該至少兩個輸入之一第一輸入適於供以耦合至該第二多工器(56)之輸出；該第一加法器提供一第一總和輸出，其係為至少兩個輸入之結合；

一第二加法器(30)，適於接收至少三個輸入；一第一輸入適於供耦合至該第三多工器之輸出；該第二加法器提供一第二總和輸出，其係為該至少三個輸入的結合。

29. 如申請專利範圍第28項之積體電路，其中輸至該第一多工器(42)之第一、第二、第三與第四等輸入的至少一個輸入亦做為輸至該第二多工器(56)的一個輸入。

30. 如申請專利範圍第28項之積體電路，其中輸至該第一多工器(42)之第一、第二、第三與第四等輸入的至少



六、申請專利範圍

一個輸入亦做為輸至該第三多工器(58)的一個輸入。

31. 如申請專利範圍第 28 項之積體電路，其中輸至該第一多工器(42)之第一、第二、第三與第四等輸入的至少一個輸入亦做為到第二及第三多工器(56及58)的一個輸入。

32. 如申請專利範圍第 28 項之積體電路，其尚包括一暫存器(64)之累加儲存器(62)，該累加儲存器(62)適於接收及儲存來自該第一(26)及第二(30)加法器之輸出；該累加儲存器(62)適於提供輸出。

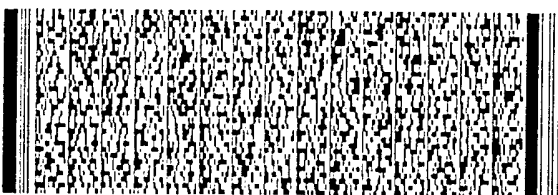
33. 如申請專利範圍第 32 項之積體電路，其中來自暫存儲存器(62)之一個輸出提供一輸至該第一加法器(26)之輸入。

34. 如申請專利範圍第 32 項之積體電路，其中來自暫存儲存器(62)之一個輸出提供一輸至該第二加法器(56)之輸入。

35. 如申請專利範圍第 32 項之積體電路，其中來自暫存儲存器(62)之一個輸出提供一輸至該第二加法器(30)之輸入。

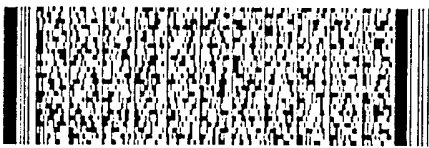
36. 如申請專利範圍第 32 項之積體電路，其中來自暫存儲存器之一個輸出提供一輸至該第三多工器之輸入。

37. 如申請專利範圍第 32 項之積體電路，其尚包括一第四多工器(60)，該第四多工器適於接收來自該第一(26)與第二(30)加法器之輸出做為輸入而輸至累加儲存器(62)中之暫存器(64)。



六、申請專利範圍

38. 如申請專利範圍第 37 項之積體電路，其中輸至該第一多工器(42)之第一、第二、第三與第四等輸入之至少有一個輸入來自該第四多工器(60)之一個輸出。



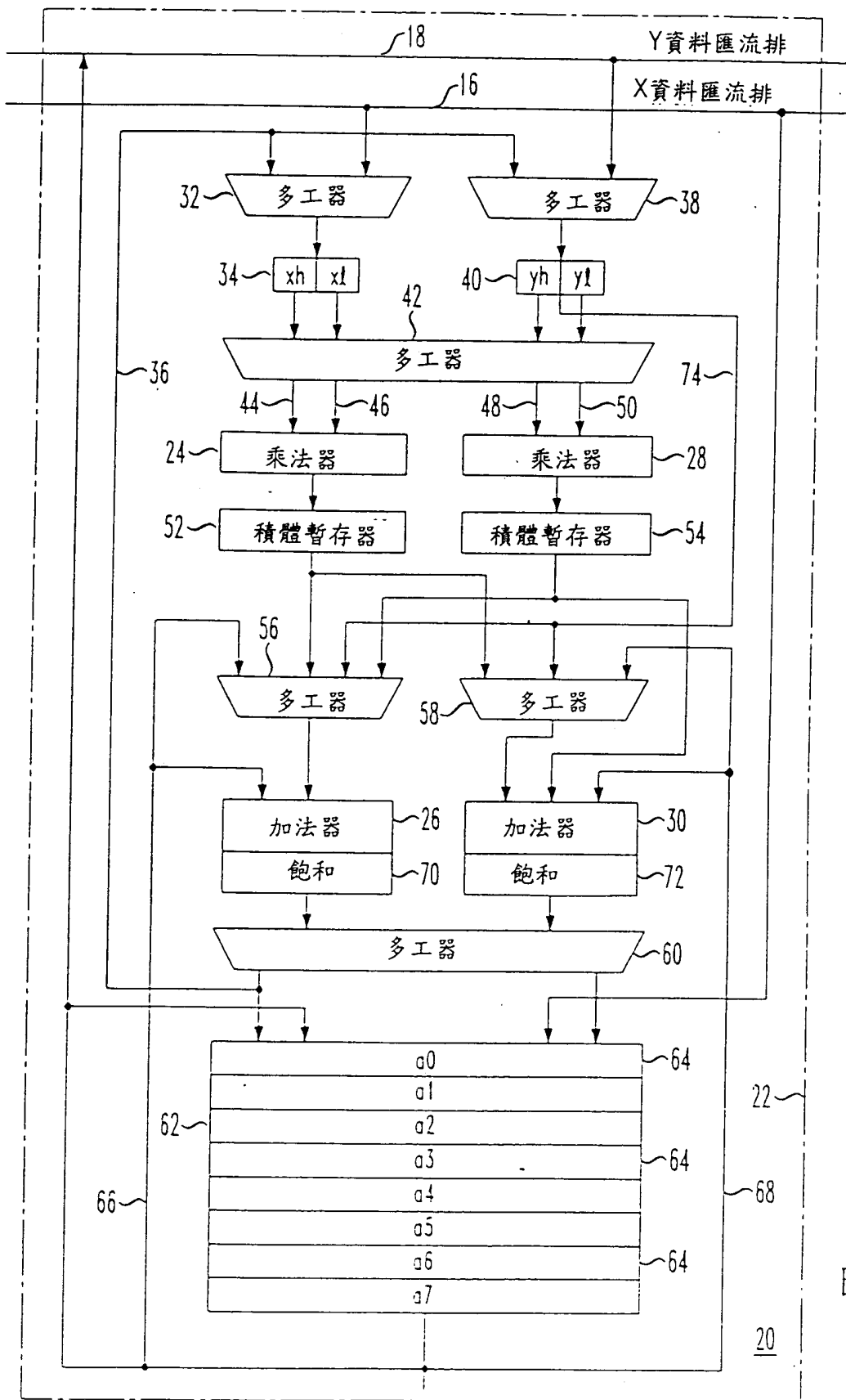


圖 1