



(12) 发明专利申请

(10) 申请公布号 CN 115995489 A

(43) 申请公布日 2023.04.21

(21) 申请号 202211280672.3

H01L 29/423 (2006.01)

(22) 申请日 2022.10.19

H01L 21/336 (2006.01)

(30) 优先权数据

2111151 2021.10.20 FR

17/960,064 2022.10.04 US

(71) 申请人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

申请人 意法半导体(鲁塞)公司

(72) 发明人 R·杰尔马纳-卡尔皮内托

L·马索罗 L·因纳科罗

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 丁君军

(51) Int.Cl.

H01L 29/78 (2006.01)

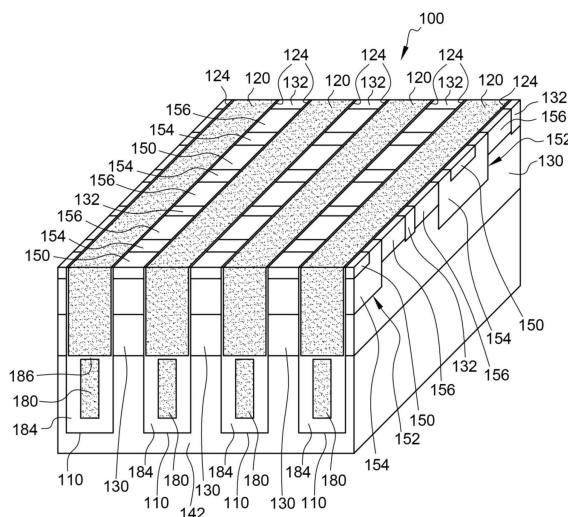
权利要求书2页 说明书10页 附图19页

(54) 发明名称

包括晶体管的电子器件

(57) 摘要

本公开的实施例涉及包括晶体管的电子器件。本发明涉及一种电子器件,包括半导体衬底和晶体管,其栅极包含在延伸到半导体衬底的沟槽中,每个晶体管包括第一导电型掺杂半导体阱,该阱埋置在半导体衬底中,并与所述沟槽中的两个相邻沟槽接触,第二导电类型的第一掺杂半导体区域,覆盖该阱,与该阱接触,并与两个相邻沟槽接触,第二导电类型的第二掺杂半导体区域比第一半导体区域掺杂更重,在第一半导体区域中延伸,以及第一导电类型的第三掺杂半导体区域,掺杂比阱重,覆盖阱,与第一区域接触,并在与阱接触的半导体衬底中延伸。



1. 一种电子器件,包括:

半导体衬底,具有第一表面;以及

晶体管,其栅极包含在沟槽中,所述沟槽在所述半导体衬底中延伸,每个晶体管在所述半导体衬底中包括:

第一导电类型的掺杂半导体阱,其中具有晶体管通道,所述掺杂半导体阱被埋置在所述半导体衬底中,并且与所述沟槽之间的两个相邻沟槽接触,

第二导电类型的第一掺杂半导体区域,所述第二导电类型与所述第一导电类型相对,所述第二导电类型的第一掺杂半导体区域在所述掺杂半导体阱中,与所述掺杂半导体阱接触,并且与所述两个相邻沟槽接触,

所述第二导电类型的第二掺杂半导体区域,其掺杂程度比所述第一掺杂半导体区域更重,在所述第一掺杂半导体区中延伸并且在所述第一表面上暴露,以及

所述第一导电类型的第三掺杂半导体区域,其掺杂程度比所述掺杂半导体阱更重,在所述掺杂半导体阱中并且在所述第一表面上暴露,所述第一导电类型的第三掺杂半导体区域与所述第一掺杂半导体区域接触,所述第三掺杂半导体区域与所述掺杂半导体阱接触并且在所述半导体衬底中延伸。

2. 根据权利要求1所述的电子器件,其中所述第二半导体区域与所述两个相邻沟槽接触。

3. 根据权利要求1所述的电子器件,其中所述第三半导体区域与所述两个相邻沟槽接触。

4. 根据权利要求1所述的电子器件,其中所述第一半导体区域包括第一半导体子区域和至少一个第二半导体子区域,所述第一半导体子区域包含所述第二半导体区域,并且所述至少一个第二半导体子区域在所述第一表面上暴露并且将所述第一半导体子区域耦合到所述第三半导体区域,所述第一半导体子区域的最大深度大于所述第二半导体子区域的最大深度。

5. 根据权利要求1所述的电子器件,其中每个晶体管在包含所述晶体管的栅极的沟槽中包括:

第一电绝缘层,在所述晶体管的所述栅极和所述半导体阱之间;

导电元件,位于所述沟槽中;

第二电绝缘层,在所述导电元件和所述半导体衬底之间;以及

第三电绝缘层,在所述导电元件和所述栅极之间。

6. 根据权利要求1所述的电子器件,其中所述晶体管的所述第二半导体区域被电连接在一起,并且其中所述晶体管的所述第三半导体区域被电连接在一起。

7. 根据权利要求1所述的电子器件,其中所述半导体衬底包括:

第二表面,与所述第一表面相对,每个晶体管在所述半导体衬底中还包括所述第二导电类型的第四掺杂半导体区域,所述第四掺杂半导体区域位于所述掺杂半导体阱上并且与所述掺杂半导体阱接触,以及

所述第二导电类型的第五掺杂半导体区域,比第四半导体区域掺杂更重,并且在所述第二表面上暴露。

8. 根据权利要求1所述的电子器件,其中对于每对相邻沟槽,所述晶体管的至少一些所

述第三半导体区域与所述晶体管的所述第二半导体区域交替。

9. 根据权利要求8所述的电子器件,其中所述晶体管的两个相邻晶体管的所述掺杂半导体阱相交。

10. 一种结构,包括:

衬底;

沟槽,从所述衬底的第一侧延伸至所述衬底中;以及

第一导电结构和第二导电结构,在所述沟槽中,所述第一导电结构与所述第二导电结构被布置为彼此垂直并且通过第一绝缘层彼此垂直分隔。

11. 根据权利要求10所述的结构,包括第一掺杂半导体区域和第二掺杂半导体区域,每个掺杂半导体区域都横向邻近所述沟槽,所述第一掺杂半导体区域至少部分被包含在所述第二掺杂半导体区域内。

12. 根据权利要求11所述的结构,其中所述第二掺杂区域包括与所述第一掺杂半导体区域接触的第一部分和远离所述第一掺杂半导体区域的第二部分,所述第一部分延伸到比所述第二部分更深的所述衬底中。

13. 根据权利要求10所述的结构,其中所述第一掺杂半导体区域和所述第二掺杂半导体区域被掺杂有第一导电类型。

14. 根据权利要求13所述的结构,还包括第二导电类型的第三掺杂半导体区域,所述第二掺杂半导体区域横向邻近于所述沟槽,所述第二掺杂半导体区域横向地位于所述第三掺杂半导体区域和所述第一掺杂半导体区域之间。

15. 根据权利要求10所述的结构,还包括横向地位于所述第二导电结构和所述沟槽的侧壁之间的第二绝缘层。

16. 根据权利要求15所述的结构,还包括横向地位于所述第一导电结构和沟槽侧壁之间的第三绝缘层,所述第三绝缘层和所述第二绝缘层具有不同厚度。

17. 根据权利要求11所述的结构,还包括横向邻近所述沟槽的掺杂半导体阱,所述第一掺杂半导体区域和所述第二掺杂半导体区域各自至少部分地在所述掺杂半导体阱内,所述掺杂半导体阱延伸到与所述沟槽相同深度的衬底中。

18. 根据权利要求11所述的结构,还包括在所述衬底的第二侧处的第四掺杂层,所述第二侧与所述第一侧相对。

19. 一种方法,包括:

在半导体衬底中形成沟槽;

在所述沟槽的侧壁和底部上形成第一绝缘层;

在所述第一绝缘层上形成第一导电层并且填充所述沟槽;

移除所述第一绝缘层和所述第一导电层的上部;

在移除所述第一绝缘层和所述第一导电层的所述上部之后,在所述第一导电层上和所述沟槽中形成第二绝缘层;以及

在所述第二绝缘层上形成第二导电层。

20. 根据权利要求19所述的方法,包括:

通过外延形成第一导电类型的掺杂半导体层,以及

在所述半导体衬底中植入所述第一导电类型的掺杂剂。

包括晶体管的电子器件

[0001] 优先权要求

[0002] 本申请要求2021年10月20日提交的标题为“ELECTRONIC DEVICE COMPRISING TRANSISTORS”的法国专利申请号21/11151的优先权权益,该申请的内容在法律允许的最大程度上通过引用整体并入本文。

技术领域

[0003] 本公开大体上涉及电子器件,并且更具体地涉及包括晶体管的电子器件。

背景技术

[0004] 在某些电子器件中,场效应晶体管在非导电状态下用于阻断高压,通常大于10V、例如约40V、甚至大于100V。这种场效应晶体管通常仅适用于当漏源电压为正时阻断高漏源电压。为了获得正电压或负电压的阻断,可能需要两个反并联的场效应晶体管。这可能是笨重和昂贵的。

发明内容

[0005] 一个实施例提供了一种克服现有电子器件全部或部分缺点的电子器件。

[0006] 根据一个实施例,场效应晶体管占用的表面积减小。

[0007] 根据一个实施例,场效应晶体管的制造成本降低。

[0008] 一个实施例提供了一种电子器件,其包括具有第一表面的半导体衬底和晶体管,晶体管的栅极包含在沟槽中,该沟槽在半导体衬底中延伸,每个晶体管在半导体衬底中包括第一导电类型的掺杂半导体阱,在操作中在掺杂半导体阱汇中形成晶体管沟道,阱被埋置在半导体衬底中,并且与所述沟槽之间的两个相邻沟槽接触,第二导电类型的第一掺杂半导体区域覆盖阱并且与阱接触,并且与两个相邻凹槽接触,第二导电类型与第一导电类型相对,第二导电类型的第二掺杂半导体区域,该第二掺杂半导体区域比第一半导体区域掺杂地更重,延伸到第一半导体区域中并且在第一表面上暴露,以及第一导电类型的第三掺杂半导体区域,掺杂地比阱更重并且覆盖阱,在第一表面上暴露,与第一区域接触,并且在与所述阱接触的半导体衬底中延伸。

[0009] 根据一个实施例,第二半导体区域与两个相邻沟槽接触。

[0010] 根据一个实施例,第三半导体区域与两个相邻沟槽接触。

[0011] 根据一个实施例,第一半导体区域包括包含第二半导体区域的第一半导体子区域和在第一表面上暴露并且将第一半导体子区域耦合到第三半导体区域的至少一个第二半导体子区域,第一半导体子区域的最大深度大于第二半导体区域的最大厚度。

[0012] 根据一个实施例,每个晶体管在包含晶体管栅极的沟槽中包括:

[0013] 晶体管栅极(120)和半导体阱之间的第一电绝缘层,并且从而形成晶体管的栅极绝缘体;

[0014] 位于沟槽中的导电元件;

- [0015] 导电元件和半导体衬底之间的第二电绝缘层;以及
- [0016] 导电元件和栅极之间的第三电绝缘层。
- [0017] 根据一个实施例,晶体管的第二半导体区域电连接在一起,并且晶体管的第三半导体区域电连接在一起。
- [0018] 根据一个实施例,半导体衬底包括与第一表面相对的第二表面,每个晶体管在半导体衬底中还包括第二导电类型的第四掺杂半导体区域,该第四掺杂的半导体区域被阱覆盖并且与阱接触,以及第二导电型的第五掺杂半导体区域,比第四半导体区掺杂更重,并且在第二表面上暴露。
- [0019] 根据一个实施例,电子器件包括用于每对相邻沟槽的多个晶体管,晶体管的至少一些第三半导体区域与晶体管的第二半导体区域交替。
- [0020] 根据一个实施例,两个相邻晶体管的阱相交。
- [0021] 一个实施例还提供了一种如前所定义的电子器件的制造方法,其中第一半导体区域的形成包括通过外延形成第二导电类型的掺杂半导体层的步骤,以及在半导体层中注入第二导电型的掺杂剂的步骤。

附图说明

- [0022] 上述特征和优点以及其他特征和优点,将在以下以图解方式给出的具体实施例描述中详细描述,而不限于参考附图,其中:
- [0023] 图1A是包含晶体管的电子器件实施例的局部简化横截面图;
- [0024] 图1B是图1A器件的另一个局部简化横截面图;
- [0025] 图1C是图1A器件的另一个局部简化横截面图;
- [0026] 图1D是图1A器件的部分简化顶视图;
- [0027] 图2是图1A至1D器件的部分简化横截面透视图;
- [0028] 图3A是与图1A类似的局部简化横截面图,说明了晶体管的源极和阱的连接;
- [0029] 图3B是另一个部分简化的横向截面图,类似于图1B,说明了晶体管门的连接的一个实施例;
- [0030] 图4是说明晶体管连接实施例的部分简化俯视图;
- [0031] 图5是说明晶体管连接的另一个实施例的部分简化俯视图;
- [0032] 图6示出了制造图1A至1D和2所示器件的方法的实施例的步骤;
- [0033] 图7说明了该方法的另一个步骤;
- [0034] 图8说明了该方法的另一个步骤;
- [0035] 图9说明了该方法的另一个步骤;
- [0036] 图10说明了该方法的另一个步骤;
- [0037] 图11说明了该方法的另一个步骤;
- [0038] 图12用三个视图说明了该方法的另一个步骤;
- [0039] 图13用三个视图说明了该方法的另一个步骤;
- [0040] 图14用三个视图说明了该方法的另一个步骤;
- [0041] 图15是图1A至1D所示器件的横截面透视图,该图示出了掺杂剂浓度变化的示例;
- [0042] 图16是沿着另一个方向的类似于图15的视图;

[0043] 图17示出了为获得图15和图16所示掺杂剂浓度而实施的制造步骤中获得的掺杂剂浓度的变化曲线；

[0044] 图18示出了图1A至1D所示器件的晶体管通态电阻 R_{on} 的变化曲线；

[0045] 图19是图1A至1D所示器件的横截面图，说明了首次使用配置中电流密度的变化；

[0046] 图20是图1A至1D所示器件的横截面透视图，说明了第一种使用配置中电流密度的变化；

[0047] 图21是在第二种使用配置中类似于图19的视图；

[0048] 图22是与第二种使用配置中的图20类似的视图；

[0049] 图23是第三种使用配置中类似于图19的视图；以及

[0050] 图24是与第三种使用配置中的图20类似的视图。

具体实施方式

[0051] 在不同的图中，相似的特征由相似的附图标记指定。在一些实施例中，不同实施例中常见的结构和/或功能特征可能具有相同的附图标记，并且可能具有相同结构、尺寸和材料特性。为了清楚起见，仅对有助于理解本文所述实施例的步骤和元件进行了详细说明和描述。在一些实施例中，掩模制造步骤、掺杂步骤和电连接到掺杂区域的制造端子的步骤不详细描述，所描述的实施例与这些常用步骤兼容。

[0052] 除非另有说明，否则当提及连接在一起的两个元件时，这意味着无需任何中间元件（导体除外）的直接连接，当提及耦合在一起的两个元件时，则意味着这两个元件可以连接，也可以通过一个或多个其他元件耦合。此外，这里认为术语“绝缘”和“导电”分别指“电绝缘”和“电导通”。

[0053] 在下面的描述中，当提及限定绝对位置的术语时，如术语“前”、“后”、“上”、“下”、“左”、“右”等，或相对位置的术语，如“上方”、“下方”、“上方”和“下方”等，或者提及限定方向的术语，例如术语“水平”、“垂直”等，除非另有规定，否则应符合图纸的方向或正常使用位置的示出屏。

[0054] 除非另有规定，否则表述“接近 (around)”、“约 (approximate)”、“基本上 (substructively)”和“以…量级 (order of)”表示10%以内，在一些实施例中表示5%以内。除非另有规定，否则“第一”、“第二”等序数仅用于区分元素。在一些实施例中，这些形容词并不将所描述的实施例限制为这些元素的特定顺序。

[0055] 图1A、1B、1C和1D分别部分和示意性地示出了横截面图和俯视图，图2是包含多个晶体管T的器件100实施例的透视图。横截面图1B和1C作为各自的横截面，具有平行平面1B-1B和1C-1C。晶体管T部分如图1A至1D和2所示。

[0056] 例如，器件100是一种电子集成电路，由半导体衬底102定义，该半导体衬底102包括前端104和后端106，未在图1A至1D和2中示出，并在下文描述的图3A和3B中示出，与前端104相对，晶体管T位于衬底102内部和顶部。

[0057] 晶体管T由沟槽110界定，四个平行沟槽110如图1B至1D和2所示。每个沟槽110从衬底102的前侧104延伸到衬底102的一部分厚度中。

[0058] 每个晶体管T具体包括：

[0059] 位于沟槽110之一中的栅极120；

[0060] 第一导电类型的掺杂半导体阱130,埋在衬底102中,由栅极绝缘体124与栅极120分隔,并且晶体管T的沟道在其内部形成。阱130通过半导体接触区域132与前侧104耦合,半导体接触区域132从前侧104在衬底102中延伸;

[0061] 掺杂漏/源半导体区域140和150,掺杂有第二导电类型,第二导电类型与第一导电类型相对,并且掺杂漏/源半导体区域140和150位于阱130的两侧。掺杂区域140,也称为漏区,未在图1A至1D和图2中示出,并且在下文描述的图3A和3B中示出,与衬底102的背面106和掺杂区域150接触,掺杂区域150也称为源极区域,并且掺杂区域150与衬底102的前侧104接触;以及

[0062] 半导体区域142、152称为漂移区域,掺杂有第二导电类型,且掺杂程度低于掺杂区域140和150。漂移区域142位于掺杂区域140与阱130之间,半导体区域152位于掺杂区150与阱140之间。

[0063] 由此,由上述元件定义每个晶体管T形成场效应晶体管,即,根据施加在栅极120和源极区域150之间的控制电压,能够在阱130中形成导电沟道,以电连接漏极和源极区域140和150的电子组件。

[0064] 每个晶体管T的栅极120包括至少一个延伸在沟槽110中的导电区域,例如金属和/或掺杂多晶硅,沟槽110的侧壁形成晶体管T的阱130的侧面。栅极绝缘体124覆盖沟槽110的侧面,与阱130和栅极120的导电区域接触。栅极绝缘体124通常由一个或多个电介质层形成,例如,栅极绝缘体由氧化硅层形成,栅极绝缘体124的厚度通常小于15nm,但在一些实施例中的范围从20nm到40nm。

[0065] 沟槽110的数量和尺寸取决于设想的应用。每个沟槽110的深度可以在1.7 μm 到2.5 μm 之间,例如,大约等于2 μm 。例如,每个沟槽110的宽度可以在0.1 μm 到1 μm 之间,例如等于0.6 μm 。在一些实施例中,沟槽110至少部分沿平行于同一方向的方向延伸,下文称为纵向沟槽方向,并且间隔规则。此后,横向沟槽方向表示垂直于纵向沟槽方向的方向。沿横向沟槽方向的沟槽节距可以在0.9 μm 到1.2 μm 之间。沟槽110的数量可以从1000到3000不等。每个沟槽110沿纵向沟槽方向的长度可能从0.5 μm 到3 μm 不等。

[0066] 根据一个实施例,如图1B和图2所示,平行相邻沟槽110组件的每个沟槽110(可能除了位于沟槽组件110的两个相对边缘的沟槽110)在沟槽110的两侧界定晶体管T。根据一个具体实施例,见图1D和图2,对于每个沟槽110,沟槽110中包含的栅极120彼此连接,并且形成被由该沟槽110分隔的晶体管T共有的栅极120。根据一个实施例,对于每个沟槽110,由该沟槽110分隔并位于该沟槽110同一侧的晶体管T的半导体阱130相交并形成连续半导体阱130。

[0067] 在一个示例中,衬底102由半导体晶片形成,例如,硅晶片。在另一示例中,衬底由位于半导体晶片表面上的层形成,例如,半导体晶片上的外延层。在一些实施例中,衬底102是单晶衬底。

[0068] 根据一个实施例,如图1B和1C所示,位于第一和第二相邻沟槽110之间的每个阱130从第一沟槽110延伸,与覆盖第一沟槽110侧壁的栅极绝缘体124接触,一直延伸到第二沟槽,与覆盖第二沟槽110侧壁的栅极绝缘体124接触。从前侧104测量的接触区域132的深度可以在0.4 μm 到0.8 μm 的范围内。从前侧104测得的阱130的最大深度可能在0.8 μm 至1.2 μm 之间。沿与前侧104正交的方向测量的漂移区域152下的阱130的厚度可能在0.5 μm 至0.8 μm

的范围内。沿与前侧104正交的方向测量的阱130的最大厚度可能在 $1\mu\text{m}$ 至 $1.3\mu\text{m}$ 的范围内。接触区域132沿纵向沟槽方向的尺寸可以在 $0.5\mu\text{m}$ 到 $1.5\mu\text{m}$ 的范围内。

[0069] 根据一个实施例,如图1D所示,位于第一和第二相邻沟槽110之间的每个漂移区域152从第一沟槽110延伸到第二沟槽,与覆盖第一沟槽110侧壁的栅极绝缘体124接触,与覆盖第二沟槽110侧壁的栅极绝缘体124接触。漂移区域152包括第一漂移子区域154和两个第二漂移子区域156,第二漂移子区域156连接到第一漂移子区域154。第一漂移子区域154的掺杂程度低于源极区域150。第二漂移子区域156的掺杂度低于源极区域150,在一些实施例中,第二漂移子区域156的掺入程度低于第一漂移子区域154。位于第一和第二相邻区域之间的第一漂移子区域154和第二漂移子区域156的每个沟槽110从第一沟槽110延伸,与覆盖第一沟槽110侧壁的栅极绝缘体124接触,一直延伸到第二沟槽,并且与覆盖第二沟槽110侧壁的栅极绝缘体124接触。源极区域150包含在第一漂移子区域154中。第一漂移子区域154完全覆盖源极区域150的底部。第一漂移区域154完全涵盖第一和第二沟槽110之间的源极区域150侧壁。第二漂移子区域156沿纵向沟槽方向位于第一漂移区域154的任一侧。每个第二漂移子区域156沿着纵向沟槽方向从第一漂移子区域154延伸到相邻的接触区132。每个第二漂移子区域156可以在衬底102的前侧104上暴露。在一些实施例中,源极区域150从第一沟槽110延伸,与覆盖第一沟槽110侧壁的栅极绝缘体124接触,一直到第二沟槽,并且与覆盖第二沟槽110侧壁的栅极绝缘体124接触。

[0070] 第一漂移子区域154的深度可以在 $0.4\mu\text{m}$ 到 $0.6\mu\text{m}$ 的范围内。每个第二漂移子区域156的深度可以在 $0.3\mu\text{m}$ 到 $0.6\mu\text{m}$ 的范围内。漂移区域152沿纵向沟槽方向的最大尺寸可能在 $2\mu\text{m}$ 至 $5\mu\text{m}$ 范围内。第一漂移区域154沿纵向沟槽方向的尺寸可以在 $1.5\mu\text{m}$ 到 $4\mu\text{m}$ 的范围内。每个第二漂移区域156沿纵向沟槽方向的尺寸可以在 $0.5\mu\text{m}$ 到 $1\mu\text{m}$ 的范围内。从第一表面104开始测量的源极区域150的深度可以在 $0.2\mu\text{m}$ 到 $0.4\mu\text{m}$ 的范围内。

[0071] 例如,晶体管T为N通道类型。因此,掺杂区域140和150为N型掺杂。阱130为P型掺杂。然而,在所述实施例中,可以交换N和P导电类型或掺杂类型。然后通过交换器件中电压的符号来获得与所述操作类似的操作。

[0072] 在一些实施例中,区域140和150的掺杂水平很高,即大于 5×10^{18} 个原子/ cm^3 ,在某些实施例中大于 10^{19} 个原子/ cm^3 。电连接到阱130的接触面为132,是也具有如此高掺杂水平的掺杂区域。在一些实施例中,阱130的掺杂水平小于 10^{18} 个原子/ cm^3 ,在某些实施例中小于 5×10^{17} 个原子/ cm^3 。每个漂移区域142、152的掺杂水平低于掺杂区150的掺杂水平。在一些实施方案中,每个半导体区142和152都具有低掺杂水平,即,低于 2×10^{17} 个原子/ cm^3 。在一些实施例中,该掺杂水平大于 5×10^{16} 个原子/ cm^3 。根据一个实施例,每个第一漂移子区域154的掺杂水平在 2×10^{17} 个原子/ cm^3 到 6×10^{17} 个原子/ cm^3 范围内。根据一种实施例,每个第二漂移子区域156的掺杂水平在 3×10^{16} 个原子/ cm^3 到 1×10^{17} 原子/ cm^3 范围内。

[0073] 对于每个沟槽110,器件100还可以包括位于沟槽110中的导电元件180。导电元件180连接到端子,如图1A至图1D和图2所示。在一些实施例中,该端子连接到接触区域132。导电元件180位于半导体区域142的至少一部分对面,即,导电元件180位于覆盖半导体区域142的至少一部分的侧壁表面的绝缘体184的对面。绝缘层184将导电元件180与半导体区域142分隔开对应于绝缘层184的厚度,例如在 100nm 到 200nm 范围内,在一些实施例中在 120nm 到 180nm 范围内。在一些实施例中,绝缘层184的厚度大于栅极绝缘体124的厚度。例如,绝缘层

134由氧化硅或氮化硅制成。

[0074] 在沟槽110的底部,绝缘部分,在一些实施例中是绝缘层184的一部分,位于导电元件180的下方。该部分将导电元件180与导电元件180下方的衬底102部分电绝缘。此外,绝缘层186,在一些实施例中由与栅极绝缘体124相同的材料制成,将导电元件180与栅极120电绝缘。

[0075] 在一些实施例中,导电元件180由位于沟槽110中心部分的导电壁形成。该壁沿与沟槽相同的方向延伸。壁在衬底102中垂直于衬底的前侧104延伸。例如,在一些实施例中,所述壁包含金属材料,或在某些实施例中包含掺杂多晶硅。例如,沿沟槽横向测量的导电壁宽度在30nm到200nm之间。

[0076] 器件100还包括图1A至1D和图2中未示出的至少一个金属化层的导电轨道和导电孔,这些金属化层形成在衬底102的前侧104上,用于连接晶体管T的源极、栅极和阱。根据一个实施例,MOS晶体管组件的源极区域150连接在一起。根据一个实施例,沟槽110中的栅极120连接在一起。根据一个实施例,阱30的接触区域132连接在一起。

[0077] 图3A和3B分别是与图1A和1B相似的视图,它们说明了晶体管T的连接实施例。

[0078] 例如,器件100如图3A和3B所示,具有两个金属化层级N1和N2。第一金属化层级N1包括覆盖衬底102前侧104的绝缘层190、在绝缘层190上延伸的金属轨道192、以及穿过绝缘层190并将金属轨道192特别连接到栅极120和源极区域150以及接触区域132的导电通孔194。第二金属化层级N2包括绝缘层200,其覆盖导电轨道192和导电轨道1922之间的绝缘层190,金属轨道202在绝缘层200上延伸,以及穿过绝缘层200并将金属轨道2022连接到至少一些金属轨道192的导电通孔204。

[0079] 并联组装的晶体管T的数量取决于目标应用。根据一个实施例,器件100包括 3×10^5 到 3×10^6 个晶体管T。

[0080] 图4是一个实施例的顶视图,该实施例说明了第一金属化层的导电轨道192的布局,其具有平行条和板的形状。图4进一步示出了沟槽110、接触区132和源极区域150的限制。导电通孔194进一步示出为可能与水平线相交的正方形。在本实施例中,沟槽110是平行的,并且在晶体管形成的整个区域上没有中断地延伸。如图4所示,导电轨道192分布在通过导电通孔194_S耦合到源极区域150的导电板192_S中,导电轨道192_B通过通孔194_B耦合到接触区132中,导电轨道192_G通过通孔194_G耦合到栅极120中,以及导电轨192_M通过通孔194_M耦合到导电元件180中。在本实施例中,板192_S与条192_B交替。图4中未示出的第二金属化层级的导电轨道202可用于连接导电板192_S。

[0081] 图5是实施例的俯视图,该实施例说明了第一金属化层的导电轨道192的布局,其具有平行条和板的形状。图4进一步示出了沟槽110、接触区132和源极区域150的限制。在本实施例中,沟槽110平行并延伸,分布在晶体管形成区域上沟槽110的组件112中,沟槽的每个组件112包括沟槽110的第一组和第二组114、116,第一组114的沟槽相对于第二组116的沟槽110沿横向沟槽方向偏移沟槽节距的一半,第一组和第二组的沟槽在一端耦合到沿着横向沟槽方向延伸的沟槽118。导电通孔194用可能与水平线相交的正方形表示。如图5所示,导电轨道192分布在通过导电通孔194_S耦合到源极区域150的导电板192_S中,导电轨道192_MB通过通孔194_MB耦合到接触区132和导电元件180中。栅极120的连接可以在图5以外的区域进行。

[0082] 例如,对于高功率集成继电器领域的应用,晶体管T的漏极在工作时的电位范围为40V至45V。当晶体管T处于导通状态时,每个晶体管T的栅极和源极之间的电压约为10V,源极处的电位约为40V-45V。当晶体管T处于非导电状态时,每个晶体管T的栅极和源极之间的电压约为0V,源极处的电位约为0V。阱130的接触区域132设置为0V并且导电元件180设置为0V。

[0083] 导电元件180的存在有利地能够降低P-N结水平上操作时存在的电场强度。这使得能够增加漂移区域142和152的掺杂浓度,同时确保晶体管在应用最大电压时不会恶化。

[0084] 图6至14是在图1A至1D器件100制造方法的实施例步骤中获得的结构部分简化横截面图。对于图12、图13和图14,示出了与横截面视图1A、图1B和图1C类似的三个横截面视图A、B和C。

[0085] 图6示出在衬底102中形成第二导电类型(例如,N型掺杂)的重掺杂漏区140和比漏区140掺杂更轻的半导体层210后获得的结构,具有基本上对应于漂移区域142所需的掺杂浓度的掺杂浓度。衬底102可以通过例如通过外延在对应于漏区140的重掺杂硅片上形成更轻掺杂的硅半导体层210来制造。

[0086] 图7示出了在衬底102的层310中形成沟槽110后获得的结构。沟槽110可以通过蚀刻步骤形成。

[0087] 图8示出了成型后在每个沟槽110的墙壁和底部获得的结构,绝缘层212的厚度。该方法可以包括由沟槽110的蚀刻形成的覆盖结构的绝缘层的共形沉积。绝缘层212的组成和厚度对应于绝缘层184所需的成分和厚度。作为一种变体,可以通过热氧化步骤形成绝缘层212。

[0088] 图9示出了在每个沟槽110中形成导电芯214后获得的结构。该方法可以包括沉积导电层,例如由多晶硅制成,覆盖绝缘层212并填充每个沟槽110的剩余空间,以及例如通过蚀刻去除位于沟槽110外部的导电层部分。导电芯214的成分对应于导电元件180的期望成分。

[0089] 图10示出了蚀刻后在每个沟槽110深度的一部分、绝缘层212和导电芯214上获得的结构。由此形成晶体管的导电元件180和绝缘层184。

[0090] 图11示出了在每个沟槽110中形成绝缘层186、栅绝缘体124和栅120后获得的结构。栅绝缘物124可以通过热氧化形成。该方法可以包括沉积覆盖绝缘层的导电层并且填充每个沟槽110的剩余空间,以及通过蚀刻等方式去除位于沟槽110外部的导电层部分。

[0091] 图12示出了横截面图12A、12B和12C中,在第一导电类型(例如,P类型)的掺杂剂注入步骤后获得的结构,以形成埋在衬底102中的晶体管的阱130。

[0092] 图13在横截面图13A、13B和13C中示出了在第一步注入第二导电类型的掺杂剂后获得的结构,以在每个晶体管T中形成第一漂移子区域154,以及第二步注入第二导电类型的杂质以形成每个晶体管T的源极区域150。

[0093] 图14示出了横截面图14A、14B和14C中,在第一导电型掺杂剂注入步骤后获得的结构,以形成接触区132。这进一步界定了每个晶体管T的漂移区域152的第二漂移子区域156。从而形成晶体管T。

[0094] 该方法随着金属化程度的形成而进行。

[0095] 图15和16是沿着两个不同方向的横截面透视图,图中示出了图1A至1D的器件100

中掺杂剂浓度的灰度变化,该器件100是根据先前的图6至14描述的制造方法的实施例制造的,掺杂剂浓度分布如图17所示。在图15和16中,随着N型或P型掺杂剂浓度的增加,灰色阴影变得更暗。在图15和16中,仅示出了半导体衬底102,并且部分示出了单个晶体管T的元件。还部分示出了栅极120、导电元件180以及连接到源极区域150的通孔194和晶体管T的接触区132的轮廓。

[0096] 在图17中,曲线C1、C2、C3和C4是衬底102中掺杂剂浓度的分布,以原子/cm³表示,根据从源极区域150层级的前侧104测得的深度。例如,衬底102可以通过在重度掺杂砷(N型掺杂剂)的硅片上形成来制造,该硅片对应于漏极区域140,例如,通过外延,半导体硅层210更轻地掺杂磷(N型掺杂剂)。曲线C1是衬底102中砷浓度的变化曲线,曲线C2是形成层210时产生的磷浓度的变化。曲线C3是注入步骤后形成阱130时获得的硼浓度(P型掺杂剂)的变化曲线。曲线C4是形成阱130的硼浓度变化曲线在注入步骤后获得的用于形成第一漂移子区域154的磷浓度。图5中未示出的曲线,在注入磷以形成源极区域的步骤150之后获得的磷浓度的变化包括约 2×10^{19} 原子/cm³处的峰值,深度约为50nm,以及小于 1×10^{15} 原子/cm³的下降,深度超过350nm。如图15和16所示,N型掺杂剂浓度在第一漂移子区域154、156和源极区域150之间连续变化。

[0097] 对图1A至1D所示的器件100进行了模拟,以突出显示晶体管T的特性。对于模拟,器件100具有先前与图15至17相关描述的掺杂浓度。模拟对应于晶体管T的正常运行情况和晶体管T的P-N结的不利电位条件。模拟是在25℃温度下进行的。

[0098] 图18示出了电流密度CD的变化曲线,以A/cm²表示,根据导通状态下流过晶体管T漏区140的漏电压Vd,以伏特表示。图19、21和23是晶体管T的一部分的横向截面图,图20、22和24是晶体管T部分的截面透视图,电流密度CD以A/cm²表示,当电流密度达到极高或极低值时,灰色阴影会更暗。对于图20、22和24,电流密度CD以A/cm²表示。图21和23示出了晶体管T在不同使用配置下的等电位线。在图21和图23中,掺杂剂浓度也以灰度表示,随着N型或P型掺杂剂浓度的升高,灰色阴影变得更暗。

[0099] 图18至20说明晶体管T处于导通状态的第一模拟。晶体管T的漏极电压约为40V,晶体管T的栅极和源极之间的电压约为10V,晶体管T源极处的电压大约为40V。导通电阻Ron大致等于6.3mohms.mm²,这已被确定。接触区132的存在不会导致导通电阻Ron在源极区域沿沟槽延伸的结构中过度退化。

[0100] 图21和22示出了第二个模拟,其中晶体管T处于非导电状态,阱130和漂移区域142之间的P-N结的偏压条件最不利。晶体管T的漏极电压约为40V,晶体管T的栅极和源极之间的电压约为0V,晶体管T的源极处的电压大约为0V。阱130和漂移区域142之间形成的P-N结是反向偏置的并且能够承受施加的电位。

[0101] 图23和图24说明了第三种模拟,其中晶体管T处于非导电状态,阱130和漂移区域152之间的结的偏压条件最为不利。每个晶体管T的漏极电压约为0V,每个晶体管T栅极和源极之间的电压约为0V,每个晶体管T源极处的电压约17V。在阱130和漂移区域152之间形成的P-N结是反向偏置的,能够承受施加的电位。

[0102] 先前描述的晶体管T有利地能够在非导电状态下承受正极漏源电压和负极漏源电压的电压。

[0103] 已经描述了各种实施例和变体。本领域技术人员将理解,这些不同实施例和变体

的某些特征可以组合,本领域技术员将出现其他变体。在一些实施例中,晶体管T被描述为位于背面的漏区140。作为变体,漂移区域142可与位于前侧的更重掺杂接触区域接触。

[0104] 最后,本文所述实施例和变体的实际实现在基于上述功能指示的本领域技术人员的能力范围内。

[0105] 电子器件(100)可概括为包括具有第一表面(104)的半导体衬底(102)和晶体管(T),其栅极(120)包含在沟槽中,该沟槽在半导体衬底的沟槽(110)中延伸,每个晶体管在半导体衬底中包括第一导电型的掺杂半导体阱(130),具有在其中形成的晶体管沟道在,阱埋在半导体衬底中并与所述沟道之间的两个相邻沟道接触,第二导电类型的第一掺杂半导体区域(152)覆盖阱,与阱接触,并与两个相邻沟渠接触,第二导电类型与第一导电类型相对,第二导电类型的第二掺杂半导体区域(150)比第一半导体区域掺杂更重,第二掺杂半导体区域在第一半导体区域中延伸并且在第一表面上暴露,以及第一导电类型的第三掺杂半导体区域(132),比阱掺杂更重,覆盖阱,在第一表面上暴露,第三半掺杂半导体区域与第一区域接触并且在与阱接触的半导体衬底中延伸。

[0106] 第二半导体区域(152)可以与两个相邻沟槽接触。

[0107] 第三半导体区域(132)可以与两个相邻沟槽接触。

[0108] 第一半导体区(152)可以包括第一半导体子区域(154),第一半导体子区域包含第二半导体区(151)和在第一表面(104)上暴露并且将第一半导体子区域耦合到第三半导体区(132)的至少一个第二半导体子区域(156),第一半导体子区域的最大深度大于第二半导体子区域的最大厚度。

[0109] 在包含晶体管栅极(120)的沟槽(110)中,每个晶体管(T)可以包括:晶体管的栅极(130)和半导体阱(130)之间的第一电绝缘层(124),并且第一电绝缘层形成晶体管的栅极绝缘体;位于沟槽(110)中的导电元件(180);导电元件和半导体衬底之间的第二电绝缘层(184);以及导电元件和栅极之间的第三电绝缘层(186)。

[0110] 晶体管(T)的第二半导体区域(150)可以电连接在一起,并且晶体管(T)的第三半导体区域(132)可以被电连接在一起。

[0111] 半导体衬底(102)可以包括与第一表面(104)相对的第二表面(106),每个晶体管还可以在半导体衬底中包括第二导电类型的第四掺杂半导体区域(142),被阱(130)覆盖,与阱接触,以及第二导电类型的第五掺杂半导体区域(150),比第四半导体区掺杂更重,并且在第二表面上暴露。

[0112] 电子器件,可以包括用于每对相邻沟槽(110)的多个晶体管(T),晶体管的第三半导体区域(132)中的至少一些与晶体管的第二半导体区域(150)交替。

[0113] 两个相邻晶体管(T)的阱(130)可以相交。

[0114] 制造电子器件(100)的方法,其中第一半导体区域(152)的形成可以概括为包括通过外延形成第二导电类型的掺杂半导体层(210)的步骤,以及在半导体层中注入第二导电类型的掺杂剂的步骤。

[0115] 上述各种实施例可以结合起来提供进一步的实施例。如有必要,可以修改实施例的各个方面,以采用各种实施例的概念来提供进一步的实施例。

[0116] 根据上述详细描述,可以对实施例进行这些和其他更改。一般来说,在以下权利要求中,所用术语不应被解释为将权利要求限制在说明书和权利要求中披露的具体实施例,

而应被理解为包括所有可能的实施例以及此类权利要求有权享有的全部等同物范围。因此,索赔不受披露的限制。

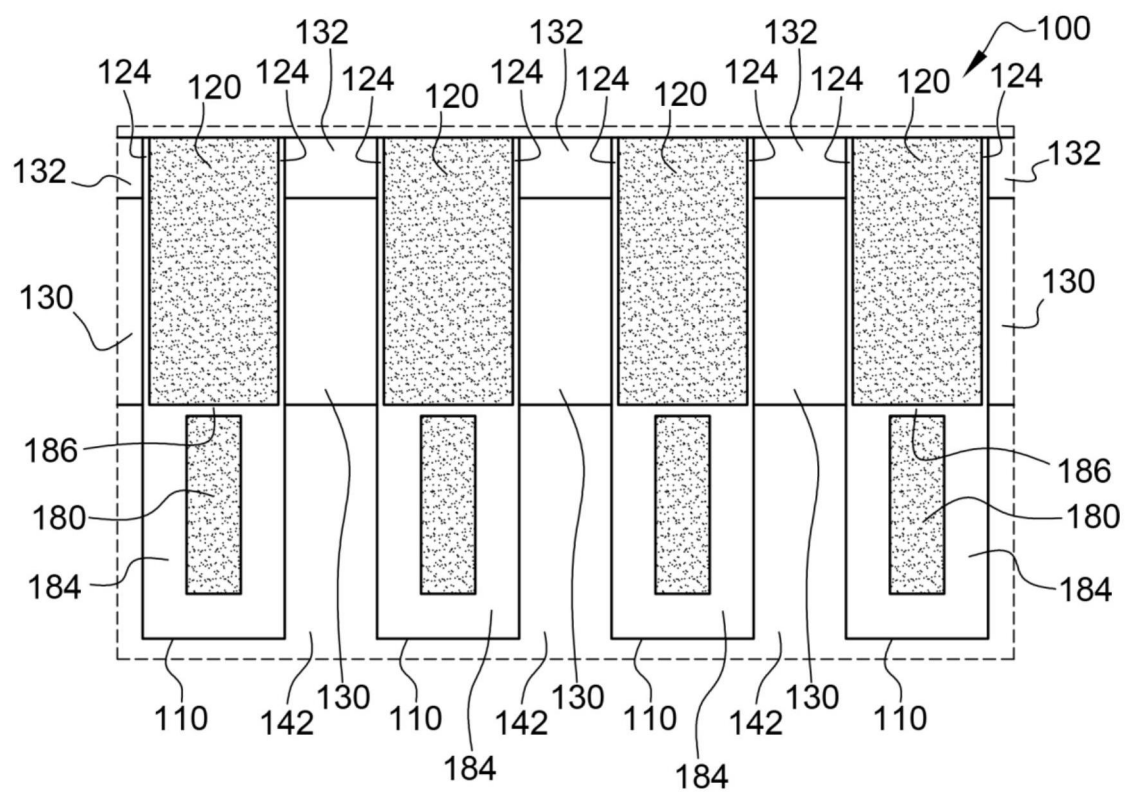


图1C

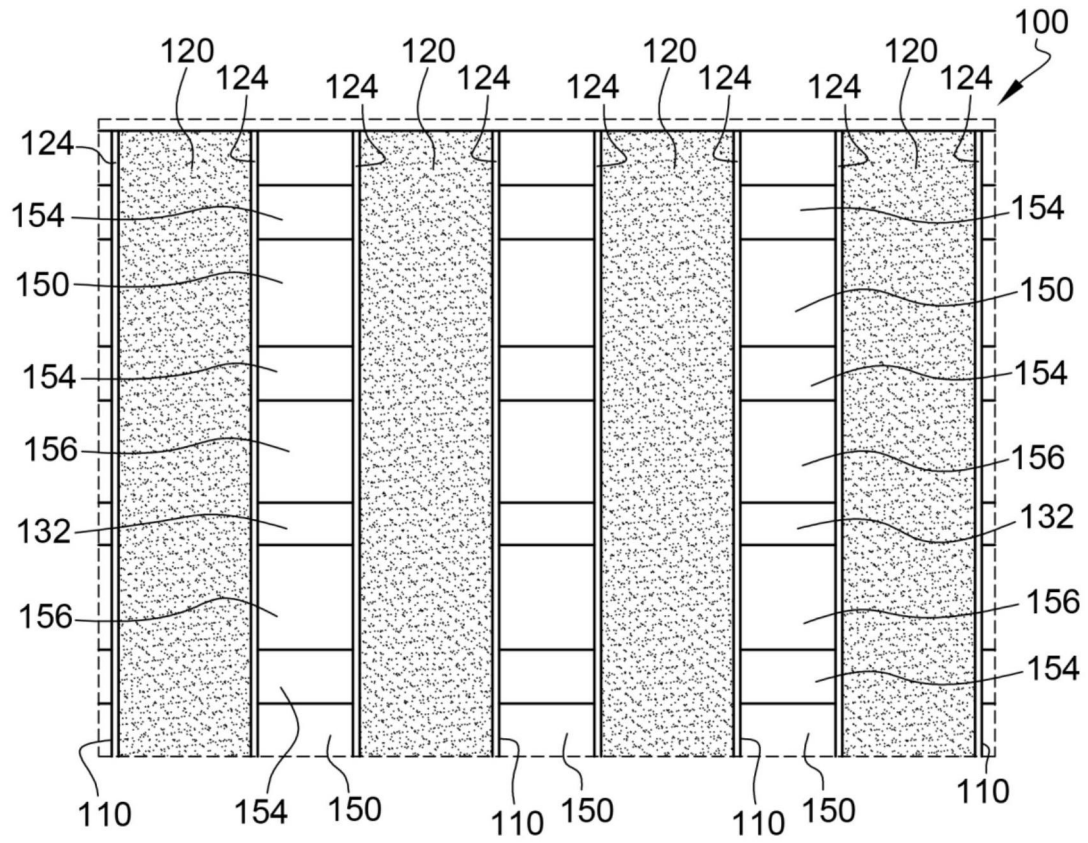


图1D

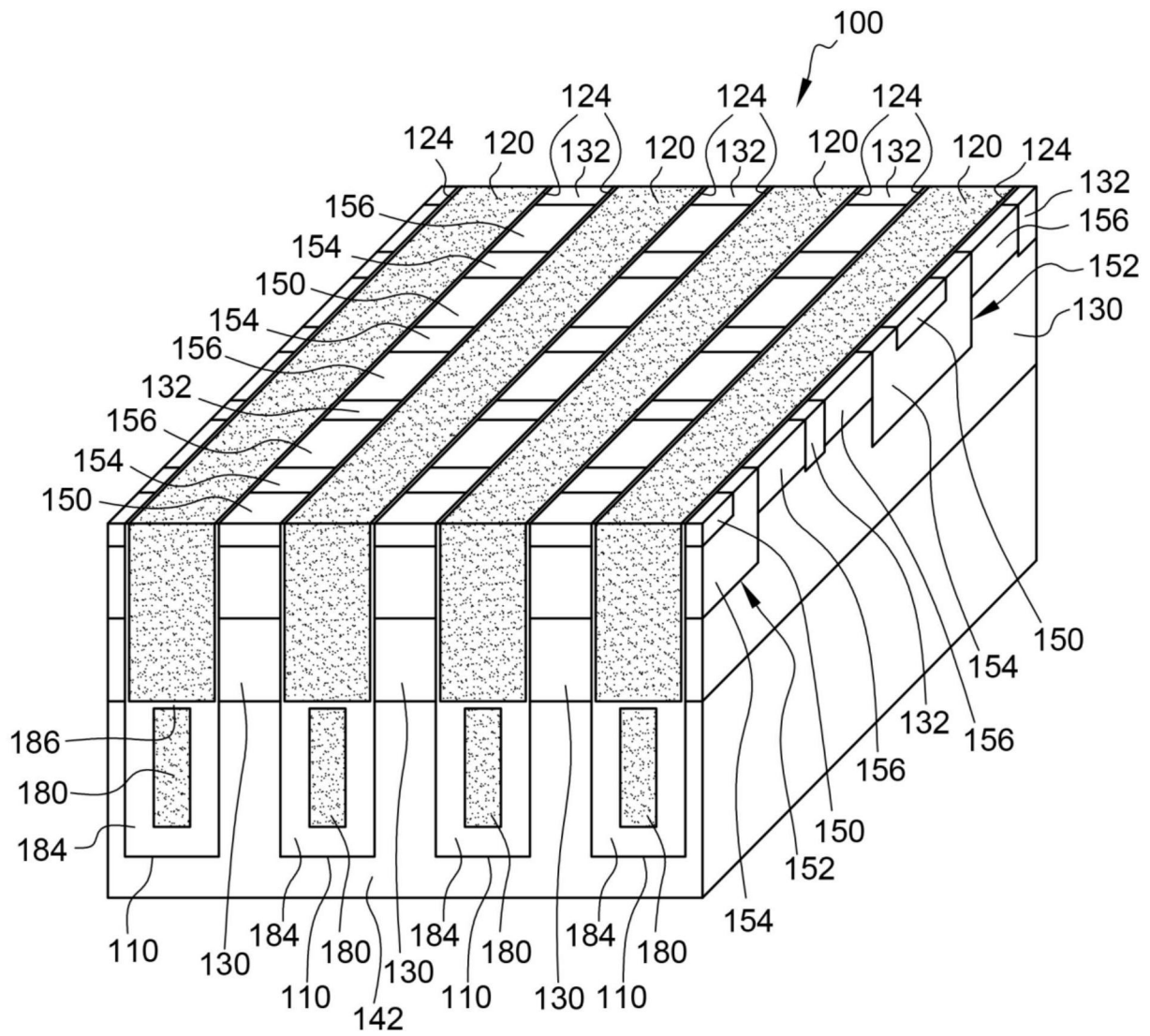


图2

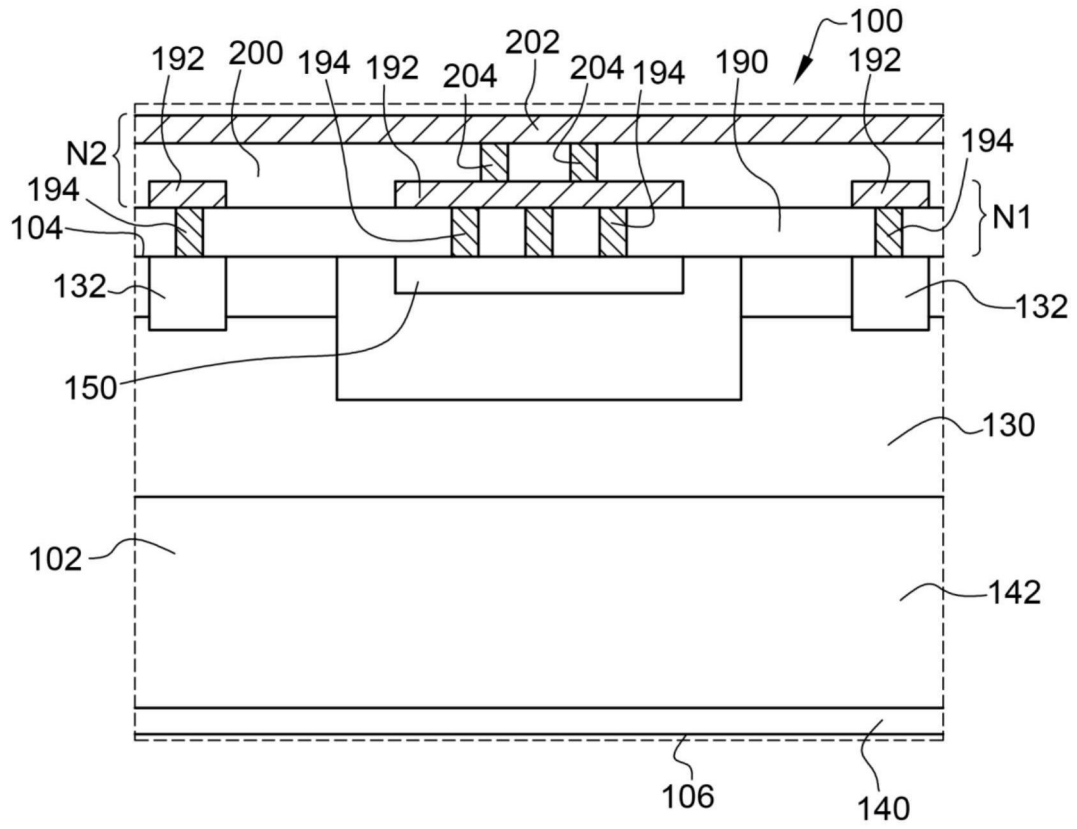


图3A

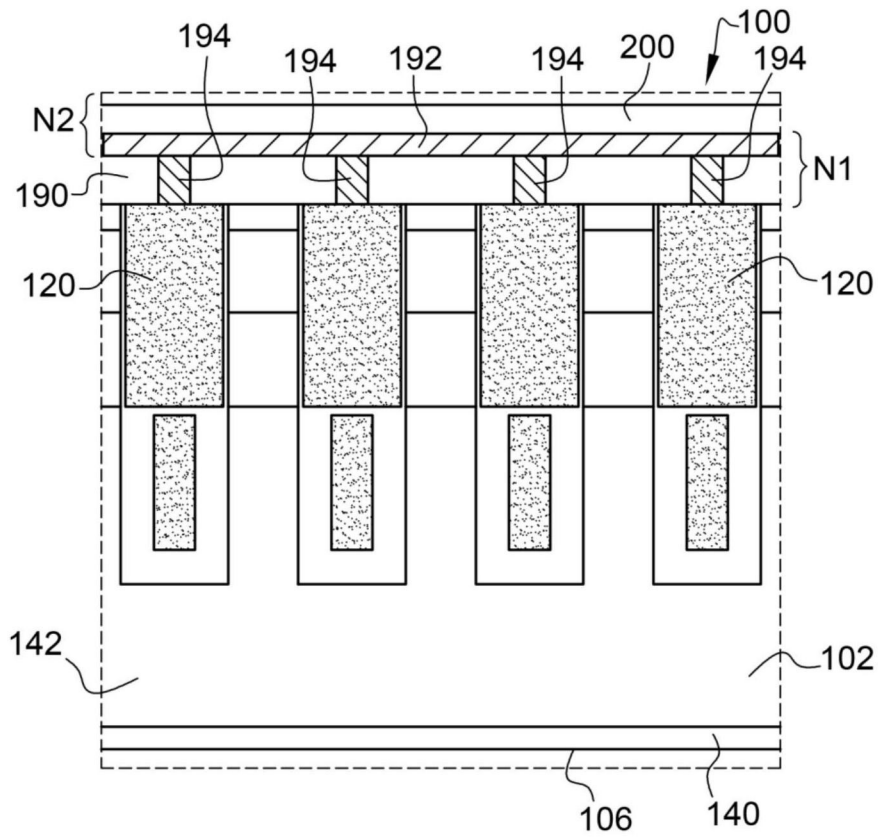


图3B

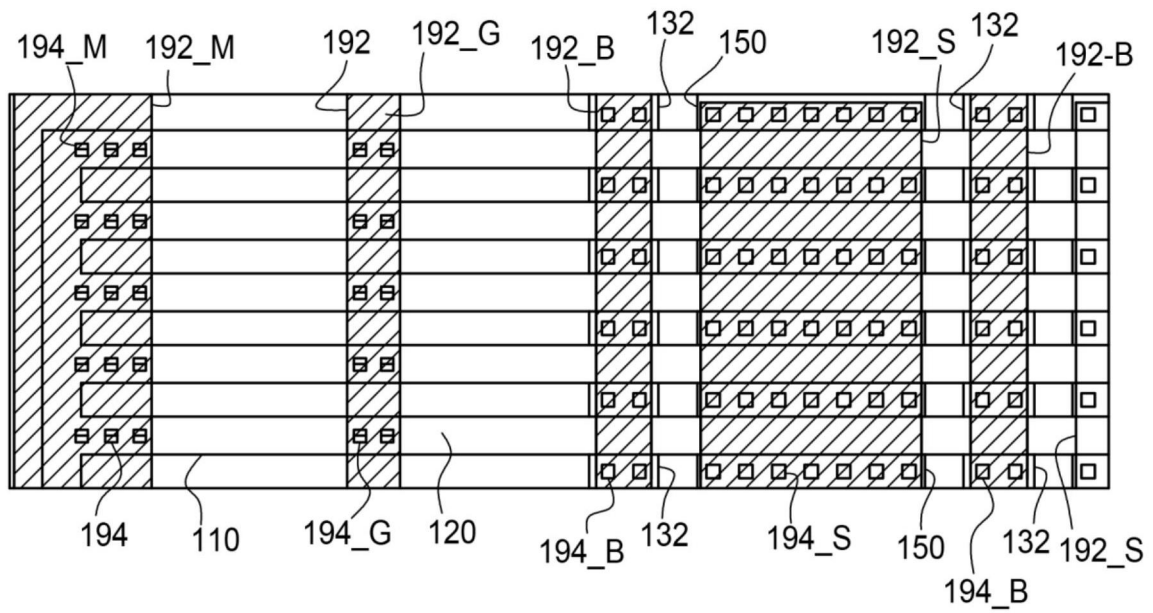


图4

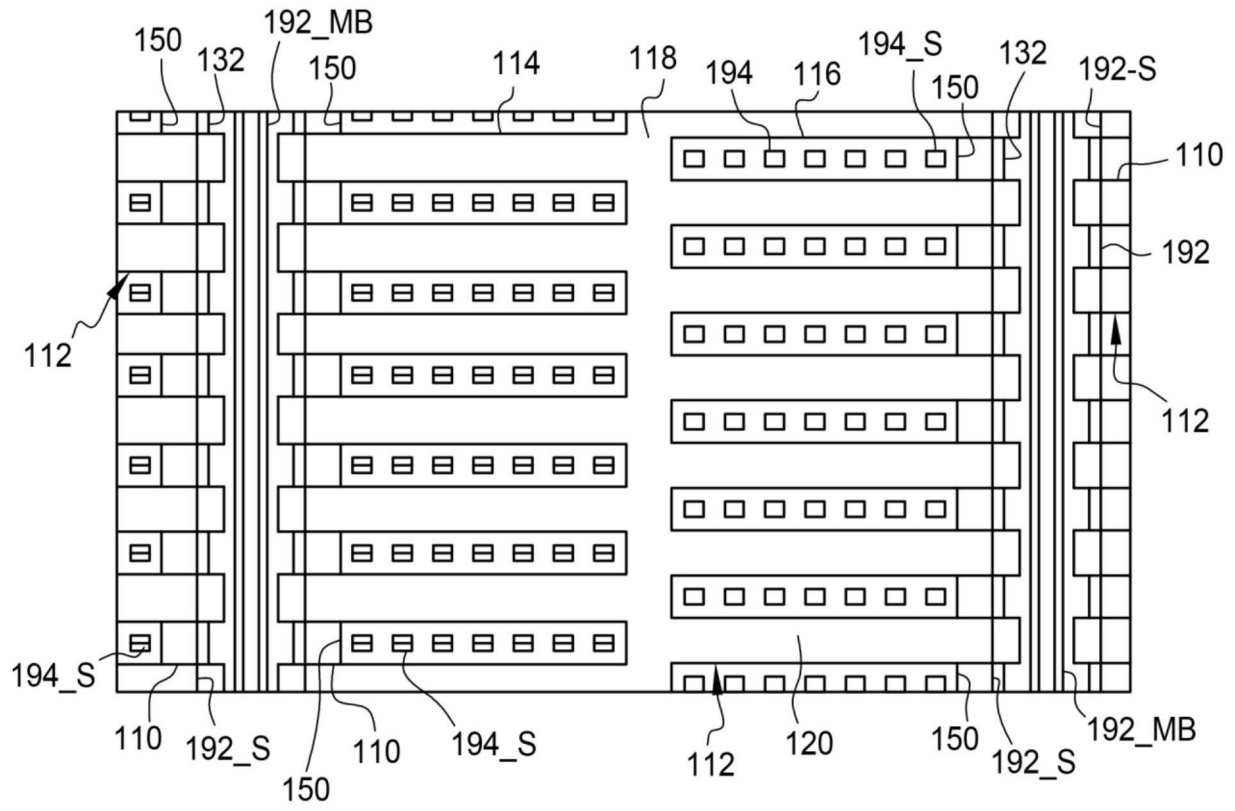


图5

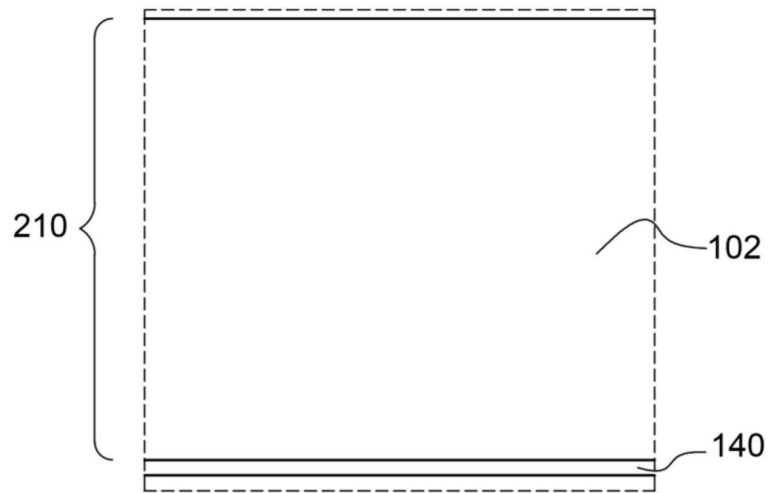


图6

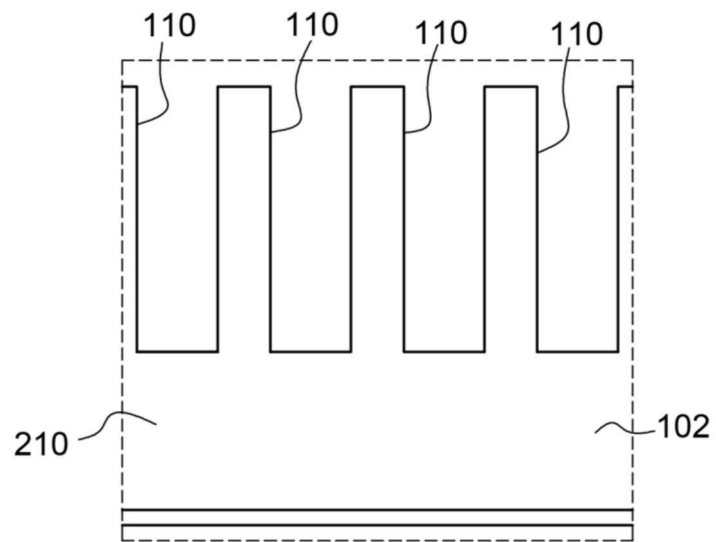


图7

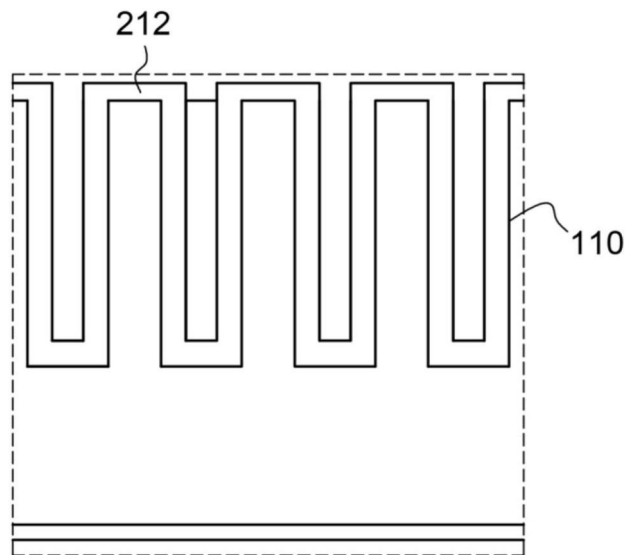


图8

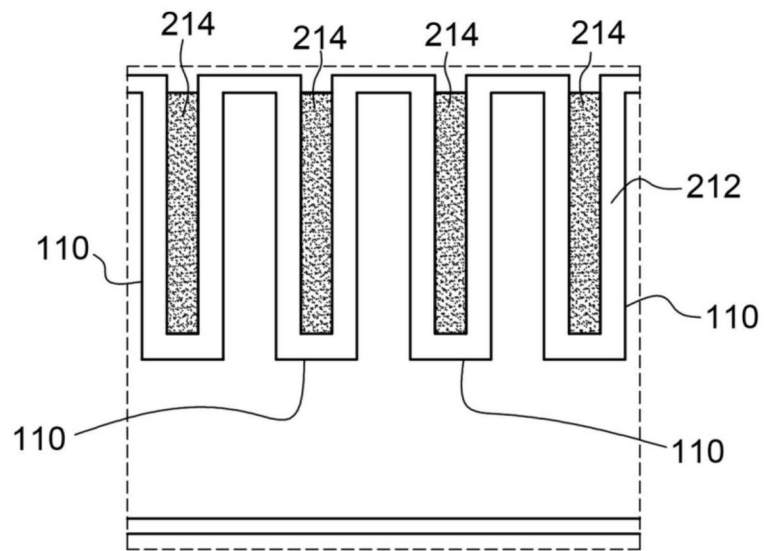


图9

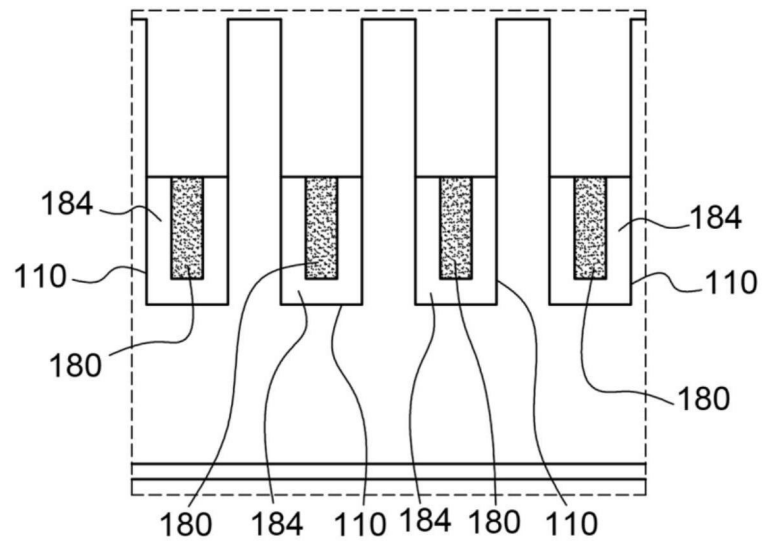


图10

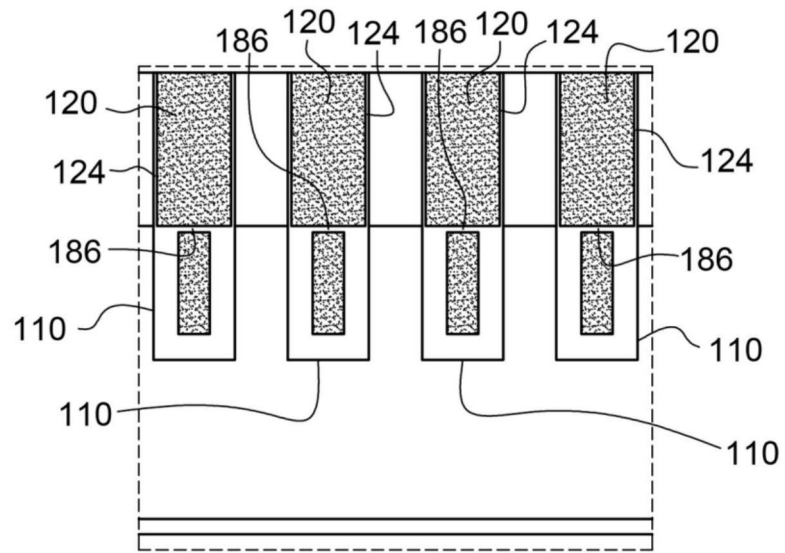


图11

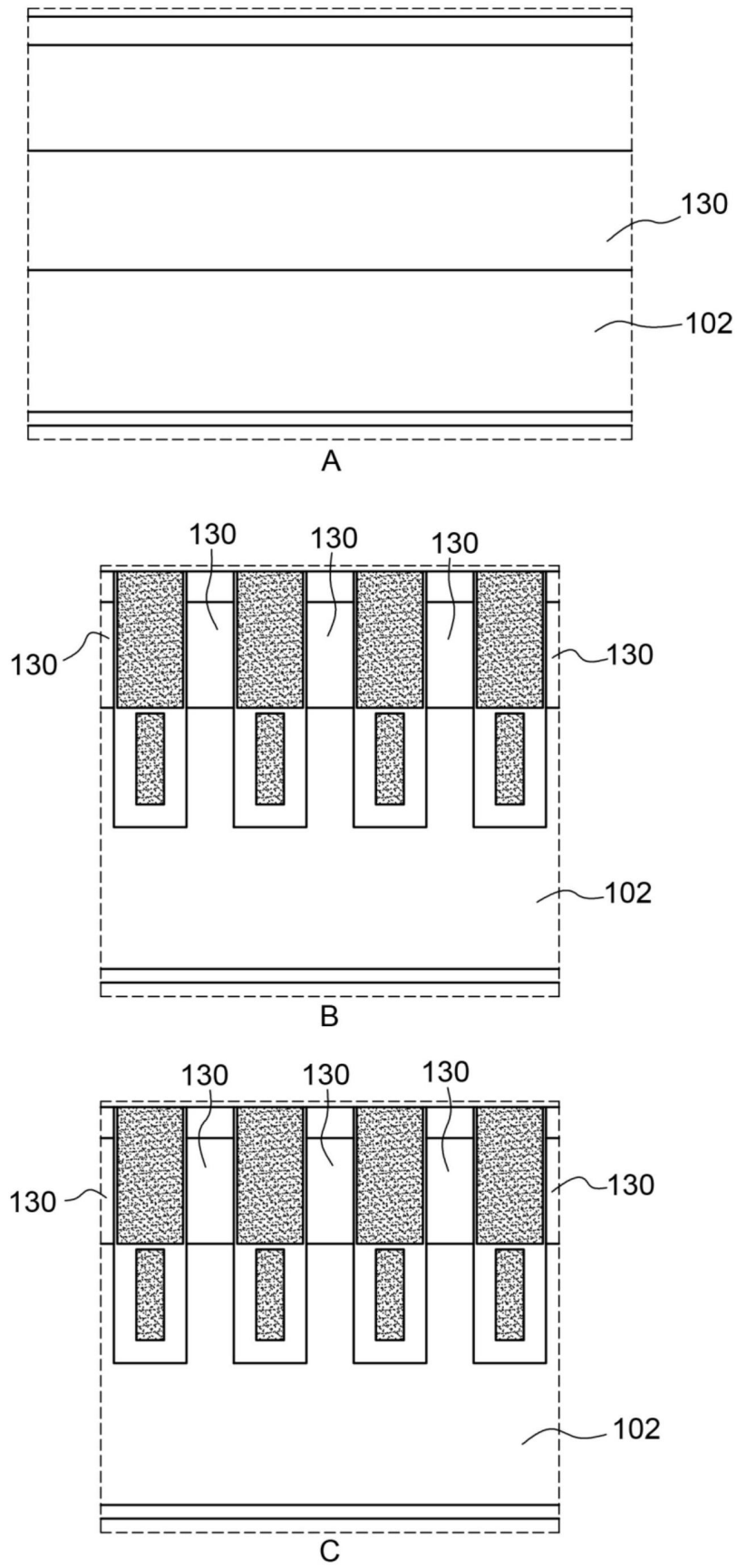


图12

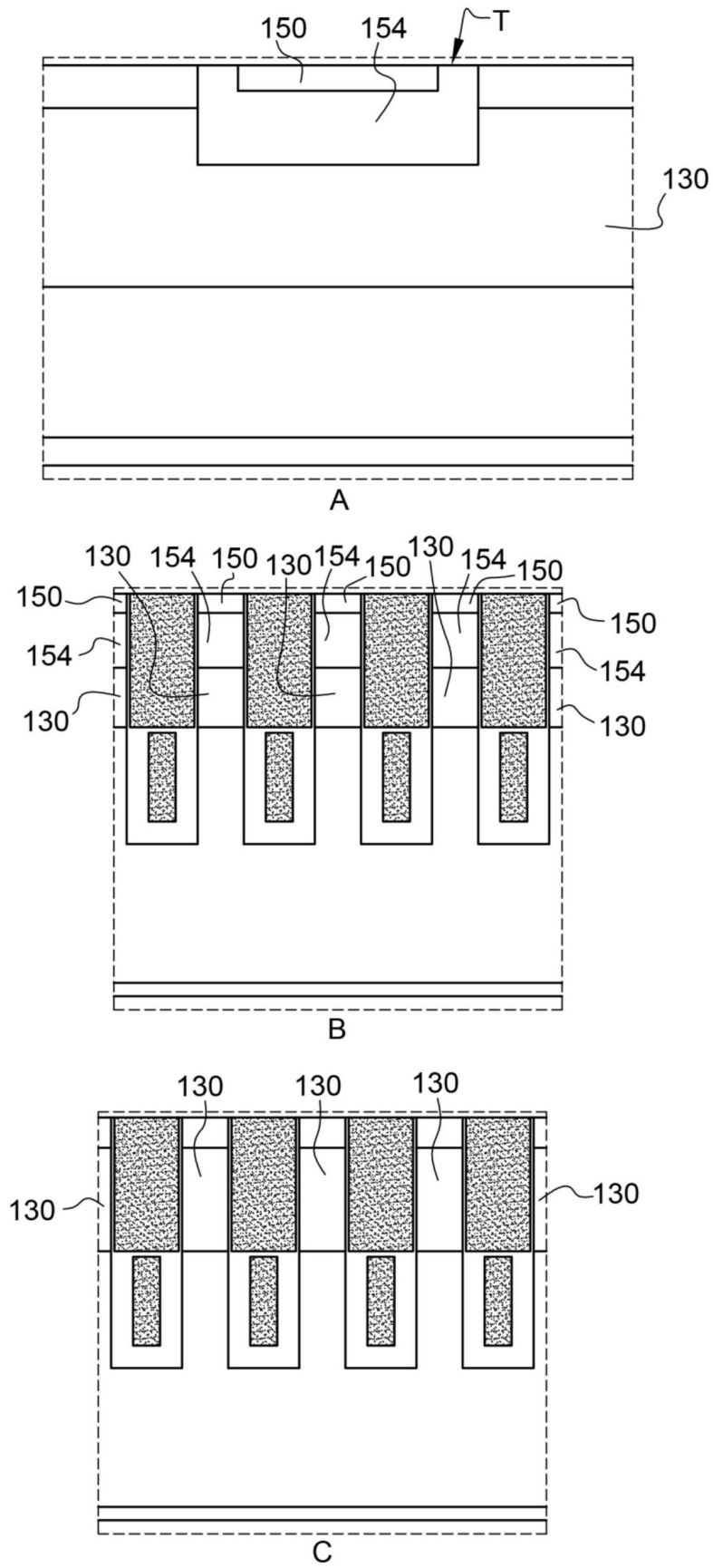


图13

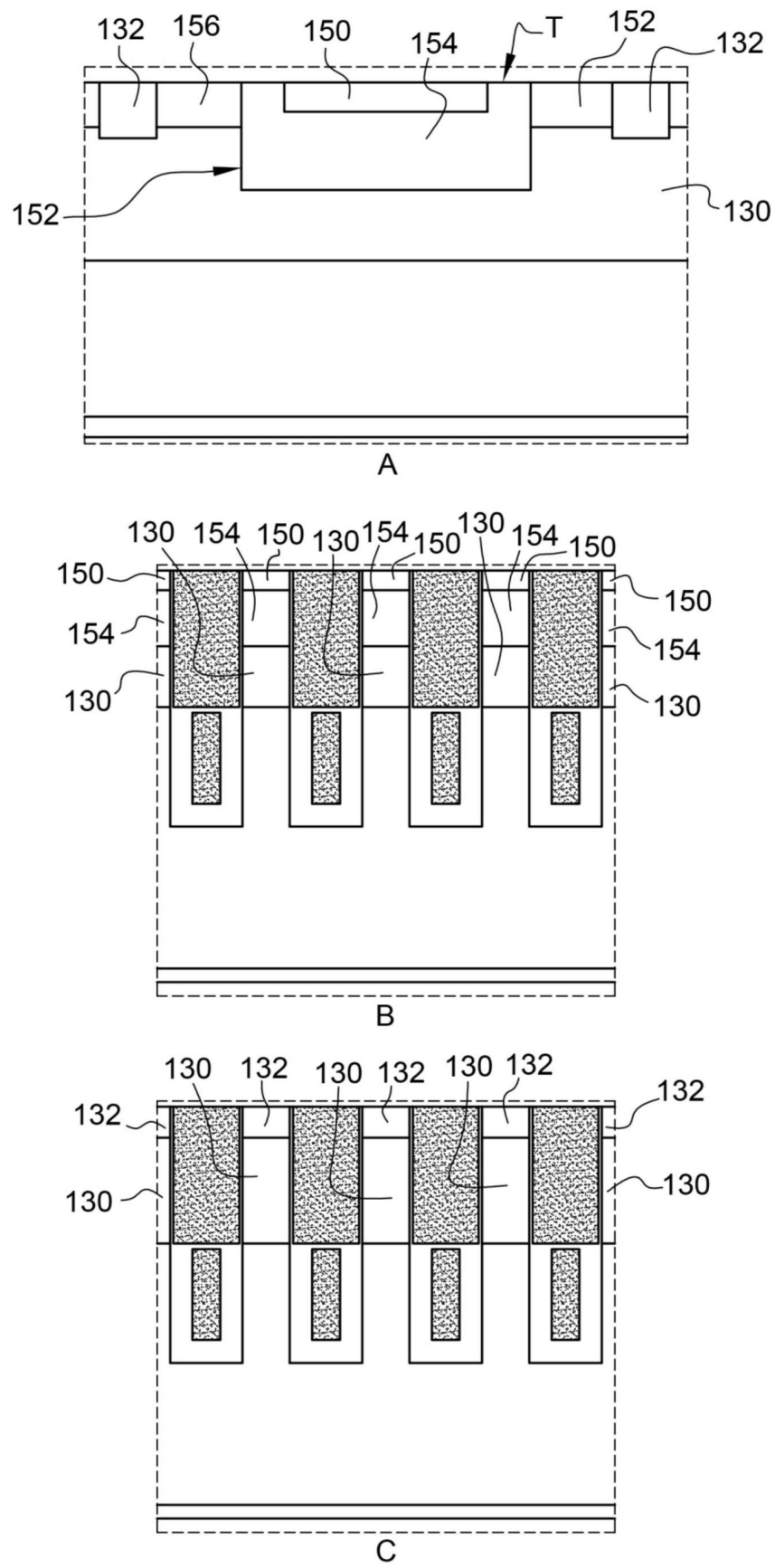


图14

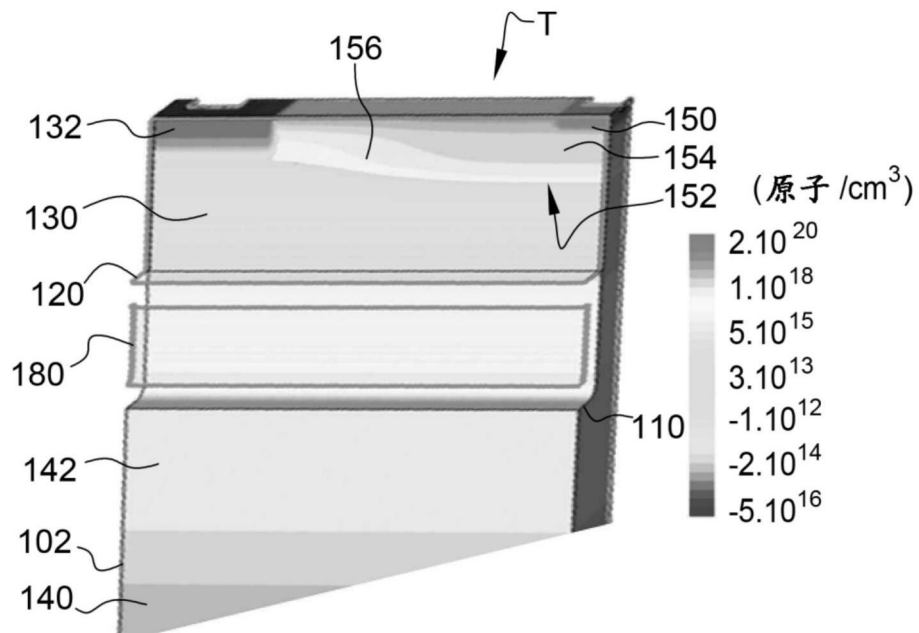


图15

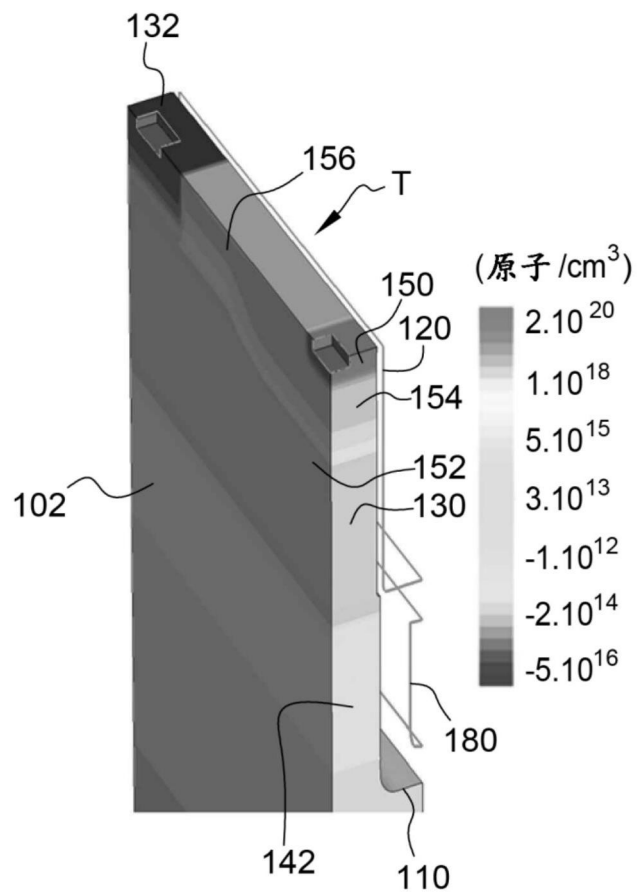


图16

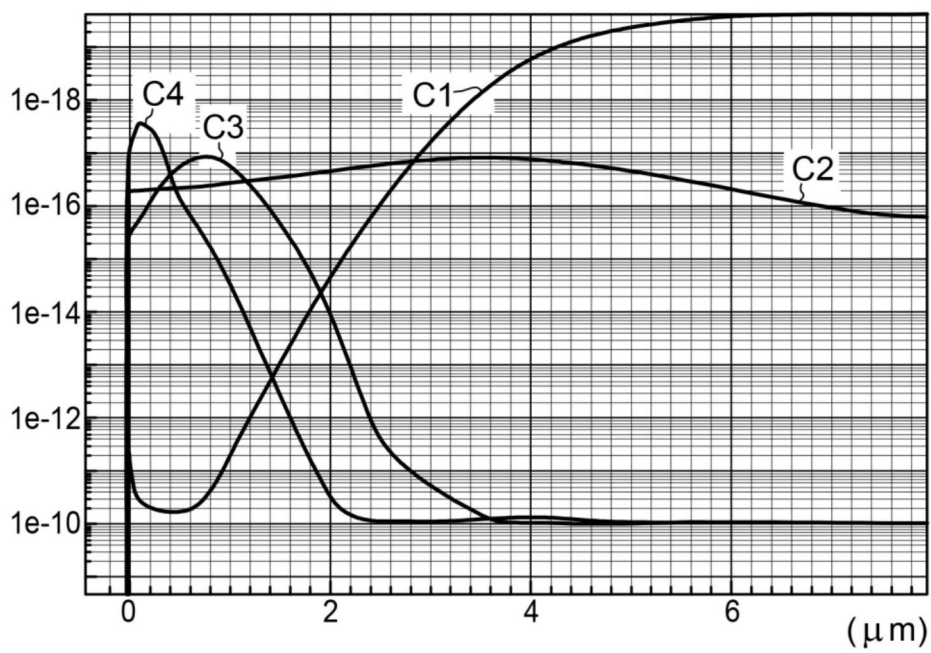


图17

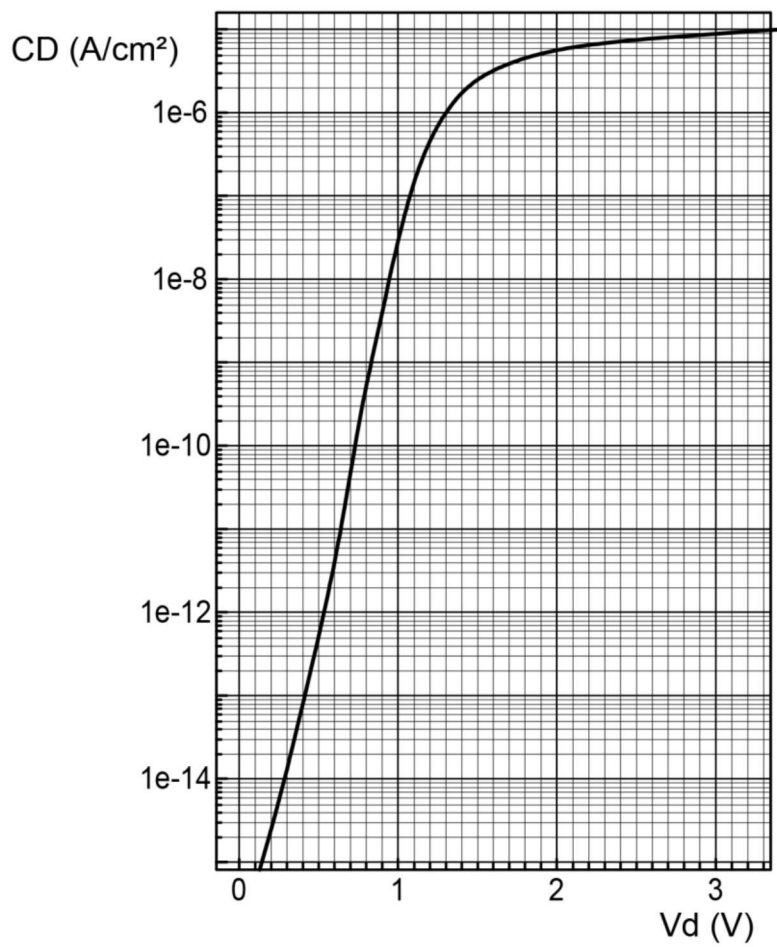


图18

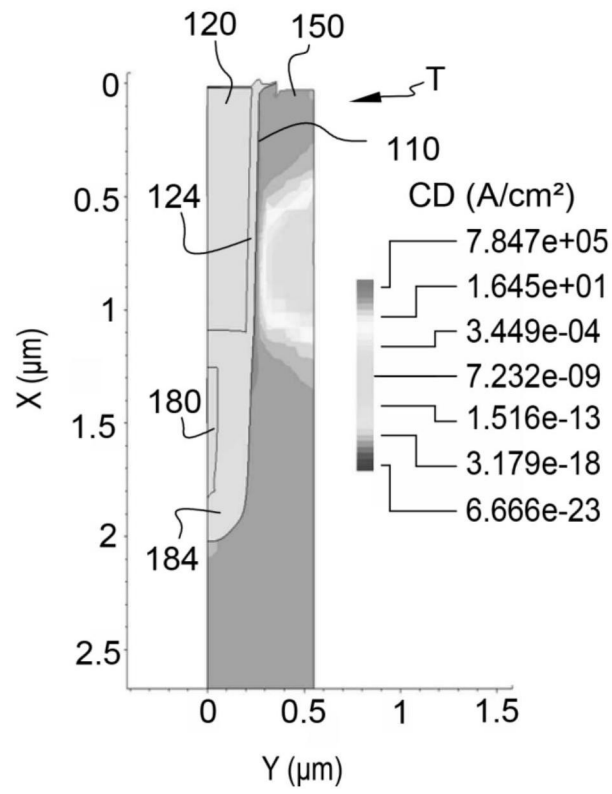


图19

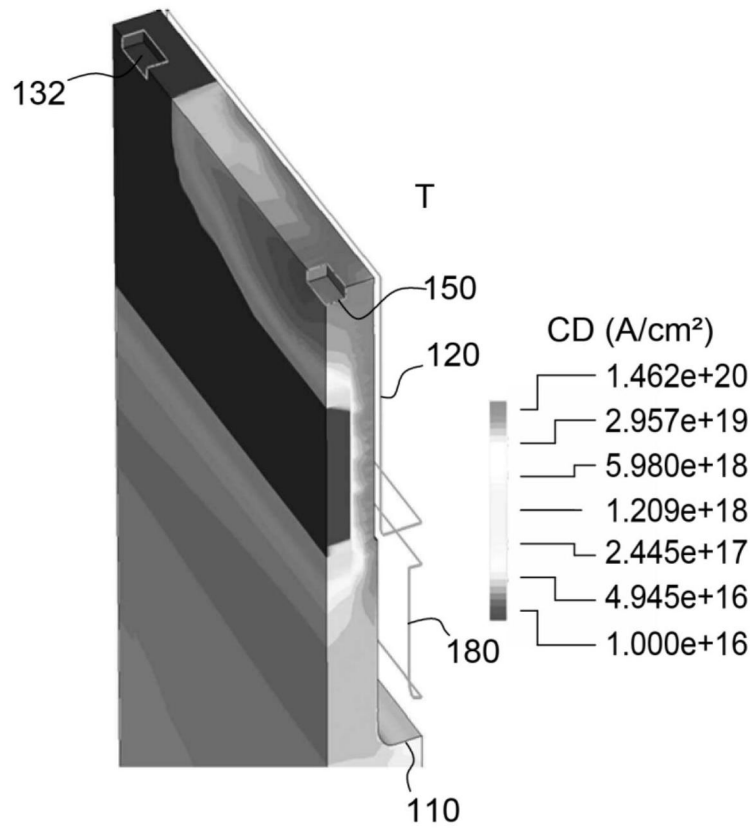


图20

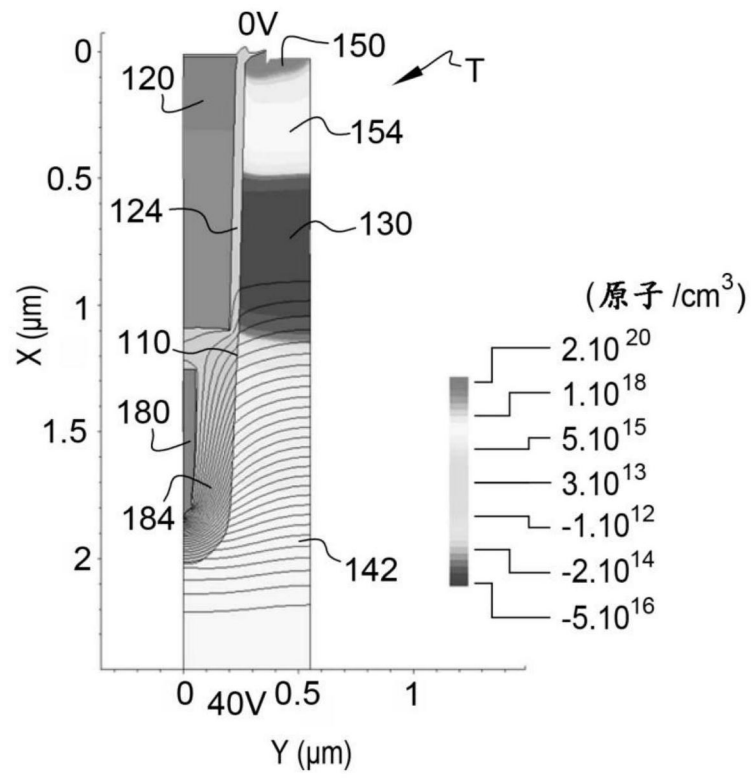


图21

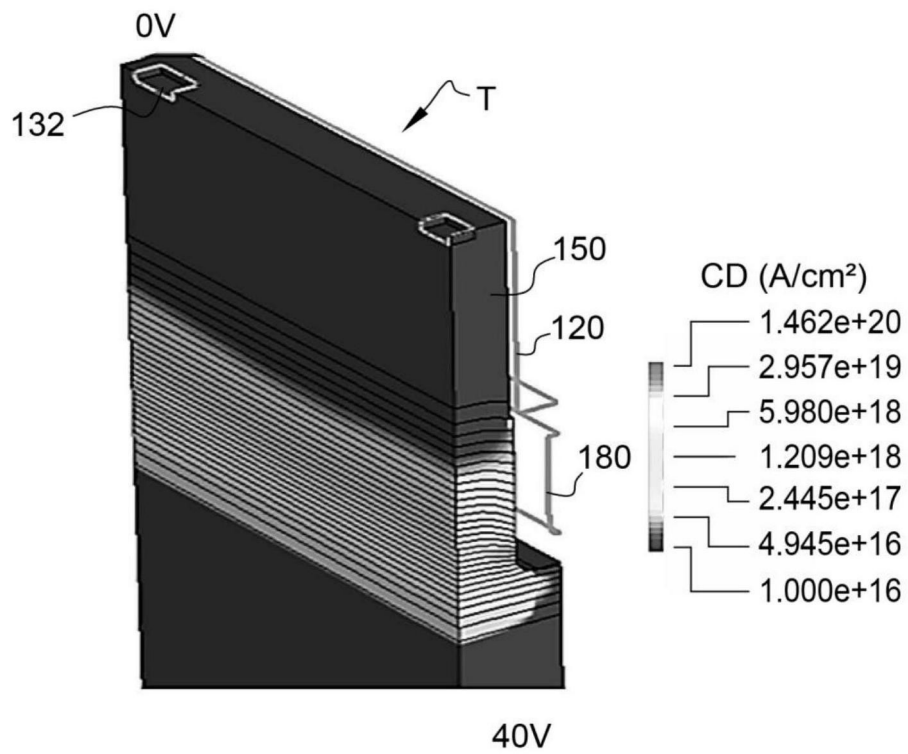


图22

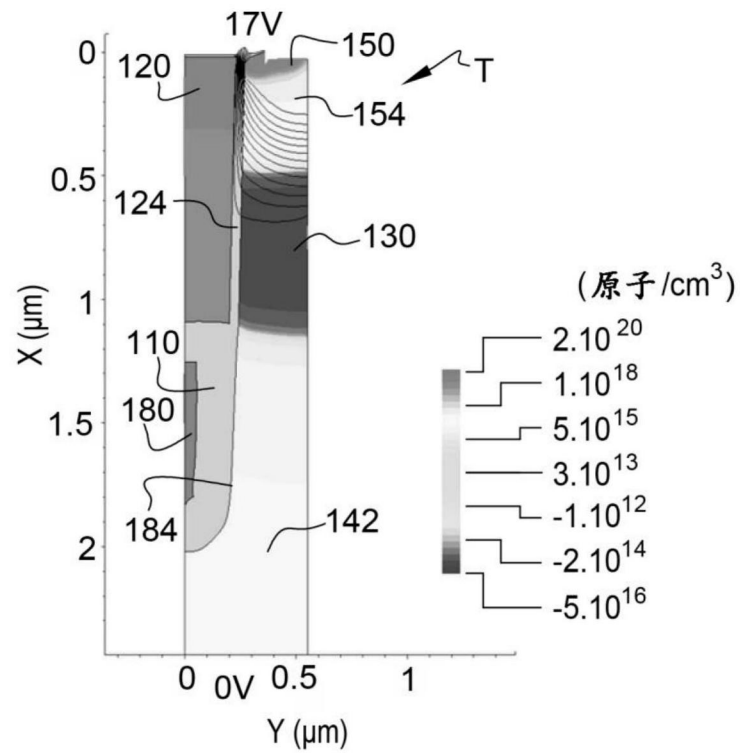


图23

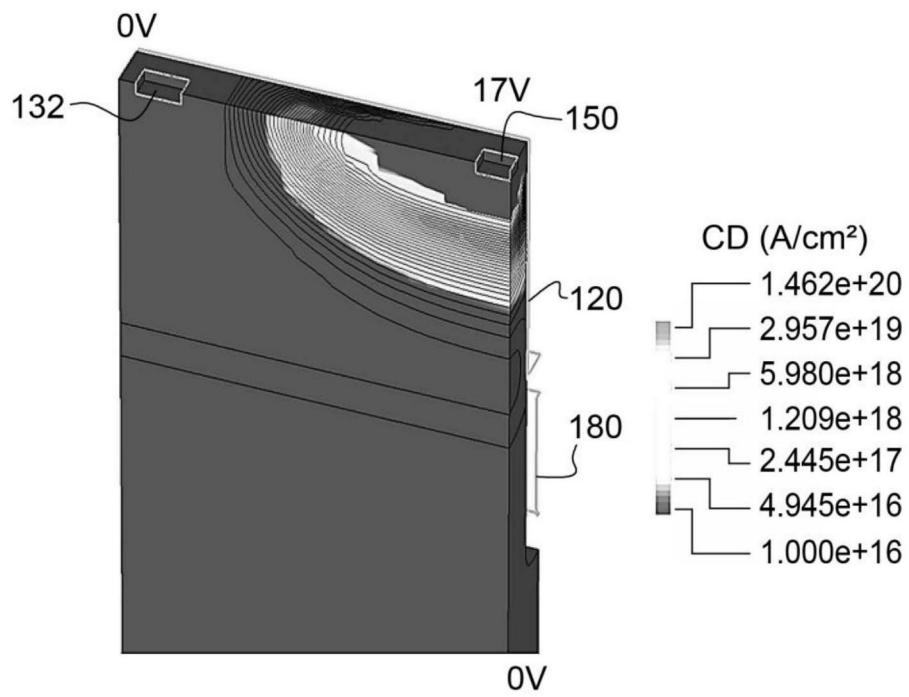


图24