

公告本

| | |
|------|---------------------------|
| 申請日期 | 88. 6. 23 |
| 案號 | 88110546 |
| 類別 | Int. Pat. 16 Holl 2/08 |

A4
C4

427004

(以上各欄由本局填註)

發 明 專 利 說 明 書

| | | |
|-------------|---------------|--|
| 一、發明 名稱 | 中 文 | 具有磊晶(EPI)埋入層之瓶形溝渠電容器 |
| | 英 文 | BOTTLE-SHAPED TRENCH CAPACITOR WITH EPI BURIED LAYER |
| 二、發明 創作人 | 姓 名 | <ol style="list-style-type: none"> 1. 馬丁舒藍姆斯(Martin SCHREMS) 2. 傑克門德曼(Jack MANDELMAN) 3. 喬艾青霍夫納(Joachim HOEPFNER) 4. 赫伯特夏法(Herbert SCHAEFER) 5. 雷哈德史坦格(Reinhard STENGL) |
| | 國 籍 | 1. 德國 2. 美國 3.-5. 屬德國 |
| 三、申請人 | 住、居所 | <ol style="list-style-type: none"> 1. 德國蘭格布克D-01465布姆街4E/15 2. 美國紐約州12582風鄉婕米巷5號 3. 德國普蘭格D-82152邁達倫恩路5號 4. 德國賀漢奇克D-85635勒肯街33號 5. 德國席泰貝根D-86391伯格街3號 |
| | 姓 名 (名稱) | <ol style="list-style-type: none"> 1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation) |
| 三、申請人 | 國 籍 | 1. 德國 2. 美國 |
| | 住、居所 (事務所) | <ol style="list-style-type: none"> 1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國約紐州10504艾蒙克新橡樹路 |
| 三、申請人 | 代 表 人 姓 名 | <ol style="list-style-type: none"> 1. 貝斯納(Basner) 雷哈特(Reinhardt) 2. 傑佛瑞L. 霍曼(Jeffrey L. Forman) |

裝 訂 線

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權
 美 1998年6月26日 09/105,580

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（一）

本發明之領域

本發明一般而言係有關於裝置及裝置製造，更特別地是有關於瓶形溝渠電容器。

本發明之背景

積體電路（IC）或晶片係使用電容器，以儲存電荷。使用電容器儲存電荷的IC的範例係為諸如動態隨機存取記憶體（DRAM）晶片等記憶體IC。電容器中的電荷準位（"0"或"1"）代表資料位元。

DRAM晶片包含橫豎互連的記憶胞陣列。通常，橫向及縱向互連各被稱為字元線與位元線。由記憶胞閱讀資料或寫入資料必須啟動適當的字元線或位元線。

通常，DRAM記憶胞胞含一連接至電容器的電晶體。電晶體包含以通道隔離的二個擴散區，置於通道上者為閘極。依據擴散區間的電流方線而定，一者被稱為汲極而另一個被稱為源極。"汲極"與"源極"在此被交互使用，其係意指擴散區。該閘極被連接至字元線，一擴散區被稱為位元線，而另一個擴散區被連接至電容器。

施加一適當的電壓至閘極將開啓電晶體，而使電流流經擴散區間的通道，以形成電容器與位元線間的連接。關閉電晶體將使電流無法流經通道。

DRAM中經常使用的電容器之一為溝渠電容器。溝渠電容器為形成在基板中之三維結構。通常，溝渠電容器包含一蝕入基板的深溝渠。該溝渠係以諸如N型摻雜多晶矽填充。該摻雜多晶矽作為電容器的電極（稱為"儲存節

五、發明說明(>)

點 "一 N型摻雜區環繞於溝渠底部，以作為第二電極。該摻雜區被稱為"埋入板"。節點絕緣質將隔離埋入板與儲存節點。

用於形成埋入板的傳統技術包含向外擴散進入環繞在溝渠底部之基板區域中的摻質。摻質源通常由諸如摻砷矽酸鹽玻璃(ASG)等N型摻雜矽酸鹽玻璃提供。

埋入板形成後，節點絕緣質被沈積，以襯墊溝渠壁。然而，用於形成埋入板的傳統技術將產生具有粗糙表面的溝渠壁。該粗糙的溝渠壁表面將劣化節點絕緣質的品質，而使良率變差。

由上述討論得知，提供具有減少溝渠壁表面粗糙度的溝渠電容器係為所欲。

本發明之概要

本發明係關於改良式瓶形溝渠電容器，諸如記憶胞所使用者。在一實施例中，該溝渠電容器被使用於諸如DRAM或埋入式DRAM晶片的記憶胞中。該瓶形溝渠電容器包含一直徑或寬度大於溝渠上半部的下半部。在一實施例中，該磊晶層被摻雜，以作為電容器埋入板。一擴散區被設於溝渠底部中。該擴散區以與磊晶埋入板相同電性的摻質摻雜。該磊晶埋入板上方為絕緣環管。一節點絕緣質將襯墊該環管及磊晶埋入板，以將溝渠電容器的儲存節點與埋入板隔離。該儲存節點以與磊晶埋入板相同電性的摻質摻雜。一磊晶間隔層可破設置以提供摻雜磊晶埋入板與基板間的隔離。在另一個實施例中，該磊

五、發明說明()

晶層未被摻雜。

圖式之簡單說明

第 1 圖表示一傳統 DRAM 單元；

第 2 a-b 圖表示一種用於形成埋入板於 DRAM 單元中的傳統製程；

第 3 圖表示根據本發明之一實施例之 DRAM 單元；

第 4 a-d 圖表示一種根據本發明之實施例之用於形成第 3 圖之 DRAM 單元的製程；

第 5 圖表示本發明的另一個實施例；

第 6 a 圖表示一種根據本發明之實施例之用於形成環管的製程；

第 7 a 圖表示一種根據本發明之另一個實施例之用於形成環管的製程。

一般而言本發明係關於 IC，更特別地是有關於溝渠電容器。該 IC 包含諸如隨機存取記憶體 (RAM)、動態隨機存取記憶體 (DRAM)、同步 DRAM (SDRAM)、靜態隨機存取記憶體 (SRAM) 及唯讀記憶體 (ROM) 等記憶體電路或其他記憶體 IC。其他 IC 包含諸如可程式化邏輯陣列 (PLA)、特殊應用 IC (ASIC)、合併式邏輯-記憶體 IC (埋入式 DRAM) 或任何電路裝置。

典型地複數個 IC，於諸如矽晶圓等半導體基板上同時被製造，在製程完成後，晶圓將被切割以將 IC 分割成複數個個別的晶片。該晶片於後序將被封裝，其將產生使用於諸如電腦系統、蜂巢式電話、個人數位助理 (PDAs) 以

五、發明說明(4)

及其他產品等最終產品。為便於討論，本發明係以形成單一單元作為內文說明。

為便於說明，本發明係以 DRAM 單元作為內文說明。然而，一般而言本發明係延伸至溝渠電容器的形成，為了更佳了解本發明，提供了傳統溝渠電容器 DRAM 單元的說明。

參考第 1 圖，顯示一傳統溝渠電容器 DRAM 單元 100。該傳統溝渠電容器被說明於諸如 Nesbit 等人所撰之 0.6 μ m² 256 Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST), IEDM 93-627 中，在此併入本案以為參考資料。通常，單元陣列係為字元線與位元線所互連，以形成 DRAM 晶片。

DRAM 單元包含一形成於基板 101 中的溝渠電容器 160。該基板係以諸如矽 (B) 等 P 型摻質 (p-) 微量摻雜。該溝渠通常以經由諸如砷或磷等 N 型摻質 (n⁺) 大量摻雜的多晶矽 161 填充。一諸如摻雜砷的埋入板 165 被設置於環繞溝渠底部的基板中。砷係由諸如 ASG 等摻質源擴散進入矽基板，該摻質源係形成於溝渠壁。多晶矽與埋入板係作為電容器電極。節點絕緣質 164 隔離諸電極。

DRAM 單元亦包含一電晶體 110。電晶體包含閘極 112 及擴散區 113, 114。以通道隔離的擴散區係以植入諸如磷 (P) 等 N 型摻質而被形成。一節點擴散區 125 (被稱為 "節點接面") 將電容器連接至電晶體。該節點擴散區係藉由將摻質由溝渠多晶矽穿經埋入帶 162 向外擴散而形成。

五、發明說明(5)

一環管 168 被形成於溝渠上半部。此處的溝渠上半部意指包含環管的部分，而底部則意指環管以下的部分。環管可避免節點接面流至埋入板的漏電流。漏電流係非所欲，因為其將劣化單元的遲滯時間。

一包含諸如磷或砷之 N 型摻質的埋入板 170 係設置於基板表面下。在埋入 N 型井中的摻質峰值濃度在環管底部附近。相較於埋入板，該井通常被輕微摻雜。埋入井用於連接陣列中之 DRAM 單元的埋入板。

藉由施加適當的電壓於閘極及位元線而啓動電晶體，可存取溝渠電容器。通常，閘極形成字元線，而擴散區 113 穿經接觸 183 被連接至 DRAM 陣列中的位元線 185。位元線 185 係以中間絕緣層 189 而與擴散區隔離。

設置一淺溝渠隔離 (STI)，以將 DRAM 單元與其他單元或裝置隔離。如所示，字元線 120 被形成於溝渠上，並以 STI 隔離。字元線 120 被稱為 "穿過字元線"。該結構被稱為摺疊位元線結構。

第 2a-b 圖表示一種用於形成 DRAM 單元埋入板的製程。參考第 2a 圖，一襯墊堆疊 207 被形成於基板 201 表面上。該襯墊堆疊包含各層，諸如襯墊氧化物 204 及襯墊阻絕層 205。該襯墊阻絕層包含諸如氮化物。該襯墊堆疊亦包含一形成於襯墊阻絕層上的硬式單幕層 206。該硬式單幕係作為形成溝渠用的蝕刻單幕。使用傳統微影及蝕刻技術刻劃襯墊堆疊，以形成溝渠 201 被形成於其中的區域。

五、發明說明(b)

溝渠的形成係以諸如活性離子蝕刻(RIE)等非等向性蝕刻完成。該溝渠接著以ASG層220襯墊，以作為形成埋入板用的摻質源。一層的TEOS層可被形成於ASG上，以確保與填充溝渠之光阻層230間的優良黏著性。該光阻被挖掘，以曝置出溝渠上半部的ASG層。所曝置的ASG係以濕式蝕刻製程移除。

參考第2b圖，殘留的部分光阻係對ASG選擇地由溝渠移除。包含諸如TEOS的一絕緣層208被沈積在溝渠上。TEOS層可避免砷原子自然植入所曝置的矽壁面上半部。進行退火，以將砷原子由ASG向外擴散至矽，而形成埋入板265。埋入板的頂端與埋入N井270接觸。在形成埋入板後，剩餘的部分DRAM被製造成諸如第1圖所示的DRAM單元。

第3圖表示本發明之一實施例。如所示，DRAM單元300包含一溝渠電容器310。作為舉例地，該DRAM單元為合併式隔離節點溝渠(MINT)單元。使用埋入板的其他溝渠單元結構亦可使用。對於特徵尺寸(F)約為 $0.25\mu\text{m}$ 之256Mb的DRAM晶片而言，溝渠電容器的尺寸約為 $7-8\mu\text{m}$ 深， $0.25\mu\text{m}$ 寬及 $0.50\mu\text{m}$ 長，而單位單元的尺寸則約為 $0.605\mu\text{m}^2$ 。當然，該尺寸可依據設計需求與設計準則而變化。例如特徵尺寸(F)約為 $0.15\mu\text{m}$ 的DRAM晶片，其溝渠電容器的尺寸約為 $7-8\mu\text{m}$ 深， $0.15\mu\text{m}$ 寬及 $0.30\mu\text{m}$ 長，而單位單元的尺寸則約為 $0.2\mu\text{m}^2$ 。

如所示，該溝渠電容器被形成於諸如矽晶圓等基板301

五、發明說明(7)

中。其他種類的半導體基板亦可被使用。該基板係以諸如具有某種電性的摻質微量摻雜。在一實施例中，該基板係以諸如硼等 P 型摻質摻雜。再者，亦可使用諸如砷或磷等 N 型摻質微量摻雜基板。更微量或更大量摻雜的基板亦可使用，依據設計需求及應用而定。具有微量摻雜晶部分的大量摻雜基板亦可使用，諸如 p- / p+ 或 n- / n+ 基板。

包含具有第一種電性之摻質的摻雜井 330 將陣列裝置與基板隔離，以減少漏電流。在一實施例中，該摻雜井包含 P 型摻質，以形成 P 型井。P 型井的濃度約為 $5 \times 10^{17} \text{ cm}^{-3}$ - $8 \times 10^{17} \text{ cm}^{-3}$ 。亦可使用 N 型摻雜井。

根據本發明之一實施例，溝渠下半部的直徑或寬度 (W_L) 大於溝渠上半部的直徑或寬度 (W_U)，其中直徑係由溝渠壁量測。該溝渠形狀被稱為 "瓶形溝渠"。在一實施例中， $W_U < W_L < W_O$ ，其中 W_O 小於溝渠接觸相鄰溝渠，而導致相鄰電容器間漏電及短路的距離。因此，溝渠仍與相鄰溝渠隔離。因為相鄰溝渠通常以約最小特徵尺寸 (F) 的距離隔離，所以 W_O 約等於 $2F$ ，最好為約 $2F - X$ ，其中 X 約等於 $25 \mu\text{m}$ 。 X 的數值亦可改變，依溝渠形狀或其他設計需求而定。增加底部的表面積將增加儲存電容量。

通常，溝渠包含以具有第二種電性的摻質大量摻雜的多晶矽 361。該多晶矽係以諸如砷或磷等 N 型摻質 (n^+) 大量摻雜。在一實施例中，該多晶矽係以砷大量摻雜。

五、發明說明(8)

砷的濃度約為 $1-2 \times 10^{19} \text{ cm}^{-3}$ 。

一磊晶矽(EPI)層365將襯墊環管168下方的溝渠底部。該磊晶層起始於諸如基板表面下方約 $1.2 \mu\text{m}$ 。該距離取決於環管及P型井深度。

該磊晶層係以具有第二種電性的摻質摻雜。在一實施例中，該磊晶層係以諸如砷或磷等N型摻質摻雜。磊晶層係作為電容器的埋入板。此外，磊晶層365可包含複數個磊晶層。具有磊晶埋入板之溝渠電容器的說明被提供於標題為 "TRENCH CAPACITOR WITH EPIBURIED LAYER" 的美國專利申請案 USSN第09/056,119號，在此併入本案以為參考資料。在一實施例中，一磊晶間隔層(未示)被設置於基板與磊晶埋入板之間。該磊晶間隔層為未摻雜或以諸如砷或磷等具有第二種電性的摻質微量摻雜。提供磊晶間隔層在使用大量摻雜基板或具有大量摻雜基板的微量摻雜磊晶時特別有用。該間隔層提供漸進的摻雜過渡區於反性摻雜的基板與埋入板之間。

節點絕緣層364將隔離電容器的電極。在一實施例中，絕緣層包含氮化物/氧化物。氮化物/氮化物/氧化物，或其他適當的絕緣質，或諸如氮化物、氮化氮化物等層堆疊或NONO亦可被使用。如所示，該絕緣層襯墊環管及磊晶層。

藉由以磊晶層襯墊溝渠底部，則節點絕緣質被形成於其上之表面的粗糙度係被減少。減少表面粗糙度將減少節點絕緣質中之電場的隨機增加以及隨機缺陷的導入，

五、發明說明(9)

故相較於具有較粗糙表面的電容器而言，其可使得電容器的崩潰電壓分部較密集。此舉可改良製造良率。

將電容器的磊晶埋入板365連接至DRAM陣列中的其他電容器係為包含第二種電性之摻質的埋入井370。在一實施例中，該埋入井係以植入諸如砷或磷等N型摻質而形成。井的濃度約為以 $5 \times 10^{17} - 1 \times 10^{20} \text{ cm}^{-3}$ 。埋入井亦可以N型磊晶層形成。一參考電壓被連接至埋入井，以將DRAM陣列中的電容器埋入板連接至共同參考電壓。此舉將減少絕緣層中的最大電場，而改良可靠度。在一實施例中，參考電壓為位元線電壓上下限的中點，通常被稱為 $V_{DD}/2$ 。諸如接地等參考電壓亦可被使用。再者，與基板偏壓相等的參考電壓亦可被使用，特別是諸如p-/P+基板等大量摻雜的基板。

帶362被設於摻雜多晶矽上方。摻質由摻雜多晶矽361向外擴散至矽，而形成連接至電晶體與電容器的節點擴散區325或節點界面。雖然所舉例的實施例係以埋入帶做說明，氮諸如表面帶等其他種類的連接物亦可被使用。

環管368設置於溝渠上半部，並延伸至埋入板頂端周圍。如所示，環管係輕微地陷入表面下，以順應埋入帶362。環管包含一絕緣材料。在一實施例中，該環管包含在一TEOS層下方的熱氧化層。熱氧化物環管亦可被使用。亦可提供氮化物襯墊於環管表面。該環管可避免或減少由節點界面至埋入板的漏電流。在一實施例中，環管約為 $1.2 \mu\text{m}$ 深及20-90nm厚。當然，深度及厚度可依

五、發明說明(一)

據設計需求而被改變。

STI380被設置於溝渠頂部，以將DRAM單元與陣列中的其他單元隔離，並避免相鄰電容器間的帶形成。如所示，STI與部分的溝渠重疊，而殘餘的部分將允許電流在電晶體與電容器之間流動。在一實施例中，STI與一半的溝渠寬度垂直重疊。STI可避免或減少帶對帶的漏電流。STI的深度約為 $0.25\mu m$ 。

一P型摻雜井330被設於電晶體310下面的基板中，以避免衝穿。電晶體310包含一閘極堆疊312與以通道區319隔離的汲極/源極擴散區313、314。該擴散區包含諸如砷或磷等N型摻質。擴散區314被連接至節點接面325。閘極堆疊(亦被稱為"字元線")包含多晶矽315層。通常，該多晶矽以N或P型摻質摻雜。一金屬矽化物層(未示)被形成於該多晶矽層上，以減少閘極堆疊的片電阻率。該多晶矽與矽化物有時被稱為"多晶金屬矽化物"。

如所示，閘極堆疊係以氮化層316覆蓋，以作為隔離字元線的蝕刻罩幕。此外，壁面氧化物(未示)及襯墊317被使用以隔離字元線。該襯墊包含諸如氮化物或其他適當的材料。該襯墊物亦作為無邊際接觸383形成期間的蝕刻阻絕物。該無邊際接觸提供擴散313與位元線385間的連接。一諸如BPSG或諸如氧化物等其他絕緣材料將位元線與擴散區隔離。通常，一阻絕物或襯墊層(未示)將襯墊接觸窗口，以隔離接觸柱與閘極。

一穿過字元線320被形成於STI380上。該穿過字元線

五、發明說明(一)

係以 STI 及厚覆蓋氧化物，而與溝渠隔離。在一實施例中，穿過字元線的邊緣完全與溝渠壁對齊。該結構被稱為摺疊位元線結構。諸如開口或開口摺疊結構等其他結構亦可被使用。此外，使用諸如垂直電晶體等其他單元設計亦可被使用。

在另一個實施例中，該磊晶埋入層未被摻雜。未摻雜的埋入板可被用於反向的單元中。反向的單元被說明於諸如美國專利申請案 USSN 第 08/668,345 號，其申請於 7/30/96，標題為 "Deep Trench Cell Capacitor with Inverting Counter Electrode,"，在此併入本案以為參考資料。

根據本發明之又另一個實施例，一擴散區 367 係環繞於溝渠下半部。該擴散區包含與多晶矽 361 相同電性的摻質，諸如砷或磷等 N 形摻質。該擴散區作為摻質擴散進入磊晶埋入板 365 的摻質源。提供摻質源將增強或增加磊晶埋入板的摻質濃度。增加埋入板的摻質濃度可避免或減少因儲存電極表面之主載體的電空乏所引起電容量損失，在本案例中之主載體為電子。增加摻質濃度亦減少串聯電阻率，而避免讀/寫時間的劣化。

在使用大量摻雜的基板時，其最好在形成擴散區之前，形成一磊晶間隔層於溝渠下半部。該磊晶間隔層係為未摻雜或以諸如砷或磷等具有第二種電性的摻質微量摻雜。形成完全位於磊晶間隔層中的擴散區係為所欲。其可藉由諸如降低熱預算和/或提供足夠厚的間隔層而輕

五、發明說明 (12)

易地達成。提供具有擴散區形成於其中的磊間隔層將產生一更陡峭的 p/n 接面於基板與埋入板之間，以減少漏電流。此外，該間隔層將促使具有更高摻質濃度之埋入板的形成。

如所述，第一種電性為 P 型，而第二種電性為 N 型。本發明亦可應用於具有形成於 N 型基板中之 P 型多晶矽的溝渠電容器。此外，其得以大量或輕微摻雜該基板、井、埋入板以及其他具有雜質原子之 DRAM 單元的元件，以獲得所欲的電性。

如第 3 圖所示，該溝渠電容器包含具有一磊晶層或複數個磊晶層的埋入板。該磊晶層或諸層被選擇性地形成於諸如溝渠底部。該溝渠的下半部被擴張，而增加電容器的電容量。在一實施例中，該溝渠電容器的環管在選擇性的磊晶成長及節點絕緣質沈積前被形成。在選擇性磊晶成長前形成環管可提供自行對齊於環管的埋入板。諸如 "環管第一製程" 等技術被使用於在形成埋入板前形成環管。該技術被說明於諸如 Ho 等人所發表的美國專利第 5056535 號及 Kenney 所發表的美國專利第 5264716 號，在此併入本案以為參考資料。使用二階段溝渠蝕刻的其他技術亦可被使用。

第 4 a-d 圖表示根據本發明之一實施例之用於形成 DRAM 單元的製程。本發明係以具有 N 通道裝置的記憶胞作為說明內文。本發明亦可應用於 P 通道裝置。

參考第 4 a 圖，一基板 401 係被提供，DRAM 單元被製造

五、發明說明(→)

於其上。該基板包含諸如矽。其他種類的半導體基板亦可被使用。通常，該基板係以諸如硼等P型摻質(p-)微量摻雜。硼的濃度約為 $1-2 \times 10^{16}$ atoms/cm³。更高的硼濃度亦可被使用，其可製造高度摻雜的P型(P+)基板。P-/P+ 磊晶基板亦可被使用。通常，該磊晶部分約為 $2-3 \mu\text{m}$ 厚，而摻質濃度約為 $10^{16}-10^{17}$ atoms/cm³。為避免摻質由p+或p-/p+基板向外擴散，晶圓背面可以低溫氧化物(LTO)沈積製程所形成的氧化層密封。輕微或大量摻雜的N型基板亦可被使用。

該基板亦包含一N型埋入井470。該埋入井包含磷或砷摻質。在一實施例中，單幕形成埋入井區域之圖形。諸如磷等N型摻質被植入基板的埋入井區域。通常，埋入井區域係置於陣列裝置下方，而非支撐裝置下方。以足夠的能量與劑量進行植入，以沈積磷摻質的峰值濃度於所形成的環管底部。該埋入井用於隔離P型井與基板，並形成導電橋於磊晶板間。磷植入的濃度與能量約為大於 1×10^{13} cm⁻²及在約1.5eV。

此外，該埋入井係藉由植入摻質並接著成長磊晶層於基板表面上而被形成。該技術係說明於Bronner等人所發表的美國專利第5,250,829號，在此併入本案以為參考資料。

通常，一襯墊堆疊407被形成於基板表面上。該襯墊堆疊包含諸如一襯墊氧化層404及一拋光阻絕層405。該拋光阻絕層作為後續製程的拋光或蝕刻阻絕，並可包含

五、發明說明(14)

諸如氮化物。該襯墊堆疊亦包含一硬式單幕層406，通常包含TEOS。諸如BSG等其他材料亦可被使用於硬式單幕層。該硬式單幕層係使用傳統微影及蝕刻技術刻化，以形成溝渠409於後續被形成於其中的一區域。

溝渠的上半部為絕緣環管468。在一實施例中，環管包含在CVD TEOS下方的熱氮化物。通常，環管的厚度約為20-50nm。此外，該絕緣層包含氮化物。該環管亦可包含形成在氮化物上的氮化襯墊物。

溝渠的下半部被擴張。擴張溝渠的下半部將增加溝渠的表面積，而增加電容量。通常，溝渠約在基板表面下6-8 μ m。當然，溝渠的深度依設計而定。硬式單幕層406可於溝渠形成後被形成。亦可於製程後段移除硬式單幕層。通常，該硬式單幕係以濕式蝕刻法移除。

在一實施例中，溝渠下半部係使用諸如化學乾式蝕刻法(CDE)等非等向性蝕刻擴張之。CDE對氮化物有選擇性，而擴張溝渠壁底部並以環管保護上半部。CDE擴張溝渠下半部至約 W_L 的直徑或寬度，其中 W_L 大於約 W_u 。因為IC中通常有其他的溝渠電容器，所以 W_L 係小於溝渠壁與相鄰溝渠接觸的直徑。此將導致漏電流或相鄰電容器間的短路。

在一實施例中，一足夠量的基板將隔離相鄰溝渠的下半部，以避免或減少漏電流。通常，隔離相鄰電容器之基板的量約為25nm或更多。溝渠通常以約等於F的距離隔離。在一實施例中， W_L 大於 W_u ，但小於約2F； W_L 最好

五、發明說明(15)

大於 w_u 但小於約 $2F-X$ ，其中 X 為隔離相鄰溝渠以避免或減少漏電流的間隔數量。在一實施例中， X 約為 $25\mu m$ 。擴張的數量亦可改變，依據諸如溝渠形狀或佈局等各種因素而定。此外，使用環繞溝渠下半部之擴散區亦可影響相鄰單元間的隔離。

為在形成磊晶層於溝渠下半部前移除所有的原始氧化物，可進行氫氣預烘烤。氫氣預烘烤在諸如摻雜或磊晶成長使用不同設備時相當有用。該情況通常會因由一個設備傳輸到另一個設備而曝置在氧氣中，而產生形成在矽溝渠壁面上的薄氧化層。該預烘烤的條件諸如溫度約為 $900^\circ C$ ；時間約為 20scc；壓力約為 20Torr 以及約 25slm 的 H_2 。

參考第 4b 圖，一磊晶層 465 被沈積於環管下方之溝渠部分。該磊晶層矽以諸如磷或砷等 N 型摻質摻雜。在一實施例中，該磊晶層係對於氧化物有選擇性地被形成。該技術被稱為選擇性磊晶成長 (SEG)。SEG 被說明於諸如 Wolf, Silicon Processing for the VLSI Era, Vol. 2, Lattice Press, 1990, 在此併入本案以為參考資料。SEG 將形成磊晶層於所曝置的矽上。所以，磊晶層被形成於溝渠底部中之曝置壁面上，而環管與襯墊堆疊係作為避免磊晶層成長於其上的罩幕。

在一實施例中，該磊晶層係以快速加熱化學氣相沈積法 (RTCVD) 沈積。其他的化學氣相沈積法亦可被用於沈積磊晶層。諸如四氯化矽 ($SiCl_4$)、二氯矽烷 (SiH_2Cl_2)

五、發明說明 (b)

、三氯矽烷 (SiHCl_3) 及矽烷 (SiH_4) 等各種矽來源或預製體皆可被用於成長磊晶層。氫氣 (H_2) 係作為稀釋氣體；且氯化氫 (HCl) 氣體被用於增強磊晶成長的選擇性。

在一實施例中，該磊晶層在磊晶成長期間係以摻質即時摻雜。即時摻雜係藉由在成長期間將摻質流入反應器中而完成。例如， PH_3 (磷來源) 或 AsH_3 (砷來源) 被引入反應器中，以提供 N 型摻雜磊晶層。P 型磊晶層亦可被使用。 B_2H_6 被使用為 P 型磊晶層的 P 型摻質源。該 P 型磊晶層可用於 P 通道陣列裝置。為達成足夠高的成長速率 (通常約 5-50 nm/min)，該沈積溫度約在 850-1050°C 間。當然，該溫度可被增加或減少，以獲得較高或較低的成長速率。藉由在磊晶形成期間，改變 HCl 及 / 或 H_2 流量而控制選擇性。再者，摻質濃度可於所欲的範圍中變化，以增加或減少磊晶成長的選擇性。亦可沈積一未摻雜磊晶層。

埋入板的摻質濃度取決於設計要求。例如。提供一較空間電荷區更厚的高摻雜埋入板係為所欲，因為其可在偏壓出現時，有效地避免電流。該摻質濃度大於約 1×10^{18} atoms/cm³。該摻質濃度為諸如 1×10^{18} - 1×10^{21} atoms/cm³。通常，該摻質濃度約為 1×10^{19} - 1×10^{20} atoms/cm³。

所欲的埋入層厚度依據設計需求及摻質濃度而定。通常，所欲的厚度約為 1-10 nm。當然，該厚度可依不同的應用而改變。所欲的磊晶層厚度與其中的摻質濃度成負

五、發明說明 (17)

相關。較高的摻質濃度可使用較薄的磊晶層。相反地，較低的摻質濃度則使用較厚的磊晶層。例如，具有約 4×10^{19} atoms/cm³ 摻質濃度的磊晶層係大於或等於約 4nm 厚。

在部分實施例中，一未摻雜或微量摻雜 (p-) 的磊晶層被設置於基板與更多量摻雜的磊晶埋入板間。在使用大量摻雜基板時，磊晶間隔層係特別有用。該間隔層可改良 n⁺ 磊晶埋入板與 p⁺ 基板間的摻質隔離。間隔層的厚度為諸如約 1-10nm。

一絕緣層 464 被形成於晶圓表面上，以覆蓋包含環管及磊晶埋入板之溝渠的內部。該絕緣層作為節點絕緣質，以隔離電容器的電極。在一實施例中，絕緣層包含氮化物/氧化物 (NO) 層堆疊。該 NO 層堆疊係以諸如沈積一氮化層而形成。在 FTP 設備中的 CVD 可被用於沈積氮化層。通常，氮化層的厚度約為 5nm。氮化層接著在約 900°C 的溫度被氧化，以使其緻密化。該氧化製程將產生一 NO 層，其與氮化層厚度相同或稍微增加。使用 NO 層可改良節點絕緣質的品質。諸如氮化物、氮氧化物、氮化物/氮化物/氧化物 (ONO)、氮化物/氮化物/氮化物/氮化物 (ONON) 或氮化物/氮化物/氮化物/氮化物 (NONO) 等其他絕緣層或層堆疊亦可使用。

該磊晶層可提供較傳統電容器更不粗糙的表面。減少表面粗糙度可改良節點絕緣質的可靠度，以增加良率。

一多晶矽層 471 被沈積於晶圓表面，以填充溝渠並覆

五、發明說明(18)

蓋襯墊堆疊。該多晶矽係以諸如 CVD 法沈積。如所示，該多晶矽層係為保形的。多晶矽層係以諸如磷及砷等 N 型摻質即時摻雜。在一實施例中，多晶矽層以砷摻雜。多晶矽層中的砷濃度為 $1 \times 10^{19} - 1 \times 10^{20}$ atoms/cm³。該摻雜多晶矽係作為電容器的節點電極。

參考第 4c 圖，過剩的多晶矽與硬式單幕係以諸如蝕刻與拋光步驟移除。可使用諸如化學機械拋光 (CMP) 等拋光技術。襯墊阻絕層 405 作為 CMP 阻絕層，而使拋光達到氮化層時即停止。氮化層 405 與溝渠多晶矽間的完全平坦表面係於後續加工中被製造。在部分實施例中，硬式單幕可於製程前段被移除。

在晶圓表面平坦化後，溝渠中的摻雜多晶矽 471 係以諸如活性離子蝕刻 (RIE) 挖掘，以形成埋入帶。在部分實施例中，多晶矽被挖掘至低於矽表面約 100nm 處。凹槽曝置出環管 468 的上半部。所曝置的環管部分通常以濕式蝕刻移除。該濕式蝕刻將過度蝕刻環管，而將其挖掘至低於多晶矽 461 表面 463。通常，過度蝕刻將挖掘環管至低於多晶矽約 50nm。

一多晶矽層 462 被沈積於基板上，以覆蓋氮化層並填充溝渠的凹陷部分。通常，多晶矽層為本質或未摻雜的多晶矽層。亦可使用非晶質矽填充溝渠。依設計需求而定，層 462 亦可被摻雜，以減少電阻率。多晶矽層被平坦化至氮化層。在平坦化後，溝渠中的多晶矽被挖掘至低於基板表面約 50nm，以形成埋入帶 462。在上述的範

五、發明說明(19)

例中，埋入帶約為10nm厚。當然，可依據設計需求而將凹槽最佳化，以產生埋入帶。亦可使用形成埋入帶的其他技術。

在第4d圖中，DRAM單元的主動區被形成。一抗反射塗層(ARC)層被沈積於基板表面上，而覆蓋氮化層及帶。該ARC被用於改良形成主動區(AA)之微影製程的解析度。一光阻層被形成於ARC層上，以作為AA蝕刻罩幕。單元的非主動區接著以諸如RIE進行非等向性蝕刻，而形成淺溝渠479於其中。非主動區為STI被形成於其中的區域。

如所示，該非主動區將覆蓋部分的溝渠，而切斷部分的帶。殘餘的部分埋入帶允許電流在儲存節點與節點接面間流動。通常，STI覆蓋約一半的溝渠寬度。STI的深度係低於埋入帶，而避免相鄰單元間之帶對帶的漏電流。STI的深度約為矽表面下方 $0.25\mu\text{m}$ 。

在非主動區被蝕刻後，光阻及ARC層被移除。為確保無光阻或ARC殘留，可使用輕洗步驟。為避免氧氣擴散進入矽及多晶矽壁面，一氮化物襯墊481被設置以保護非主動區。通常，在形成氮化物襯墊前，一鈍化氧化物被熱成長於所曝置的矽上。該氮化物襯墊係以諸如低壓化學氣相沈積法(LPCVD)形成。該氮化物襯墊被形成於基板表面上，以覆蓋氮化層及非主動STI區。

一絕緣材料480被沈積於基板表面，以填充淺溝渠479。該絕緣材料包含諸如二氧化矽。在一實施例中，該絕緣材料為TEOS。絕緣層的厚度係足以填充非主動區。將

五、發明說明 (續)

基板表面拋光，而使得 STI 及氮化物表面完全平坦。

該襯墊氮化層接著以諸如濕式化學蝕刻移除。該濕式化學蝕刻對氮化物有選擇性。襯墊氮化物亦於此時以對矽有選擇性的濕式化學蝕刻法移除在移除襯墊氮化物後，一個氮化層被形成於晶圓表面上。該氮化層（被稱為“閘極犧牲層”）係作為後續植入用的罩幕氮化物。

為形成 DRAM 單元之 N 通道存取電晶體的 P 型井區域，一光阻層被沈積於氮化層頂端並被適當地刻劃，以曝置出 P 型井區域。如所示，諸如硼 (B) 等 P 型摻質被植入井區域中。該摻質被植入足夠深，以避免衝穿並減少片電阻率。摻質的縱深被調整，以獲得所欲的電性，諸如閘極啓始電壓 (V_t)。

此外，N 通道支撐電路的 P 型井亦被形成。對於互補式金屬氧化物矽 (CMOS) 裝置中的井而言，N 型井被形成。額外的微影及植入步驟被要求以形成 N 型井。如 P 型井一般，該 N 型井的縱深亦被調整以獲得所欲的電性。在井形成後，閘極犧牲層被移除。在製程前段形成摻雜井亦相當有用。

形成電晶體之閘極的各層被沈積於基板上。該層包含諸如一閘極氮化物 411、一多晶矽 415 (其可包含一矽化物，諸如 W_{SiX} ，其中 $x = 2-3$) 以及一氮化物 416。該諸層接著被刻劃，以形成電晶體 410 的閘極堆疊。一穿過閘極堆疊 420 通常被形成於溝渠上，並以 STI 及溝渠上的氮化物隔離。擴散區 413、414 係以植入諸如磷或砷等 N 型

五、發明說明 (一)

摻質而形成。在一實施例中，P摻質被植入源極與汲極區。選擇劑量與能量，以製造可獲得所欲操作特性的摻質縱深。為改良擴散區對閘極的擴散及對齊，可使用氮化物間隔物(未示)。為將電晶體與溝渠接觸，一節點接觸面425係藉由穿經帶462向外擴散摻質而被形成。

一絕緣層489被形成於晶圓表面上並被平坦化，以覆蓋閘極及基板表面。該絕緣層包含諸如BPSG、諸如TEOS等其他的絕緣層亦可被使用。由諸如氮化物所組成的一襯墊層417在絕緣層489形成前被形成，以作為形成無邊際接觸窗口的蝕刻阻絕。如所示，該無邊際接觸窗口483被蝕刻，以曝置出擴散區413。該接觸窗口接著以諸如 n^+ 摻雜多晶矽或其他導電材料等導電材料填充，以形成接觸柱於其中。一金屬層(代表位元線485)被形成於絕緣層上，而經由接觸柱與擴散區接觸。

此外，亦可使用表面帶取代理入帶。使用表面帶並不需要挖掘多晶矽，以形成如上述第4d圖之埋入帶。用於形成表面帶以連接電容器與電晶體的技術已為所熟知。而不再說明於此。

在另一個實施例中，該磊晶埋入層為未摻雜。未摻雜埋入板在反向單元中相當有用。反向單元被說明於諸如美國專利申請案USSN第08/688,345號，申請於7/30/96，標題為"Deep Trench Cell Capacitor with Inverting Counter Electrode"，在此併入本案以為參考資料。

參考第5圖，本發明的另一個實施例係為所示。如所示，如第4a圖所述之瓶狀溝渠409被設置於基板401中。

五、發明說明 (>>)

一擴散區 467 被選擇性地設置。擴散區環繞溝渠下半部。該擴散區係藉由沈積摻質於溝渠壁下半部而被形成。擴散區的形成被說明於目前已申請的美國專利申請案 USSN— — — — (代理案件第 98P7492 US01)，標題為 "TRENCH CAPACITOR WITH EPI BURIED LAYER"，在此併入本案以為參考資料。擴散區包含與用以形成儲存節點之摻質相同電性的摻質。在一實施例中，擴散區包含諸如磷或砷等 N 型摻質。

擴散區係作為摻質源，以增強磊晶埋入板的 465 的摻質濃度。增加埋入板的摻質濃度可避免或減少因儲存電極之表面的主載體電空乏所引起的電容量耗損，本案例的主載體為電子。增加摻質濃度亦可減少串聯電阻率，以避免讀/寫時間的劣化。

在一實施例中，環繞溝渠底部之擴散區係以諸如氣相摻雜形成。亦可使用諸如電漿摻雜 (PLAD) 及潛電漿離子植入 (PIII) 等其他技術。該技術被說明於諸如同時申請的美國專利申請案 USSN 第 09/031,995 號 (代理人案件第 98P7430 US)，標題為 "IMPROVED TECHNIQUES FOR FORMING TRENCH CAPACITORS IN AN INTEGRATED CIRCUIT"；以及目前已申請的美國專利申請案 USSN— — — — (代理人案件第 98P7492 US01 號)，標題為 "TRENCH CAPACITOR WITH EPI BURIED LAYER"，在此併入本案以為參考資料。環管可作為摻質單幕，以設置自行對齊的擴散區 467。

擴散區的表面濃度大於諸如基板的摻質濃度。在一實

五、發明說明 (>3)

施例中，該擴散區的表面濃度約為 1×10^{18} atoms/cm³，最好為 1×10^{20} atoms/cm³， 1×10^{22} atoms/cm³ 則更佳。在另一個實施例中，表面濃度約為 5×10^{18} - 1×10^{20} atoms/cm³。在又另一個實施例中，表面濃度約為 5×10^{18} - 1×10^{22} atoms/cm³。擴散區的表面接面深度約為 10-70% 的 F，最好為約 30-60% 的 F。例如，接面深度約為 15-100 nm；且當 F 約為 150 nm 時，其最好為約 45-90 nm。在擴散區形成後，該製程接著如第 4a-d 圖所述。

第 6a-c 圖表示一種在磊晶埋入板形成前形成環管的製程。該製程被說明於共同美國專利申請案第 USSN 09/055,506 號 (代理人案件第 98P 7491 號)，其標題為 "TRENCH CAPACITOR WITH ISOLATION COLLAR"，在此併入本案以為參考資料。如第 5a 圖所示，一半導體基板 501 被提供。該基板包含諸如矽。亦可使用其他種類的基板。該基板包含一埋入井 570。一襯墊堆疊 507 係位於基板表面上，其包含諸如襯墊氧化物、襯墊氮化物及硬式單幕層等不同的襯墊層。以 RIE 法刻劃該襯墊堆疊，以形成溝渠 509 被形成於其中的區域。該溝渠係以犧牲材料 511 填充，諸如多晶矽或非晶質矽。在約 1050-1100°C 仍穩定的其他犧牲材料亦可被使用。該犧牲材料被挖掘至等於環管底部的深度。

沈積一絕緣層 567，以襯墊溝渠壁及犧牲材料表面。絕緣材料包含諸如氧化物，以作為環管氧化物。在一實施例中，該絕緣層的形成係以首先成長一薄的熱氧化層

五、發明說明(之)

，並沈積一TEOS層於其上而完成。該氧化物的厚度約為諸如5-10nm，而環管則約為20-50nm厚。此外，該絕緣層包含熱氧化物。一氮化物襯墊可被形成於絕緣層上。亦可使用其他種類的絕緣層作為環管。

參考第6b圖，進行環管開口蝕刻，以曝置出犧牲材料511。一諸如RIE之非等向性蝕刻被用於將環管打洞。該RIE亦由襯墊堆疊表面及犧牲材料頂端511移除絕緣層，而留下殘留在矽壁面上的絕緣層，以形成環管568。如所述，襯墊溝渠壁之絕緣層的上半部將因RIE侵蝕而形成錐狀。然而，因為環管將於後續被挖掘至低於基板表面，其係低於該錐狀處，所以該錐狀並不會對於環管的功能有負面的影響。

參考第6c圖，犧牲材料511係以諸如濕式蝕刻法移除，以曝置出在溝渠底部中的溝渠壁面。一諸如CDE的乾式蝕刻將擴張未為環管所保護之溝渠底部509，直至直徑為 W_L 為止，其中 W_L 大於 W_u 。該製程接著如第4a-d圖或第5圖所述。

此外，該環管可以LOCOS氧化法形成。LOCOS氧化法技術被說明於諸如美國專利第5,656,535號，在此併入本案以為參考資料。在該技術中，一氮化層係於溝渠形成後被沈積。氮化層將襯墊溝渠壁。該氮化層係足夠厚，以保護溝渠壁不被氧化。通常，氮化層約為50Å厚。接著沈積光阻並挖掘至約環管底部，以曝置出溝渠上半部中之氮化層。以濕式蝕刻移除所曝置的氮化物。光阻被

五、發明說明(5)

移除，而留下襯墊溝渠底部的氮化層。接著使用 LOCOS 氧化法，以形成氧化物環管於溝渠上半部中之所曝置的溝渠壁。該 LOCOS 環管的厚度約為諸如 20-30nm。該氮化層接著以對於環管氧化物有選擇性地被移除，以曝置出溝渠底部的壁面。未為環管所保護之溝渠底部係以諸如 CDE 擴張至直徑為 W_L ，其中 W_L 大於 W_u 。該製程接著如第 4a-d 圖或第 5 圖所述。

第 7a-d 圖表示另一種用於在形成磊晶埋入板前形成環管的製程。如第 7a 圖所示，一半導體基板 601 係被提供。該基板包含諸如矽。亦可使用其他種類的基板，諸如 P 型基板。該基板包含一埋入井 670。一襯墊堆疊 607 係位於基板表面上，其包含諸如襯墊氧化物、襯墊氮化物及硬式單幕層等不同的襯墊層。以 RIE 法刻劃該襯墊堆疊，以形成溝渠 509 被形成於其中的區域。

接著以諸如活性離子蝕刻法 (RIE) 蝕刻該所形成的區域，以形成曝置出基板之開口於襯墊堆疊中。所曝置的基板被蝕刻至環管底部周圍的深度，以形成溝渠 608。在一實施例中，開口 608 被蝕刻至約 1-1.5 μm 的深度。當然，該深度可依設計要求而改變。

沈積一絕緣層 667，以襯墊溝渠壁及底部。絕緣材料包含諸如氧化物，以作為環管氧化物。在一實施例中，該絕緣層的形成係以首先成長一薄的熱氧化層至約 5-10 nm 的厚度，並沈積一 TEOS 層於其上而完成。通常，環管則約為 20-50nm 厚。此外，該絕緣層包含熱氧化物。

五、發明說明 (>b)

一氮化物襯墊可被形成於絕緣層上。亦可使用其他種類的絕緣層作為環管。

參考第 7b 圖，進行環管開口蝕刻，以曝置出溝渠 608 底面上的基板。一諸如 RIE 之非等向性蝕刻被用於將環管打洞。該 RIE 亦由襯墊堆疊表面及溝渠 608 底部移除絕緣層，而留下殘留在砂壁面上的絕緣層，以形成環管 668。如所述，襯墊開口 608 之溝渠壁之絕緣層的上半部將因 RIE 侵蝕而形成錐狀。然而，因為環管將於後續被挖掘至低於基板表面，其係低於該錐狀處，所以該錐狀並不會對於環管的功能有負面的影響。

參考第 7c 圖，進行 RIE。該 RIE 侵蝕曝置於溝渠底部之基板表面，以延伸其深度。該 RIE 侵蝕基板，以形成溝渠 609 底部 669。通常，該溝渠約在基板表面下 $6-10 \mu m$ 。當然，溝渠深度取決於設計要求及製程相容性。硬式單幕層可於溝渠形成後被移除。此外，該硬式單幕層可於製程後段被移除。通常，該硬式單幕係以濕式蝕刻法移除。

參考第 7d 圖，溝渠底部 669 係以諸如 CDE 等乾式蝕刻擴張。該 CDE 擴張溝渠底部至直徑為 W_L ，其中 W_L 係大於 W_U 。在 CDE 後，硬式單幕若未於先前被移除，則可在此被移除。該製程接著如第 4a-d 圖或第 5 圖。

雖然本發明已被特別地揭示，並參考不同的實施例做說明，但應了解對於熟習本技藝之人士而言。可在不背離其範疇情況上，對桿發明作改良及改變。僅作為範例

五、發明說明 (>7)

，溝渠電容器可以表面帶或其他單元形成，或使用位元線結構。因此，本發明之範疇不應僅參考上述說明而被決定，而應參考所附申請專利範圍及其所有相當的範疇。

符號之說明

- 100、300.....DRAM單元
- 110、410.....電晶體
- 101、201、301、401.....基板
- 112.....電極
- 113、114、313、314、367、413、414、467..擴散區
- 120.....字元線
- 125、325.....節點擴散區
- 160、310.....溝渠電容器
- 161、361、415.....多晶矽
- 162.....鑲埋帶
- 164.....節點絕緣質
- 165、265.....鑲埋板
- 168、368、468、568、668.....環管
- 180.....淺溝渠隔離
- 183.....接觸
- 185、385.....位元線
- 189.....中間絕緣層
- 204.....襯墊氧化物
- 205.....襯墊阻絕層
- 206、406.....硬式單幕層

五、發明說明 (> 8)

- 207, 407, 507, 607.....襯墊堆疊
- 208, 389, 464, 480, 489, 567, 667.....絕緣層
- 220.....ASG層
- 230.....光阻層
- 270.....n 型件
- 312.....閘極堆疊
- 317.....襯墊
- 319.....通道區
- 320.....穿過字元線
- 330.....p 型摻雜井
- 362.....帶
- 364.....節點介電層
- 365.....磊晶矽層
- 370、570、670.....鑲埋井
- 380.....淺溝渠隔離
- 404.....襯墊氧化層
- 405.....研磨阻絕層
- 409、509、608、609.....溝渠
- 411.....閘極氧化物
- 416.....氮化物
- 417.....襯墊層
- 420.....穿過閘極堆疊
- 430.....P 型井
- 461、462.....多晶矽層

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (29)

- 463.....上表面
- 465.....磊晶層
- 470.....n型鑲埋井
- 479.....淺溝渠
- 481.....氮化矽墊物
- 501.....半導體
- 511.....犧牲材料
- 601.....半導體基板

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱:

具有磊晶(EPI)埋入層之瓶形溝渠電容器

一瓶狀溝渠電容器，其具有一經擴張的溝渠下半部，一磊晶層係位於其中。該磊晶層作為溝渠電容器的埋入板。一擴散區環繞在經擴張的溝渠下半部，以增強磊晶層的摻質濃度。該擴散區係以諸如氣相摻雜、電漿摻雜、或潛電漿離子植入法形成。

英文發明摘要(發明之名稱: BOTTLE-SHAPED TRENCH CAPACITOR WITH EPI BURIED LAYER)

A bottle-shaped trench capacitor having an expanded lower trench portion with an epi layer therein. The epi layer serves as the buried plate of the trench capacitor. A diffusion region surrounds the expanded lower trench portion to enhance the dopant concentration of the epi layer. The diffusion region is formed by, for example, gas phase doping, plasma doping, or plasma immersion ion implantation.

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種半導體積體電路包含：

一瓶狀溝渠電容器，其具有被擴張的溝渠底部；以及

一磊晶層，其襯墊在襯墊溝渠上半部之氧化物環管下方的經擴張的底部溝渠壁的壁面。

(請先閱讀背面之注意事項再填寫本頁)

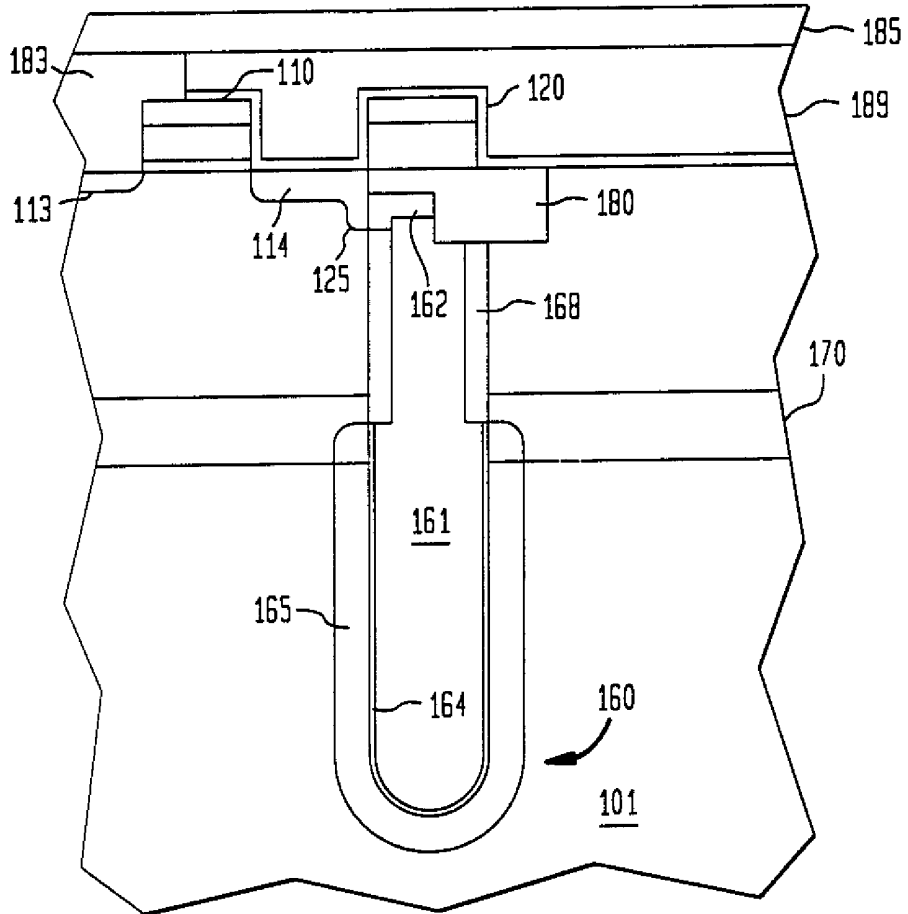
裝

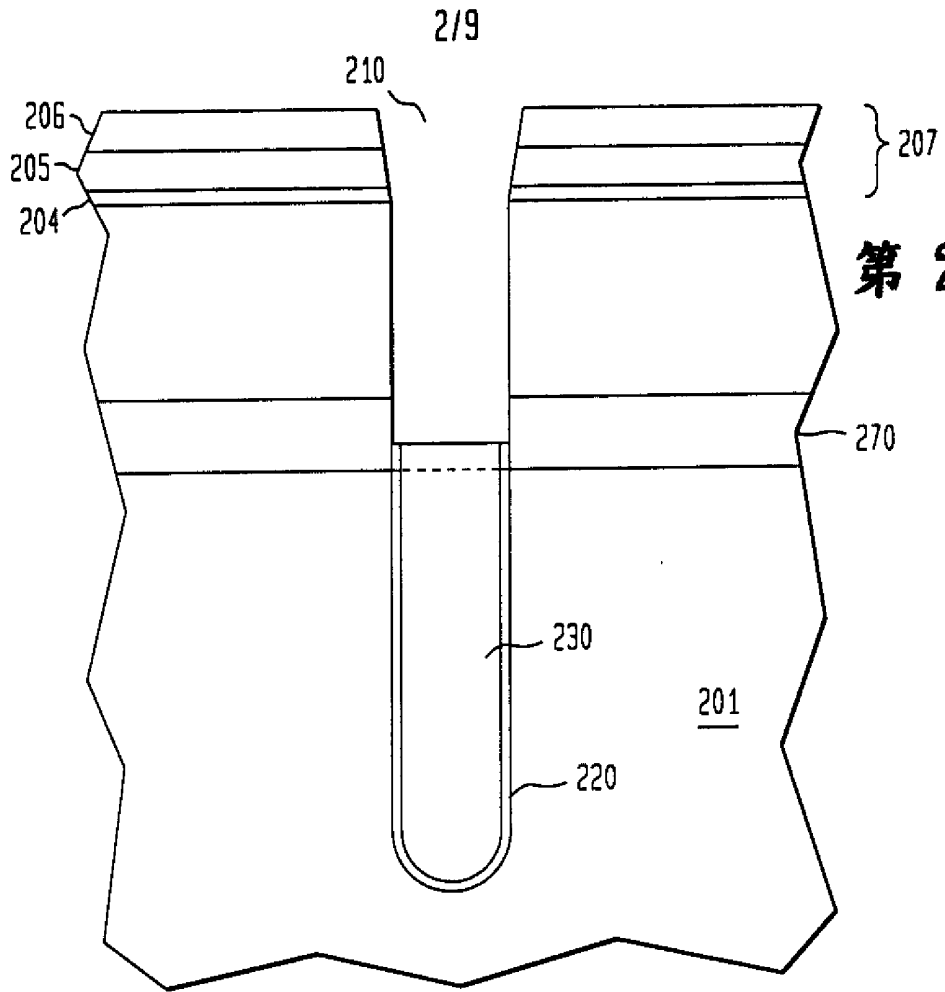
訂

線

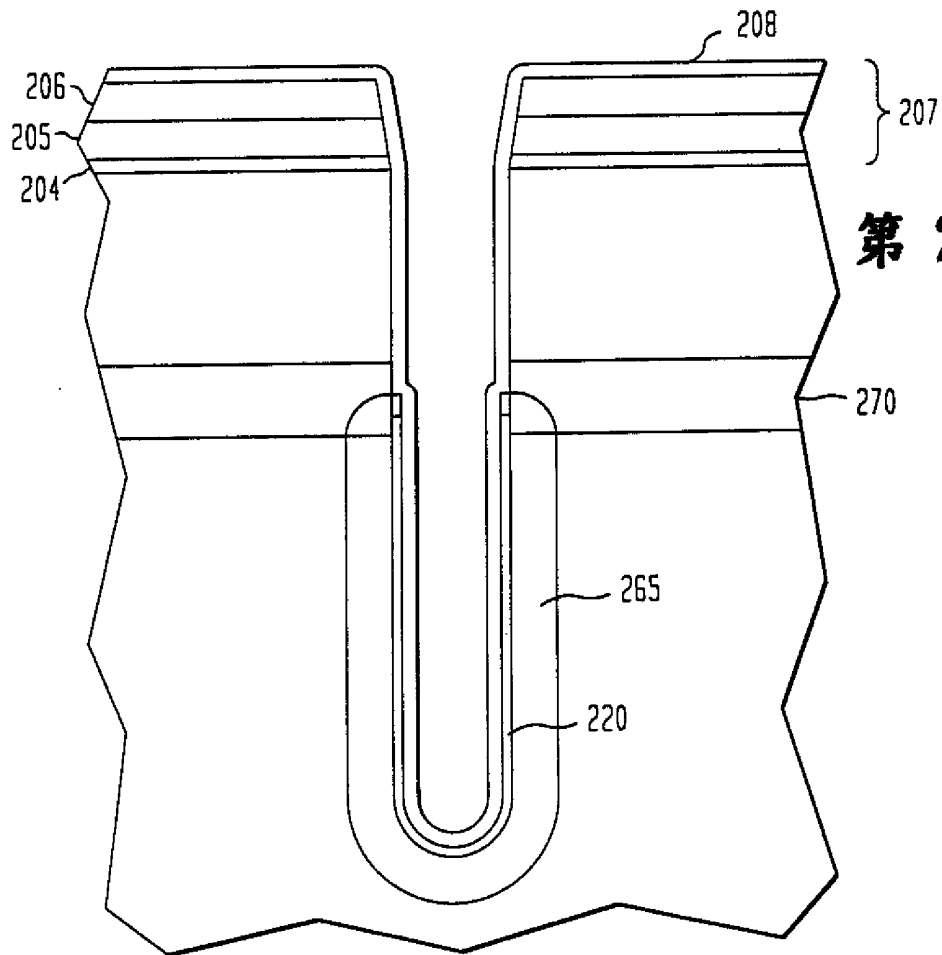
88110346

第 1 圖



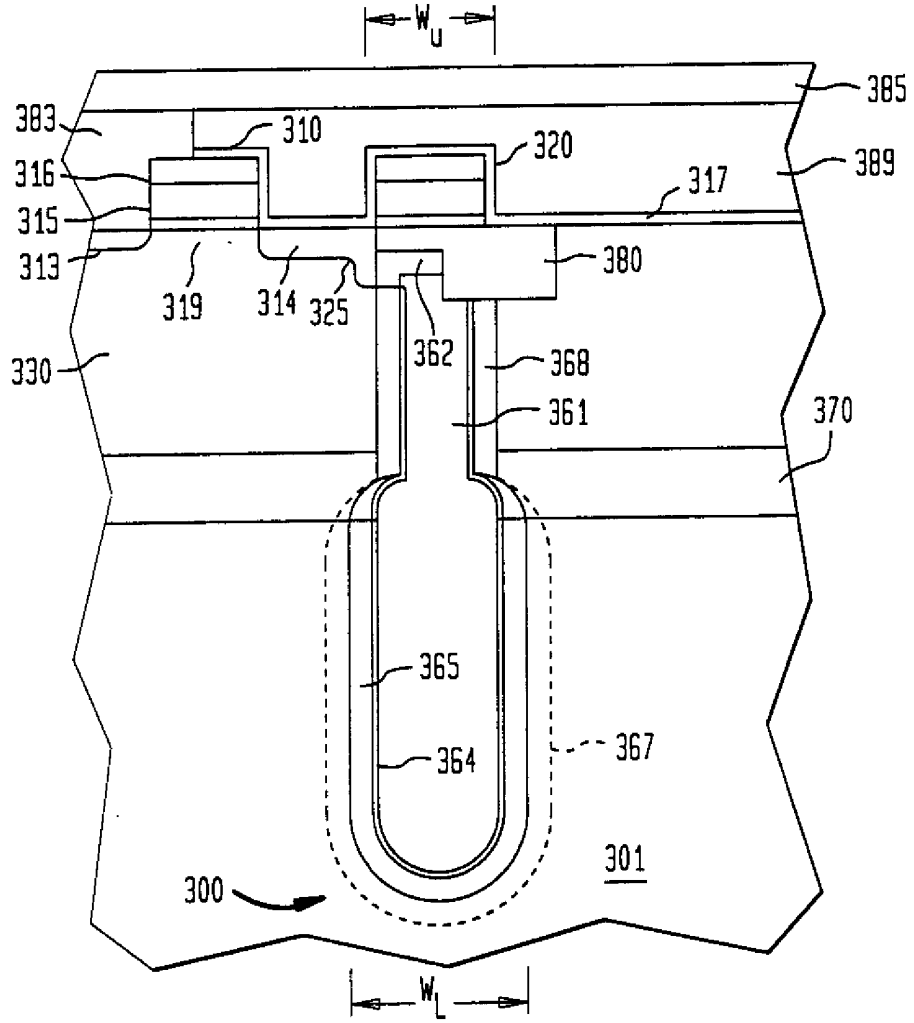


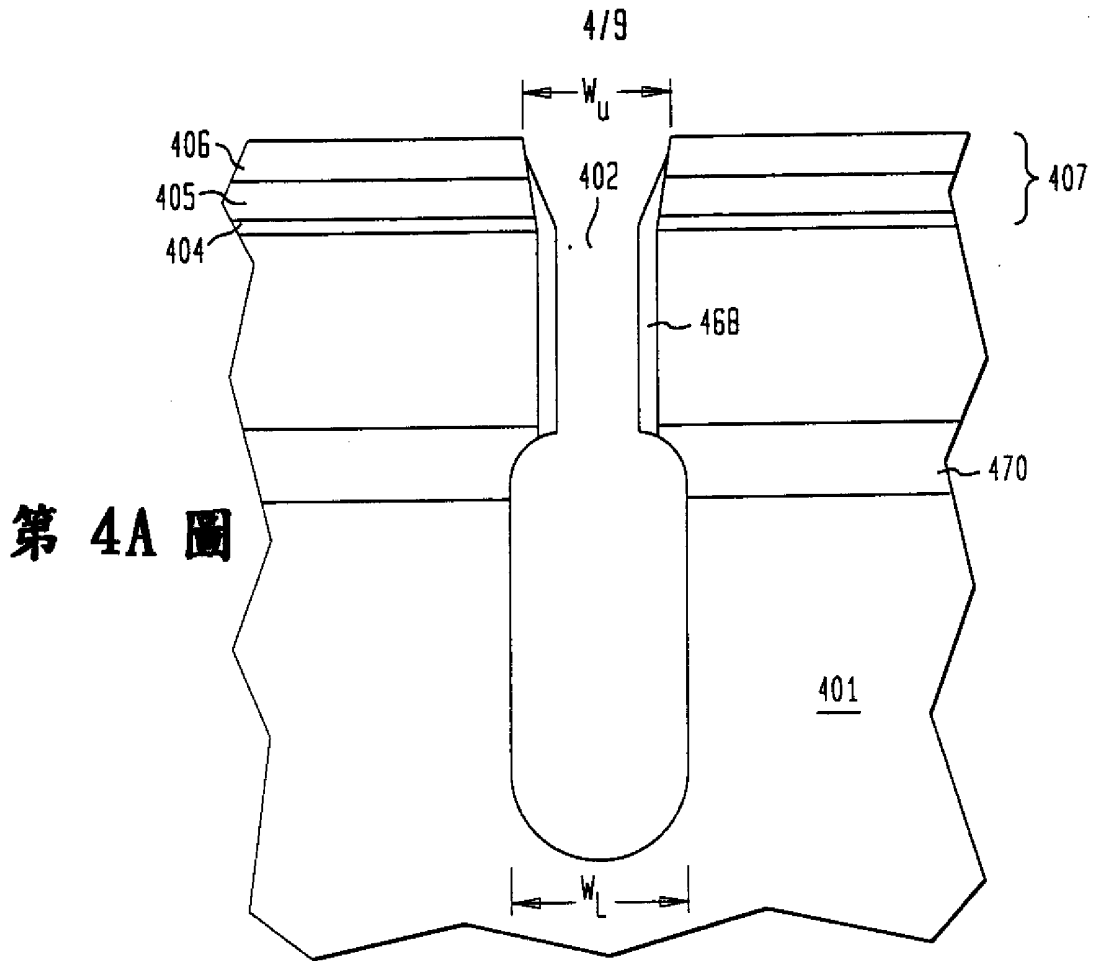
第 2A 圖



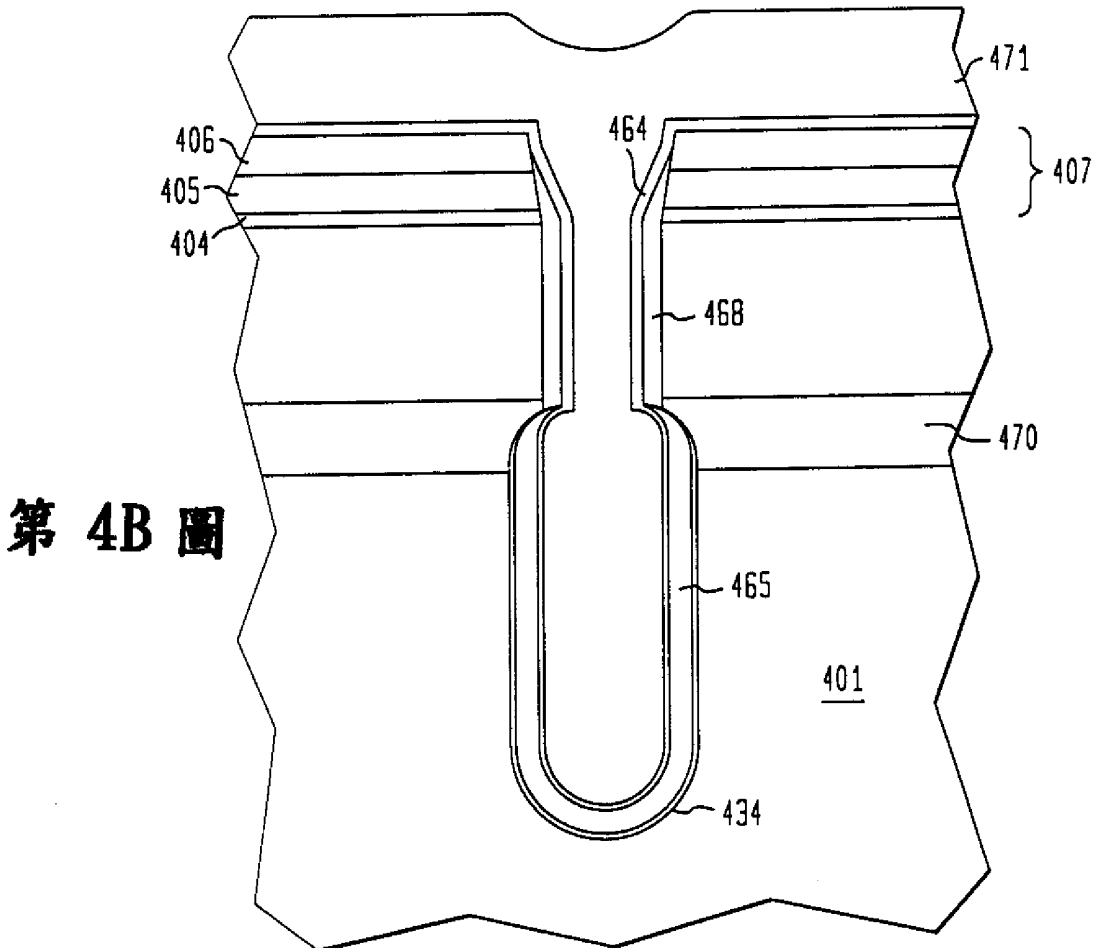
第 2B 圖

第 3 圖





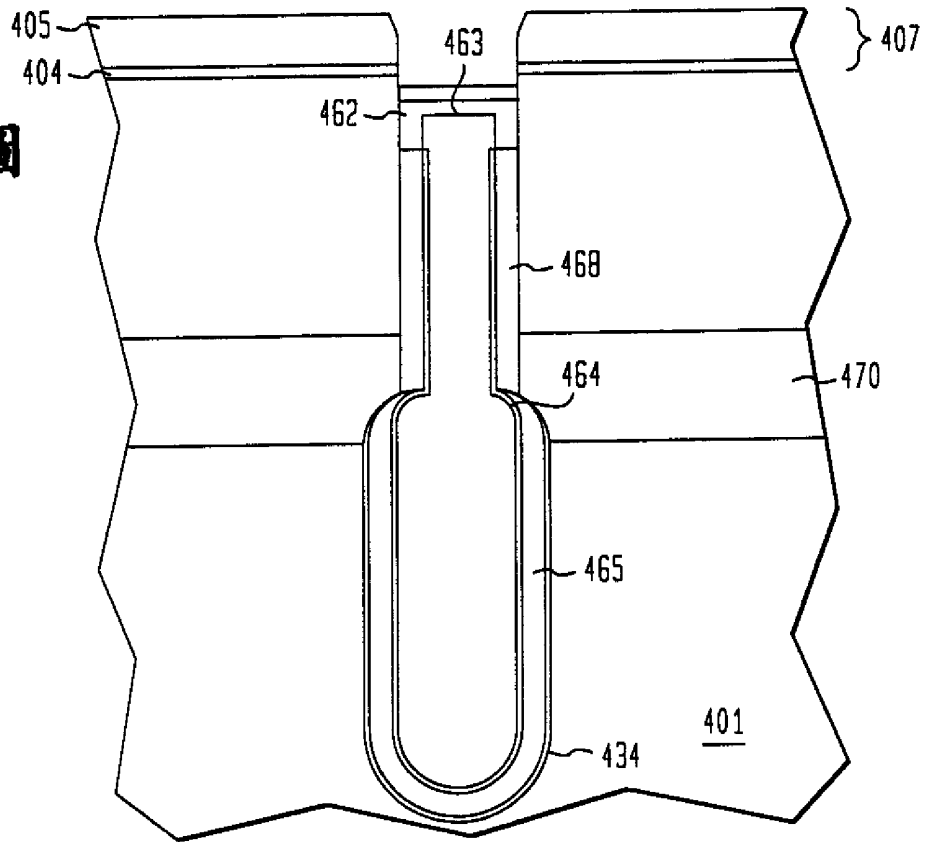
第 4A 圖



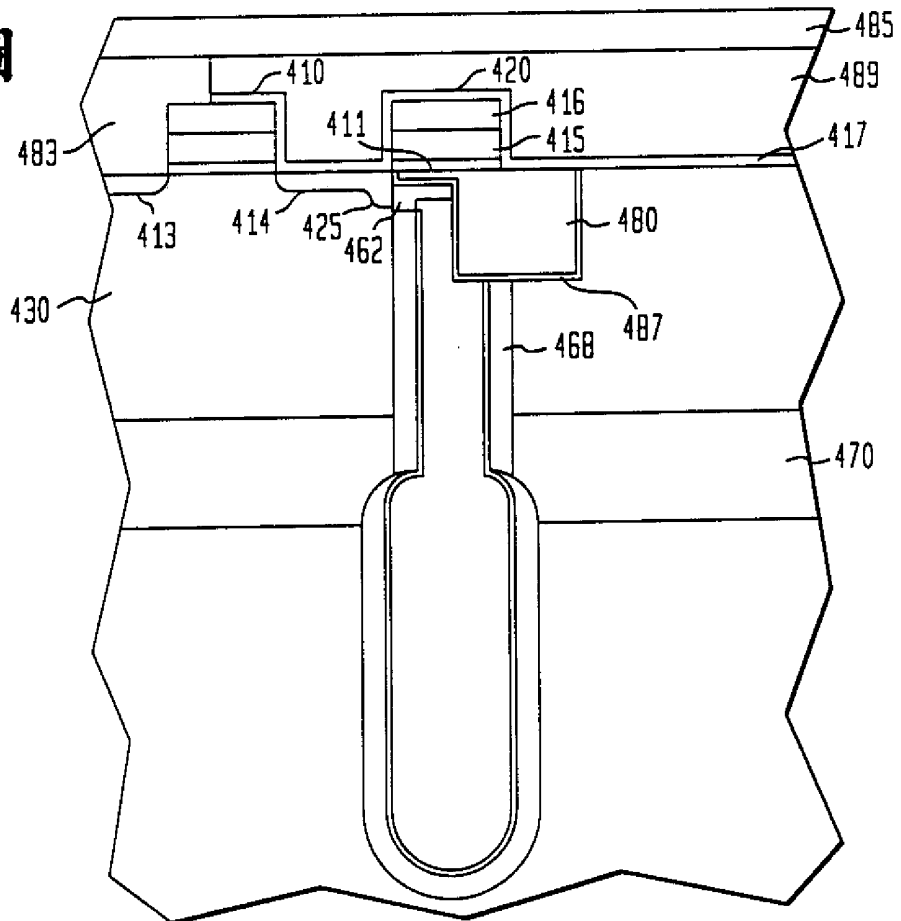
第 4B 圖

5/9

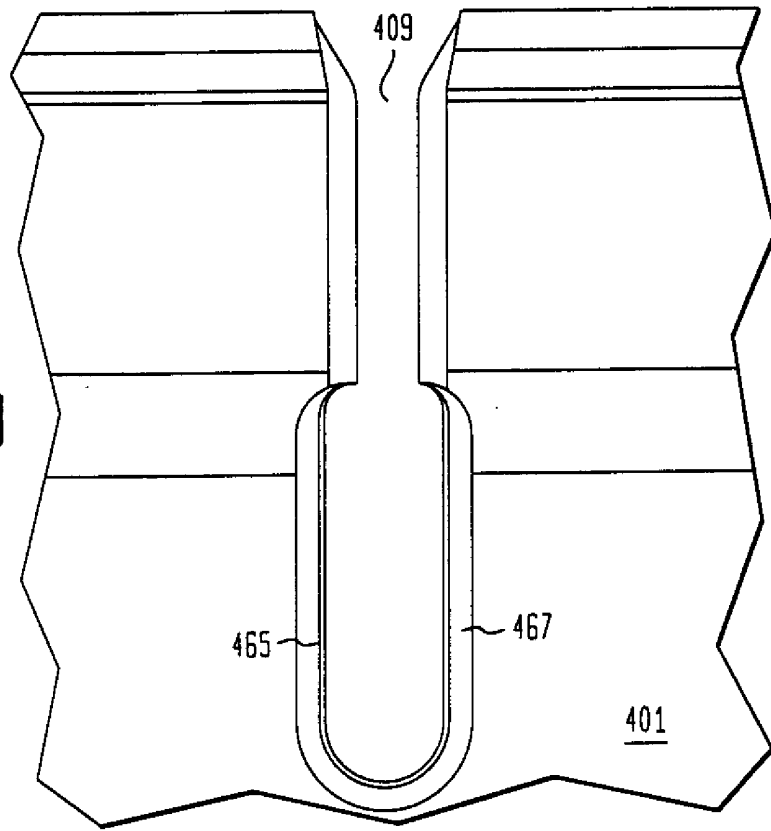
第 4C 圖



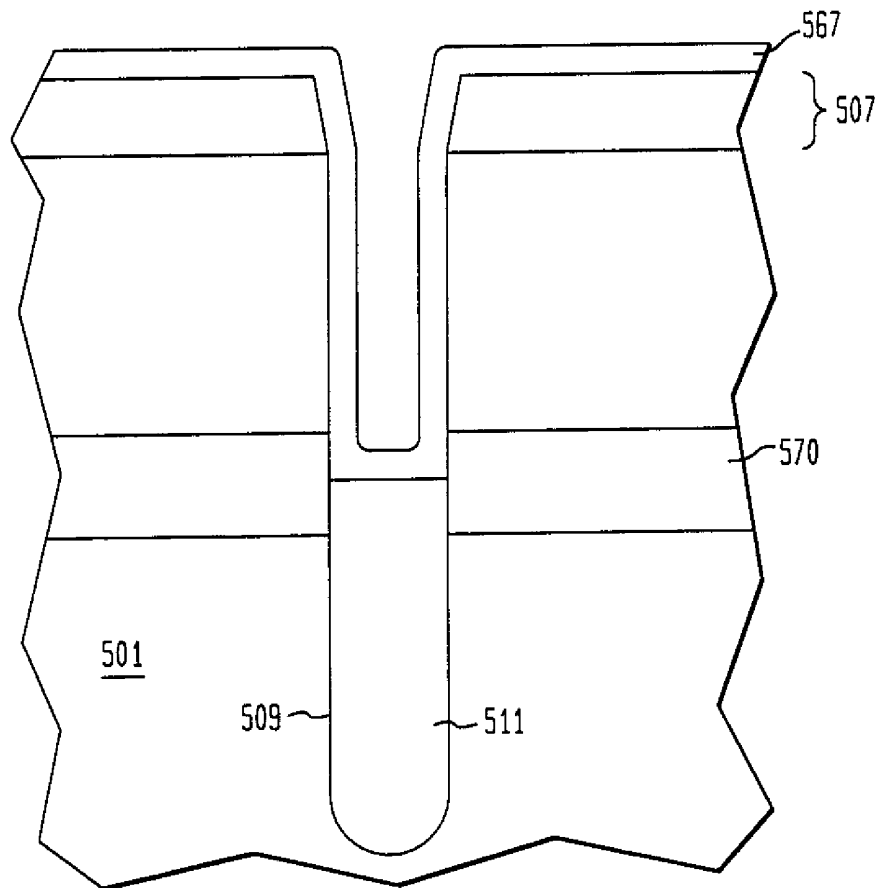
第 4D 圖



第 5 圖

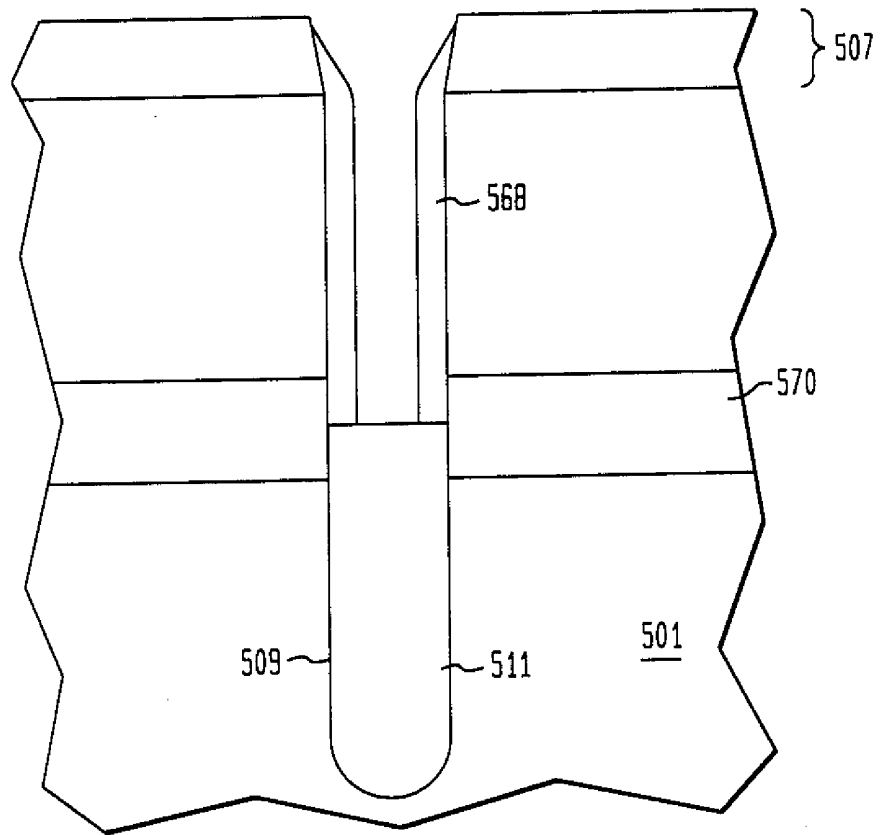


第 6A 圖

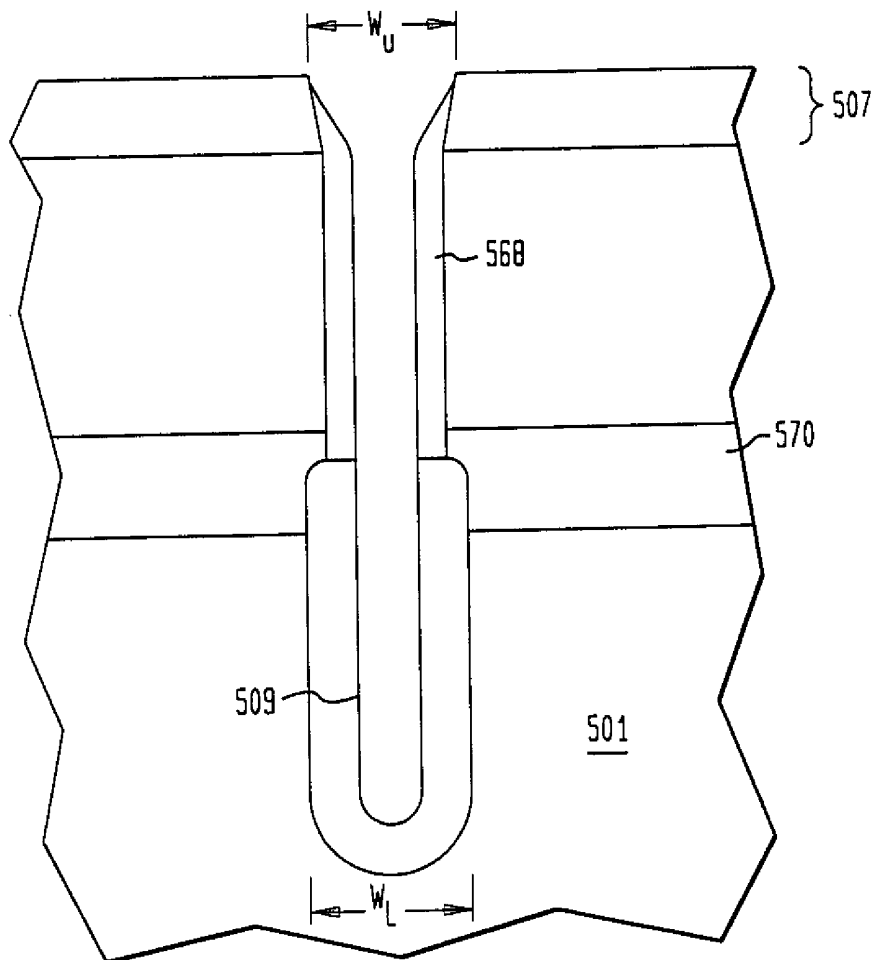


7/9

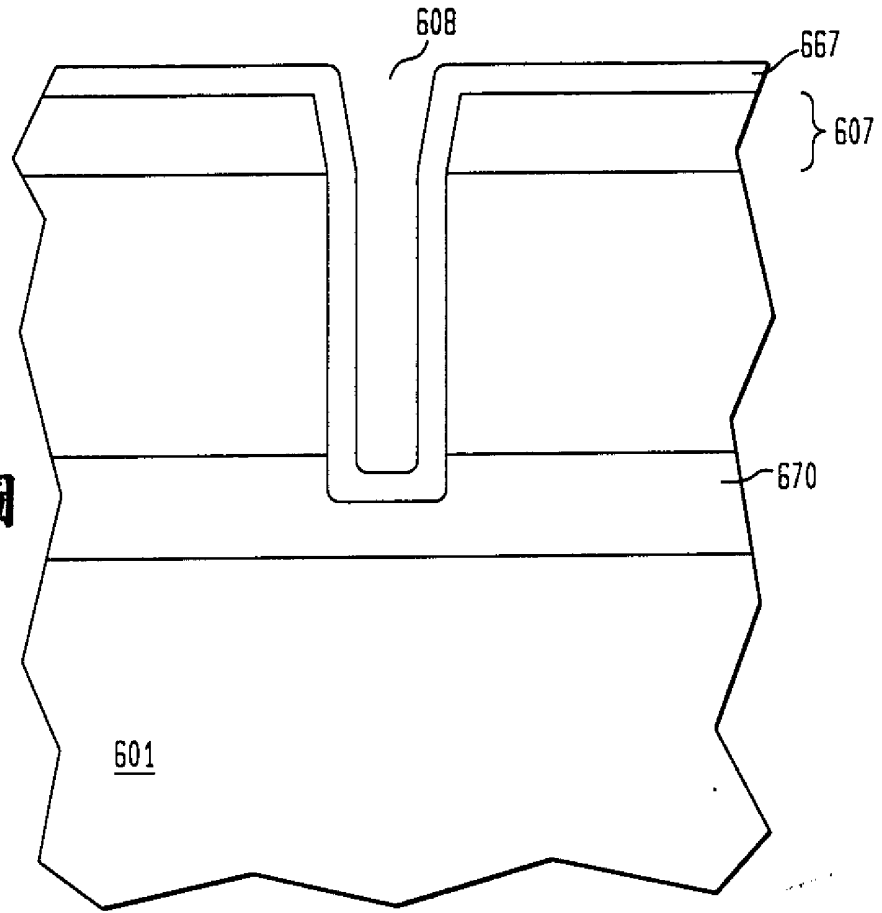
第 6B 圖



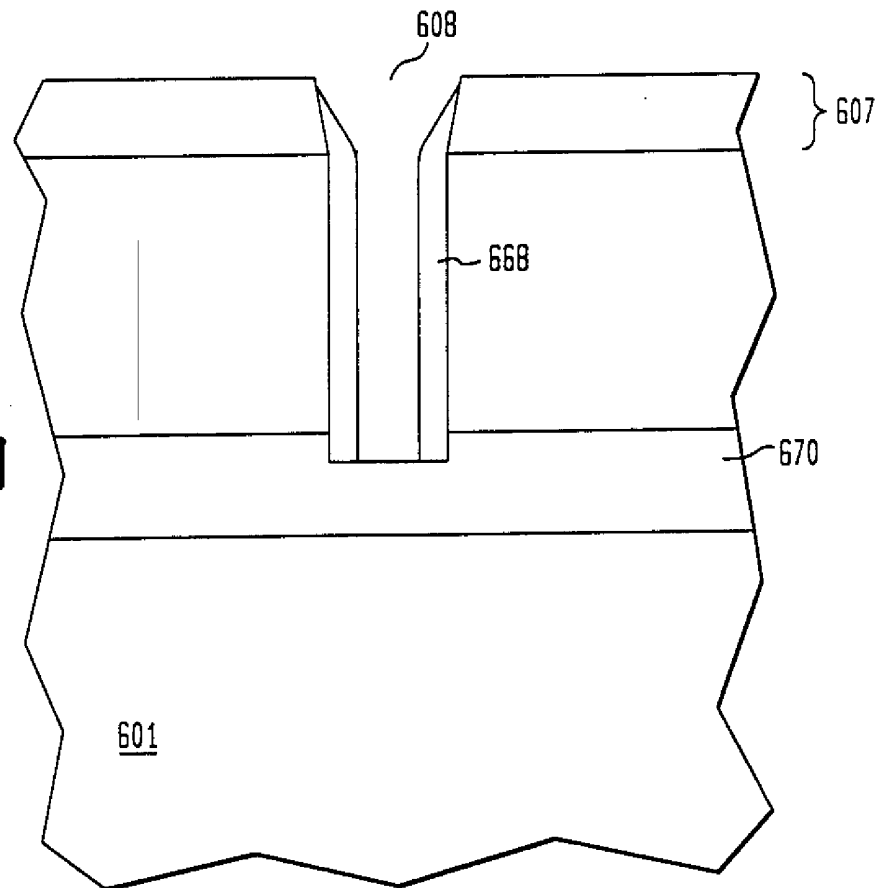
第 6C 圖



8/9

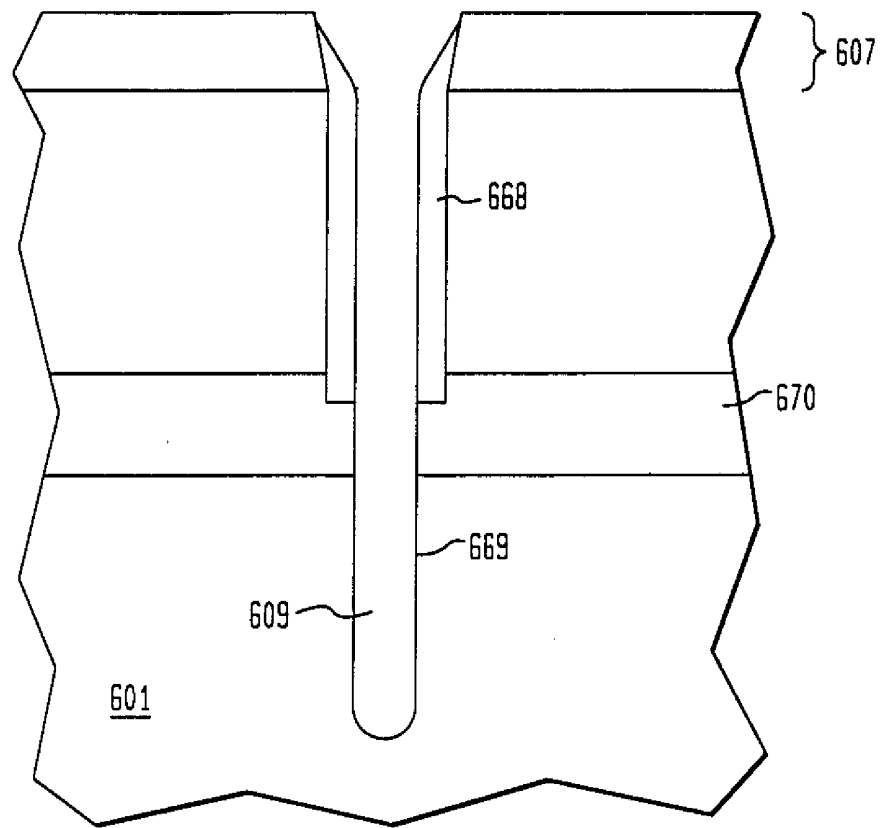


第 7A 圖



第 7B 圖

第 7C 圖



第 7D 圖

