

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7612055号  
(P7612055)

(45)発行日 令和7年1月10日(2025.1.10)

(24)登録日 令和6年12月26日(2024.12.26)

(51)国際特許分類 F I  
H 0 2 M 3/28 (2006.01) H 0 2 M 3/28 H  
H 0 2 M 3/28 V

請求項の数 15 (全27頁)

(21)出願番号	特願2023-575141(P2023-575141)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和4年12月20日(2022.12.20)	(74)代理人	110001195 弁理士法人深見特許事務所
(86)国際出願番号	PCT/JP2022/046824	(72)発明者	鈴木 規央 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開番号	WO2023/140010	(72)発明者	島田 晃郎 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開日	令和5年7月27日(2023.7.27)	審査官	富永 達朗
審査請求日	令和6年4月17日(2024.4.17)		
(31)優先権主張番号	特願2022-7270(P2022-7270)		
(32)優先日	令和4年1月20日(2022.1.20)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 電源回路

(57)【特許請求の範囲】

【請求項1】

第1巻線と第2巻線と第3巻線とを有するスイッチングトランスと、  
第1回路と、第2回路と、第3回路とを備え、  
前記第1回路は、  
第1電源の電圧を受けることが可能に構成される入力正極端子および入力負極端子と、  
前記第1巻線への入力電圧の印加をオンまたはオフに切り替える第1のスイッチと、  
前記第1のスイッチを制御する第1制御回路と、を含み、  
前記第2回路は、第2制御回路を含み、前記第1制御回路は、前記第1回路に前記第1電源の電圧が入力されている場合に、前記第1電源の電圧が入力されていることを表わす検出信号を前記第2制御回路へ送り、  
前記第2制御回路は、第2電源の電圧を受け、前記検出信号に基づいて、前記第2巻線に電力を誘起するか、または前記第1巻線に印加された電圧に応じて前記第2巻線に誘起された電力を外部負荷に出力するかを切替え、  
前記第3回路は、  
前記第1巻線または前記第2巻線に印加された電圧に応じて、前記第3巻線に誘起された電力を出力する出力正極端子および出力負極端子と、  
前記出力正極端子と前記出力負極端子との間に生成された出力電圧に応じて変化するフィードバック信号を前記第1制御回路および前記第2制御回路に帰還するフィードバック回路と、を含む、電源回路。

10

20

**【請求項 2】**

前記第 2 回路は、

前記第 2 電源の電圧を受けることが可能であり、かつ前記第 1 巻線に印加された電圧に応じて前記第 2 巻線に誘起された電力を出力することが可能に構成される入出力正極端子および入出力負極端子と、

前記第 2 巻線に誘起された電力を前記入出力正極端子および前記入出力負極端子に出力するか、または前記第 2 電源からの電力を前記第 2 巻線に

前記第 2 巻線への入力電圧の印加をオンまたはオフに切り替える第 3 のスイッチと、を含み、

前記第 2 制御回路は、前記第 2 のスイッチおよび前記第 3 のスイッチを制御する、請求項 1 記載の電源回路。

10

**【請求項 3】**

前記第 1 回路は、さらに、

前記入出力正極端子と前記入出力負極端子との間に接続される第 1 のコンデンサと、

前記第 1 巻線の第 1 端に接続されるカソードを有する第 1 のダイオードと、

前記第 1 巻線の第 2 端に接続されるアノードを有する第 2 のダイオードと、

前記入出力正極端子および前記第 1 のダイオードのアノードと、前記第 2 のダイオードのカソードとの間に接続される第 1 の抵抗と、

前記入出力正極端子および前記第 1 のダイオードのアノードと、前記第 2 のダイオードのカソードとの間に接続される第 2 のコンデンサとを含み、

20

前記第 1 のスイッチの第 1 端は、前記第 1 巻線の第 2 端および前記第 2 のダイオードのアノードに接続され、前記第 1 のスイッチの第 2 端は、前記入出力負極端子に接続される、請求項 2 記載の電源回路。

**【請求項 4】**

前記第 1 制御回路は、前記フィードバック信号に基づいて、前記第 1 のスイッチを制御し、前記第 2 制御回路は、前記フィードバック信号に基づいて、前記第 3 のスイッチを制御する、請求項 2 記載の電源回路。

**【請求項 5】**

前記第 2 制御回路は、前記第 1 制御回路からの前記検出信号に基づいて、前記第 2 のスイッチを制御する、請求項 2 記載の電源回路。

30

**【請求項 6】**

前記第 1 制御回路は、前記第 1 電源からの電力によって駆動され、

前記第 2 制御回路は、前記第 2 電源からの電力によって駆動される、請求項 5 に記載の電源回路。

**【請求項 7】**

前記第 2 回路は、さらに、

第 3 のダイオードを備え、

前記第 2 のスイッチは、

出力状態端子および入力状態端子を含み、

前記入出力状態端子は、前記第 2 巻線の第 1 端および前記第 3 のダイオードのカソードに接続され、

40

前記出力状態端子は、前記第 3 のスイッチの第 1 端および前記第 2 巻線の第 2 端に接続され、

前記第 3 のスイッチの第 2 端は、前記第 3 のダイオードのアノードおよび前記入出力負極端子に接続され、

前記第 2 のスイッチは、前記入出力正極端子と前記出力状態端子とを接続するか、あるいは前記入出力正極端子と前記入出力状態端子とを接続するかを切り替える、請求項 6 記載の電源回路。

**【請求項 8】**

50

前記第 2 のスイッチは、リレーによって構成され、

前記第 2 制御回路が動作しないときに、前記リレーによって、前記入出力正極端子が前記出力状態端子に接続される、請求項 7 記載の電源回路。

【請求項 9】

前記第 3 のスイッチは、第 1 のトランジスタによって構成され、

前記第 2 回路は、さらに前記第 1 のトランジスタに並列に接続されたツェナーダイオードを含む、請求項 7 記載の電源回路。

【請求項 10】

前記第 1 のトランジスタは、nチャネルMOSFETであり、

前記ツェナーダイオードのツェナー電圧は、前記第 1 のトランジスタのドレイン - ソース間電圧定格電圧以下である、請求項 9 記載の電源回路。 10

【請求項 11】

前記第 3 のスイッチは、第 1 のトランジスタによって構成され、

前記第 2 回路は、さらに、前記第 2 巻線の両端に接続されるスナバ回路を備える、請求項 7 に記載の電源回路。

【請求項 12】

前記第 2 回路は、さらに、

第 3 のダイオードを備え、

前記第 3 のスイッチは、第 1 のトランジスタによって構成され、

前記第 2 のスイッチは、

第 4 のダイオード、第 5 のダイオード、第 2 のトランジスタ、第 3 のトランジスタ、第 2 の抵抗、および第 3 の抵抗を備え、

前記第 5 のダイオードのアノードは、前記第 2 巻線の第 2 端、および前記第 1 のトランジスタの第 1 電極に接続され、前記第 5 のダイオードのカソードは、前記第 2 のトランジスタの第 1 電極と、前記第 2 の抵抗の第 1 端と、前記入出力正極端子と接続され、

前記第 2 のトランジスタの第 2 電極は、前記第 4 のダイオードのアノードに接続され、前記第 4 のダイオードのカソードは、前記第 2 巻線の第 1 端、および前記第 3 のダイオードのカソードに接続され、

前記第 2 のトランジスタの制御電極は、前記第 2 の抵抗の第 2 端と、前記第 3 の抵抗の第 1 端に接続され、前記第 3 の抵抗の第 2 端は、前記第 3 のトランジスタの第 1 電極に接続され、前記第 3 のトランジスタの第 2 電極は、前記第 3 のダイオードのアノード、前記第 1 のトランジスタの第 2 電極、および前記入出力負極端子と接続され、

前記第 2 制御回路は、前記第 1 のトランジスタの制御電極、および前記第 3 のトランジスタの制御電極に制御信号を出力する、請求項 6 記載の電源回路。 20

【請求項 13】

前記第 2 回路は、

前記第 2 電源の電圧を受けることが可能であり、かつ前記第 1 巻線に印加された電圧に応じて前記第 2 巻線に誘起された電力を出力することが可能に構成される入出力正極端子および入出力負極端子と、

前記入出力負極端子と、前記第 2 巻線の第 1 端との間に配置された第 4 のトランジスタと、

前記入出力正極端子と、前記第 2 巻線の第 2 端との間に配置されたインダクタと、

前記第 2 巻線の第 2 端と前記インダクタとの間の第 1 のノードと、前記入出力負極端子と前記第 4 のトランジスタとの間の第 2 のノードとの間に配置された第 5 のトランジスタとを含み、

前記第 2 制御回路は、前記第 4 のトランジスタをオンに設定するときには、前記第 5 のトランジスタをオフに設定し、前記第 4 のトランジスタをオフに設定するときには、前記第 5 のトランジスタをオンに設定する、請求項 1 記載の電源回路。 30

【請求項 14】

前記第 2 回路は、さらに、

10

20

30

40

50

前記第1のノードと前記第2のノードとの間に、直列に接続された第3のコンデンサおよび第6のトランジスタを含む、請求項13記載の電源回路。

【請求項15】

前記第2回路は、さらに、

前記入出力正極端子と前記入出力負極端子との間に並列に接続される第4のコンデンサおよび第4の抵抗を備える、請求項7～14のいずれか1項に記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電源回路に関する。

10

【背景技術】

【0002】

電源回路は、ある入力電圧範囲に対し、一定の電圧を生成する回路である。しかしながら、例えば、AC85V～264Vの入力電圧から5Vを生成する場合と、DC24Vの入力電圧から5Vを生成する場合とでは、両者の入力電圧の範囲の差が大きいため、別の電源を用いるのが通常である。

【0003】

AC85V～264Vの入力電圧の電源として非絶縁電源（系統電源）が主に用いられ、DC24Vの入力電圧の電源として絶縁電源が主に用いられる。これらの電源の基準電位（グラウンド）が異なる。したがって、1つの電気機器に、複数の入力電圧を入力して同様の動作をさせる場合に、複数個の電源およびスイッチングトランスを用意する必要がある。

20

【0004】

このような課題を解決するため、特許文献1に記載されているように、1つのトランスに複数の入力巻線を設ける方式が開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開平9-098544号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に記載の電源回路では、出力電圧を生成する巻線と、入力電圧を印加する巻線の2つを必要とする。さらに、特許文献1に記載の電源回路では、出力電圧端子と、入力電圧端子とを電氣的に分離する必要がある。

【0007】

それゆえに、本開示の目的は、複数のグラウンドの異なる入力電圧で駆動でき、かつ複数の出力電圧を生成することができるとともに、複数の出力電圧端子のうち、少なくとも1つは、入力電圧端子と電氣的に共通化された電源回路を提供することである。

【課題を解決するための手段】

40

【0008】

本開示の電源回路は、第1巻線と第2巻線と第3巻線とを有するスイッチングトランスと、第1回路と、第2回路と、第3回路とを備える。第1回路は、第1電源の電圧を受けることが可能に構成される入力正極端子および入力負極端子と、第1巻線への入力電圧の印加をオンまたはオフに切り替える第1のスイッチと、第1のスイッチを制御する第1制御回路とを含む。第2回路は、第2電源の電圧を受けて第2巻線に電力を誘起するか、または第1巻線に印加された電圧に応じて第2巻線に誘起された電力を外部負荷に出力するかを切替える第2制御回路を含む。第3回路は、第1巻線または第2巻線に印加された電圧に応じて、第3巻線に誘起された電力を出力する出力正極端子および出力負極端子と、出力正極端子と出力負極端子との間に生成された出力電圧に応じて変化するフィードバッ

50

ク信号を第1制御回路および第2制御回路に帰還するフィードバック回路とを含む。

【発明の効果】

【0009】

本開示の電源回路によれば、複数のグラウンドの異なる入力電圧で駆動でき、かつ複数の出力電圧を生成することができるとともに、複数の出力電圧端子のうち、少なくとも1つは、入力電圧端子と電氣的に共通化することができる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1の電源回路100の構成を示す図である。

【図2】実施の形態1における入力電圧 $V_{in1}$ が第1回路10に入力され、入力電圧 $V_{in2}$ が第2回路20に入力されていない場合の電源回路100内の電圧および電流の波形を表す図である。

10

【図3】実施の形態1における入力電圧 $V_{in2}$ が第2回路20に入力され、かつ入力電圧 $V_{in1}$ が第1回路10に入力されていない場合の電源回路100内の電圧および電流の波形を表す図である。

【図4】参考例の電源回路の構成を示す図である。

【図5】実施の形態2の電源回路200の構成を示す図である。

【図6】実施の形態2における入力電圧 $V_{in1}$ が第1回路10Aに入力され、入力電圧 $V_{in2}$ が第2回路20Aに入力されていない場合の電源回路200内の電圧および電流の波形を表す図である。

20

【図7】実施の形態2における入力電圧 $V_{in2}$ が第2回路20Aに入力され、かつ入力電圧 $V_{in1}$ が第1回路10Aに入力されていない場合の電源回路200内の電圧および電流の波形を表す図である。

【図8】実施の形態2の変形例の電源回路200Aの構成を示す図である。

【図9】実施の形態3の電源回路300の構成を示す図である。

【図10】実施の形態3における入力電圧 $V_{in2}$ が第2回路20Bに入力され、かつ入力電圧 $V_{in1}$ が第1回路10Aに入力されていない場合の電源回路300内の電圧および電流の波形を表す図である。

【図11】実施の形態4の電源回路400の構成を示す図である。

【図12】実施の形態4における入力電圧 $V_{in2}$ が第2回路20Dに入力され、かつ入力電圧 $V_{in1}$ が第1回路10Aに入力されていない場合の電源回路400内の電圧および電流の波形を表す図である。

30

【図13】実施の形態4の変形例の電源回路400Aの構成を示す図である。

【発明を実施するための形態】

【0011】

以下、実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一又は相当部分には同一符号を付してその説明は繰返さない。以下で説明する各実施の形態または変形例は、適宜選択的に組み合わせられてもよい。

【0012】

実施の形態1 .

40

<構成>

図1は、実施の形態1の電源回路100の構成を示す図である。

【0013】

電源回路100は、スイッチングトランス3と、第1回路10と、第2回路20と、第3回路30とを備える。

【0014】

スイッチングトランス3は、第1巻線N1と、第2巻線N2と、第3巻線N3とを含む。第1巻線N1、第2巻線N2、および第3巻線N3の巻き方向は、同一である。第1巻線N1の極性点のない第1端と、第3巻線N3の極性点のある第2端とが対向する。第1巻線N1の極性点のある第2端と、第3巻線N3の極性点のない第1端とが対向する。同

50

様に、第1巻線N1の極性点のない第1端と、第2巻線N2の極性点のある第2端とが対向する。第1巻線N1の極性点のある第2端と、第2巻線N2の極性点のない第1端とが対向する。ここで、極性点は、巻線の巻き始めの点を意味する。

【0015】

第1回路10は、第1電源1と接続可能に構成される。第1回路10は、第1電源1からの入力電圧 $V_{in1}$ を入力可能に構成される。第2回路20は、第2電源2と接続可能に構成される。第2回路20は、第2電源2からの入力電圧 $V_{in2}$ を入力可能に構成され、かつ出力電圧 $V_{out1}$ を図示しない負荷に出力可能に構成される。第3回路30は、出力電圧 $V_{out2}$ を図示しない負荷に出力可能に構成される。

【0016】

第1回路10は、入力正極端子P12および入力負極端子N12と、コンデンサ(第1のコンデンサ)12と、抵抗(第1の抵抗)13と、コンデンサ(第2のコンデンサ)14と、ダイオード(第1のダイオード)11と、ダイオード(第2のダイオード)15と、スイッチ(第1のスイッチ)17と、第1制御回路501とを備える。

【0017】

入力正極端子P12および入力負極端子N12は、第1電源1の第1電源正極端子P11および第1電源負極端子N11にそれぞれ接続される。入力正極端子P12および入力負極端子N12は、第1電源1からの入力電圧 $V_{in1}$ を入力可能に構成される。

【0018】

コンデンサ12は、入力正極端子P12と入力負極端子N12との間に接続され、第1電源1の電圧を入力電圧 $V_{in1}$ として受ける。

【0019】

ダイオード11のカソードは、第1巻線N1の第1端に接続される。ダイオード15のアノードは、第1巻線N1の第2端に接続される。

【0020】

抵抗13は、入力正極端子P12およびダイオード11のアノードと、ダイオード15のカソードとの間に接続される。コンデンサ14は、入力正極端子P12およびダイオード11のアノードと、ダイオード15のカソードとの間に接続される。

【0021】

抵抗13の第1端、コンデンサ14の第1端、およびダイオード11のアノードは、入力正極端子P12に接続される。抵抗13の第2端、およびコンデンサ14の第2端は、ダイオード15のカソードに接続される。

【0022】

抵抗13、コンデンサ14、およびダイオード15によって、RCDスナバ回路が構成される。

【0023】

スイッチ17の第1端は、第1巻線N1の第2端およびダイオード15のアノードに接続される。スイッチ17の第2端は、入力負極端子N12に接続される。スイッチ17は、第1巻線N1への入力電圧の印加をオンまたはオフに切り替える。

【0024】

第1制御回路501は、例えば入力正極端子P12の電圧を監視することによって、第1回路10に第1電源1の電圧が入力されている場合には、第1回路10に第1電源1の電圧が入力されていることを表す検出信号DTを第2回路20内の第2制御回路502に伝達する。第1制御回路501は、第3回路30からのフィードバック信号FBに基づいて、スイッチ17を制御する。

【0025】

第1制御回路501が第2制御回路502に検出信号DTを伝達するためには、例えばフォトプラのような絶縁素子を用いることができる。第1制御回路501がスイッチ17に対して出力する制御信号CT1は、たとえばPWM(Pulse Width Modulation)信号である。第1制御回路501は、第1電源1からの電力によって駆動可能に構成され

10

20

30

40

50

る。

【 0 0 2 6 】

第 2 回路 2 0 は、入出力正極端子 P 2 2 および入出力負極端子 N 2 2 と、負荷抵抗 ( 第 4 の抵抗 ) 2 3 と、コンデンサ ( 第 3 のコンデンサ ) 2 2 と、スイッチ ( 第 2 のスイッチ ) 2 4 と、スイッチ ( 第 3 のスイッチ ) 2 5 と、ダイオード ( 第 3 のダイオード ) 2 1 と、第 2 制御回路 5 0 2 とを備える。

【 0 0 2 7 】

入出力正極端子 P 2 2 および入出力負極端子 N 2 2 は、第 2 電源 2 の第 2 電源正極端子 P 2 1 および第 2 電源負極端子 N 2 1 にそれぞれ接続される。入出力正極端子 P 2 2 および入出力負極端子 N 2 2 は、第 2 電源 2 の電圧を受けることが可能であり、かつ第 1 巻線 N 1 に印加された電圧に応じて第 2 巻線 N 2 に誘起された電力を図示しない外部負荷に出力することを可能に構成される。

10

【 0 0 2 8 】

コンデンサ 2 2 および負荷抵抗 2 3 は、入出力正極端子 P 2 2 と入出力負極端子 N 2 2 との間に接続される。コンデンサ 2 2 および負荷抵抗 2 3 は、出力電圧  $V_{out1}$  を出力するか、または入力電圧  $V_{in2}$  を受ける。

【 0 0 2 9 】

スイッチ 2 4 は、第 2 巻線 N 2 に誘起された電力を入出力正極端子 P 2 2 および入出力負極端子 N 2 2 に出力するか、または第 2 電源 2 からの電力を第 2 巻線 N 2 に入力するかを切り替えるように構成される。

20

【 0 0 3 0 】

スイッチ 2 4 は、出力状態端子 C 1 と、入力状態端子 C 2 とを備える。入力状態端子 C 2 は、第 2 巻線 N 2 の第 1 端、およびダイオード 2 1 のカソードに接続される。出力状態端子 C 1 は、第 2 巻線 N 2 の第 2 端、およびスイッチ 2 5 の第 1 端に接続される。

【 0 0 3 1 】

スイッチ 2 4 は、第 2 制御回路 5 0 2 からの制御信号 C T 3 によって、入出力正極端子 P 2 2 を、出力状態端子 C 1 と接続するか、あるいは入力状態端子 C 2 と接続するかを切り替える。

【 0 0 3 2 】

スイッチ 2 5 の第 2 端と、ダイオード 2 1 のアノードは、入出力負極端子 N 2 2 に接続される。スイッチ 2 5 は、第 2 巻線 N 2 への入力電圧の印加をオンまたはオフに切り替える。

30

【 0 0 3 3 】

入力負極端子 N 1 2 と入出力負極端子 N 2 2 とは、例えば強化絶縁によって絶縁されることによって、これらの電位は、異なる電位となる。

【 0 0 3 4 】

第 2 制御回路 5 0 2 は、第 2 電源 2 の電圧を受けて第 2 巻線 N 2 に電力を誘起するか、または第 1 巻線 N 1 に印加された電圧に応じて第 2 巻線 N 2 に誘起された電力を外部負荷に出力するかを切替える。

【 0 0 3 5 】

第 2 制御回路 5 0 2 は、第 1 回路 1 0 の第 1 制御回路 5 0 1 からの検出信号 D T に基づいて、制御信号 C T 3 によって、スイッチ 2 4 を制御する。第 2 制御回路 5 0 2 は、第 3 回路 3 0 からのフィードバック信号 F B に基づいて、制御信号 C T 2 によってスイッチ 2 5 を制御する。

40

【 0 0 3 6 】

第 2 制御回路 5 0 2 がスイッチ 2 5 に対して出力する制御信号 C T 2 は、たとえば P W M 信号である。第 2 制御回路 5 0 2 は、第 2 電源 2 からの電力、または第 1 巻線 N 1 に印加された電圧に応じて第 2 巻線 N 2 に誘起された電力 ( 出力電圧  $V_{out1}$  ) によって駆動可能に構成される。

【 0 0 3 7 】

50

第3回路30は、出力正極端子P31および出力負極端子N31と、コンデンサ32と、負荷抵抗33と、ダイオード31と、フィードバック回路503とを備える。

【0038】

出力正極端子P31および出力負極端子N31は、第1巻線N1または第2巻線N2に印加された電圧に応じて、第3巻線N3に誘起された電力を図示しない外部負荷に出力する。

【0039】

コンデンサ32および負荷抵抗33は、出力正極端子P31および出力負極端子N31の間に接続される。コンデンサ32および負荷抵抗33は、出力電圧Vout2を出力することができる。

10

【0040】

コンデンサ32の第1端および負荷抵抗33の第1端は、出力正極端子P31およびダイオード31のカソードに接続される。コンデンサ32の第2端および負荷抵抗33の第2端は、出力負極端子N31および第3巻線N3の第1端に接続される。

【0041】

出力負極端子N31は、第3巻線N3の第1端が接続される。第3巻線N3の第2端は、ダイオード31のアノードが接続される。ダイオード31のカソードは、出力正極端子P31に接続される。

【0042】

フィードバック回路503は、出力正極端子P31と出力負極端子N31との間に生成された出力電圧Vout2に応じて変化するフィードバック信号FBを第1回路10の第1制御回路501および第2回路20の第2制御回路502に伝達する。フィードバック回路503が第1制御回路501または第2制御回路502にフィードバック信号FBを伝達するためには、例えばフォトカプラのような絶縁素子を用いることができる。

20

【0043】

<動作1>

図2および図3を参照して、実施の形態1の電源回路100内の動作を説明する。図2および図3において、スイッチ17の両端電圧は、入力負極端子N12の側を0としている。

【0044】

第1巻線N1の電流、第2巻線N2の電流、および第3巻線N3の電流（以下ではそれぞれ、単にN1電流、N2電流、およびN3電流と呼ぶ）は、それぞれ、第1端から、第2端に流れる電流を正としている。また以下では、簡単のため各ダイオードの順方向電圧は無視する。

30

【0045】

図2は、実施の形態1における入力電圧Vin1が第1回路10に入力され、入力電圧Vin2が第2回路20に入力されていない場合の電源回路100内の電圧および電流の波形を表す図である。

【0046】

すなわち、第1電源正極端子P11と入力正極端子P12とが接続され、第1電源負極端子N11と入力負極端子N12とが接続されている。第2電源正極端子P21と入出力正極端子P22との間、および第2電源負極端子N21と入力負極端子N22との間のうち少なくとも1つが接続されていない。第1制御回路501および第2制御回路502によって、スイッチ24を制御することによって、入出力正極端子P22が出力状態端子C1と接続されている。

40

【0047】

このような状態において、第1制御回路501によって駆動されるスイッチ17とスイッチングトランス3によって、第1回路10から、第2回路20および第3回路30に電力が供給される。

【0048】

50

図 2 に示すように、スイッチ 17 がオンの時、スイッチ 17 の両端電圧は 0 となり、第 1 巻線 N 1 には、第 1 巻線 N 1 のインダクタンス L 1 と入力電圧 V i n 1 とに応じた三角波電流が流れる。N 1 電流のピーク電流 I p は、流通時間 t o n 1 を用いて次の式で表される。

【 0 0 4 9 】

$$I_p = V_{in1} \times t_{on1} / L_1 \dots (A1)$$

第 1 巻線 N 1 に三角波電流が流れることによって、スイッチングトランス 3 にエネルギーが蓄積される。

【 0 0 5 0 】

スイッチ 17 がオフとなると、蓄積したエネルギーによって、第 2 巻線 N 2 および第 3 巻線 N 3 に三角波電流が流れる。N 2 電流は、第 2 巻線 N 2、出力状態端子 C 1、コンデンサ 2 2、およびダイオード 2 1 で形成される回路ループを流れ、入出力正極端子 P 2 2 に出力電圧 V o u t 1 を生成する。N 3 電流は、第 3 巻線 N 3、ダイオード 3 1、およびコンデンサ 3 2 で形成される回路ループを流れ、出力正極端子 P 3 1 に出力電圧 V o u t 2 を生成する。N 1 電流は、第 1 巻線 N 1、ダイオード 1 5、コンデンサ 1 4、およびダイオード 1 1 で形成される回路ループを流れ、抵抗 1 3 およびコンデンサ 1 4 の両端にスナバ電圧を発生させる。

【 0 0 5 1 】

第 3 回路 3 0 に含まれるフィードバック回路 5 0 3 は、例えば、出力正極端子 P 3 1 と出力負極端子 N 3 1 との間に生成された出力電圧 V o u t 2 に応じて変化するフィードバック信号 F B を第 1 制御回路 5 0 1 に伝達する。第 1 制御回路 5 0 1 は、フィードバック信号 F B に基づいて、流通時間 t o n 1 を変化させることによって出力電圧 V o u t 2 を安定化させる。

【 0 0 5 2 】

出力電圧 V o u t 1 と出力電圧 V o u t 2 の電圧比は、以下に示すように、一般的に第 2 巻線 N 2 のインダクタンス L 2 および第 3 巻線の N 3 のインダクタンス L 3 の比率の平方根と等しくなる。

【 0 0 5 3 】

【数 1】

$$\frac{V_{out1}}{V_{out2}} = \sqrt{\frac{L_2}{L_3}} \dots (A2)$$

【 0 0 5 4 】

入出力正極端子 P 2 2 および入出力負極端子 N 2 2 に外部負荷が接続されていない場合は、N 2 電流の平均電流が、負荷抵抗 2 3 に流れる平均電流と等しくなる。

【 0 0 5 5 】

同様に、出力正極端子 P 3 1 および出力負極端子 N 3 1 に外部負荷が接続されていない場合は、N 3 電流の平均電流が、負荷抵抗 3 3 に流れる平均電流と等しくなる。

【 0 0 5 6 】

スイッチ 17 がオフとなった後のスイッチ 17 の両端電圧 V 1 7 は、フィードバック回路 5 0 3 を含む第 3 回路 3 0 の出力電圧 V o u t 2 と、第 1 巻線 N 1 のインダクタンス L 1 と第 3 巻線の N 3 のインダクタンス L 3 との比率の平方根と、入力電圧 V i n 1 とを用いて、以下の式で表すことができる。

【 0 0 5 7 】

【数 2】

10

20

30

40

50

$$V_{17} = V_{in1} + \sqrt{\frac{L1}{L3}} \times V_{out2} \dots (A3)$$

## 【 0 0 5 8 】

さらに、N 3 電流の流通が終了して、N 3 電流が 0 になると、スイッチングトランス 3 の各巻線に印加される電圧は 0 となって、スイッチ 1 7 の両端電圧は  $V_{in1}$  となる。その後再び、スイッチ 1 7 がオンとなる。

## 【 0 0 5 9 】

< 動作 1 の拡張性 >

ここで、図 1 に記載はないが、入出力正極端子 P 2 2 および入出力負極端子 N 2 2、出力正極端子 P 3 1 および出力負極端子 N 3 1 には、それぞれ外部負荷を接続することができるので、それぞれ出力電圧  $V_{out1}$ 、 $V_{out2}$  を外部に提供し、外部に電力を供給することができる。

## 【 0 0 6 0 】

この場合、N 2 電流の平均値は、負荷抵抗 2 3 と外部負荷に流れる電流の平均値の和と等しくなる。同様に、N 3 電流の平均値は、負荷抵抗 3 3 と外部負荷に流れる電流の平均値の和と等しくなる。

## 【 0 0 6 1 】

< 動作 2 >

図 3 は、実施の形態 1 における入力電圧  $V_{in2}$  が第 2 回路 2 0 に入力され、かつ入力電圧  $V_{in1}$  が第 1 回路 1 0 に入力されていない場合の電源回路 1 0 0 内の電圧および電流の波形を表す図である。

## 【 0 0 6 2 】

すなわち、第 2 電源正極端子 P 2 1 と入出力正極端子 P 2 2 とが接続され、第 2 電源負極端子 N 2 1 と入力負極端子 N 2 2 とが接続されている。第 1 電源正極端子 P 1 1 と入出力正極端子 P 1 2 との間、および第 1 電源負極端子 N 1 1 と入力負極端子 N 1 2 との間のうち少なくとも 1 つが接続されていない。

## 【 0 0 6 3 】

第 2 制御回路 5 0 2 は、第 1 制御回路 5 0 1 から検出信号 D T が送られてこない場合には、制御信号 C T 3 によってスイッチ 2 4 を駆動し、入出力正極端子 P 2 2 を入力状態端子 C 2 に接続する。

## 【 0 0 6 4 】

このような状態において、第 2 制御回路 5 0 2 によって駆動されるスイッチ 2 5 とスイッチングトランス 3 とによって、第 2 回路 2 0 から、第 1 回路 1 0 および第 3 回路 3 0 に電力が供給される。

## 【 0 0 6 5 】

スイッチ 2 5 がオンの時、スイッチ 2 5 の両端電圧は 0 となる。コンデンサ 2 2、入力状態端子 C 2、第 2 巻線 N 2、およびスイッチ 2 5 で形成される回路ループに、第 2 巻線 N 2 のインダクタンス  $L2$  と入力電圧  $V_{in2}$  とに応じた三角波電流が流れる。N 2 電流のピーク電流  $I_{p2}$  は、流通時間  $t_{on2}$  を用いて次の式で表される。

## 【 0 0 6 6 】

$$I_{p2} = V_{in2} \times t_{on2} / L2 \dots (B1)$$

第 2 巻線 N 2 に三角波電流が流れることによって、スイッチングトランス 3 にエネルギーが蓄積される。

## 【 0 0 6 7 】

スイッチ 2 5 がオフとなると、蓄積したエネルギーによって、第 1 巻線 N 1 および第 3 巻線 N 3 に三角波電流が流れる。N 1 電流は、第 1 巻線 N 1、ダイオード 1 1、コンデンサ 1 4、およびダイオード 1 5 で形成される回路ループを流れ、抵抗 1 3 およびコンデン

10

20

30

40

50

サ 1 4 の両端に電圧を発生させる。N 3 電流は、第 3 巻線 N 3、ダイオード 3 1、およびコンデンサ 3 2 で形成される回路ループを流れ、出力正極端子 P 3 1 に出力電圧 V o u t 2 を生成する。

【 0 0 6 8 】

第 3 回路 3 0 に含まれるフィードバック回路 5 0 3 は、例えば、出力正極端子 P 3 1 と出力負極端子 N 3 1 との間に生成された出力電圧 V o u t 2 に応じて変化するフィードバック信号 F B を第 2 制御回路 5 0 2 に伝達する。第 2 制御回路 5 0 2 は、フィードバック信号 F B に基づいて、流通時間 t o n 2 を変化させることによって出力電圧 V o u t 2 を安定化させる。

【 0 0 6 9 】

出力正極端子 P 3 1 および出力負極端子 N 3 1 に外部負荷が接続されていない場合は、N 3 電流の平均電流が、負荷抵抗 3 3 に流れる平均電流と等しくなる。

【 0 0 7 0 】

スイッチ 2 5 がオフとなった後のスイッチ 2 5 の両端電圧 V 2 5 は、フィードバック回路 5 0 3 を含む第 3 回路の出力電圧 V o u t 2 と、第 2 巻線 N 2 のインダクタンス L 2 および第 3 巻線の N 3 のインダクタンス L 3 の比率の平方根と入力電圧 V i n 2 とを用いて、以下の式で表すことができる。

【 0 0 7 1 】

【数 3】

$$V_{25} = V_{in2} + \sqrt{\frac{L_2}{L_3}} \times V_{out2} \dots (B2)$$

【 0 0 7 2 】

さらに、N 3 電流の流通が終了し、N 3 電流が 0 になると、スイッチングトランス 3 の各巻線に印加される電圧は 0 となって、スイッチ 2 5 の両端電圧は V i n 2 となる。その後再び、スイッチ 2 5 がオンとなる。

【 0 0 7 3 】

< 動作 2 の拡張性 >

図 1 に記載はないが、出力正極端子 P 3 1 および出力負極端子 N 3 1 には、外部負荷を接続することができるので、出力電圧 V o u t 2 を外部に提供し、外部に電力を供給することができる。この場合、N 3 電流の平均値は、負荷抵抗 3 3 と外部負荷に流れる電流の平均値の和と等しくなる。

【 0 0 7 4 】

< 共通の拡張性 >

上記では、入力電圧 V i n 1 および入力電圧 V i n 2 のうちのいずれか一方が入力される場合について説明したが、これに限定されるものではない。入力電圧 V i n 1 および入力電圧 V i n 2 は同時に入力されてもよい。この場合、スイッチ 2 4 は、第 1 制御回路 5 0 1 および第 2 制御回路 5 0 2 によって、入出力正極端子 P 2 2 が出力状態端子 C 1 に接続されるように制御される。第 1 制御回路 5 0 1 によって駆動されるスイッチ 1 7 と、スイッチングトランス 3 によって、第 1 回路 1 0 から、第 2 回路 2 0 および第 3 回路 3 0 に電力が供給される。この時、入力電圧 V i n 2 と、第 2 回路 2 0 で生成された出力電圧 V o u t 2 とのうち電圧の高い方から負荷抵抗 2 3 に電力が供給される。

【 0 0 7 5 】

上記では、電源回路 1 0 0 は、1 個の第 1 回路 1 0、1 個の第 2 回路 2 0、および 1 個の第 3 回路 3 0 を備えるものとして説明したが、これに限定されるものではない。電源回路 1 0 0 は、複数個の第 1 回路 1 0、複数個の第 2 回路 2 0、および複数個の第 3 回路 3 0 を備えるものとしてもよい。この場合、電源回路 1 0 0 は、多入出力電源回路となる。この場合であってもスイッチングトランス 3 には、第 4 巻線以降を増やすだけでよく、以

10

20

30

40

50

下に示す図 4 で示した従来構成のようにスイッチングトランスを複数設ける必要はない。

【 0 0 7 6 】

< 効果 >

以上説明したように、本実施の形態では、電源回路 1 0 0 には、入力電圧  $V_{in1}$  および入力電圧  $V_{in2}$  のうちの少なくとも 1 つが入力されていれば、出力電圧  $V_{out1}$ 、および出力電圧  $V_{out2}$  を出力できる。また、第 2 巻線  $N2$  の極性点のない第 1 端から電圧を印加し、第 2 巻線  $N2$  の極性点のある第 2 端をスイッチングしているため、昇圧動作が可能であり、入力電圧  $V_{in2}$  の値が小さい場合であっても、第 2 巻線  $N2$  のインダクタンス  $L2$  および第 3 巻線  $N3$  のインダクタンス  $L3$  の比率の平方根に入力電圧  $V_{in2}$  を乗じた値よりも大きな出力電圧  $V_{out2}$  を出力することができる。

10

【 0 0 7 7 】

また、入出力正極端子  $P22$  および入出力負極端子  $N22$  は、入力電圧  $V_{in2}$  を入力する入力端子としての機能と、出力電圧  $V_{out1}$  を出力する出力端子としての機能を兼ね備える。従来において、入力用のスイッチングトランスの巻線と、出力用のスイッチングトランスの巻線とを個別に備える必要があったのに対して、本実施の形態では、スイッチングトランス 3 の巻線を削減することができるので、スイッチングトランス 3 を小型にすることができる。

【 0 0 7 8 】

さらに、本実施の形態では、入力端子と出力端子とを共通化することができるので、端子数を削減することができる。その結果、電源回路を小型化することができる。さらに、本実施の形態によれば、ユーザーの入出力端子の配線の間違いを許容することができ、安全性が向上する。

20

【 0 0 7 9 】

< 参考例 >

図 4 は、参考例の電源回路の構成を示す図である。

【 0 0 8 0 】

第 1 回路 4 0 A、第 3 回路 5 0 A、およびスイッチングトランス 3 A を用いて、出力電圧  $V_{out1}$  を生成し、第 2 電源正極端子  $P21$  および第 2 電源負極端子  $N21$  から出力電圧  $V_{out1}$  を出力する。第 2 電源正極端子  $P21$  および第 2 電源負極端子  $N21$  はそれぞれ、入出力正極端子  $P22$  および入出力負極端子  $N22$  と接続される。

30

【 0 0 8 1 】

第 1 回路 4 0 B、第 3 回路 5 0 B、およびスイッチングトランス 3 B を用いて、出力電圧  $V_{out2}$  を生成し、出力正極端子  $P31$  および出力負極端子  $N31$  から出力電圧  $V_{out2}$  を出力する。

【 0 0 8 2 】

例えば一方の電源（第 1 回路 4 0 A、スイッチングトランス 3 A、および第 3 回路 5 0 A）の電力変換効率が 8 0 %、他方の電源（第 1 回路 4 0 B、スイッチングトランス 3 B、および第 3 回路 5 0 B）の電力変換効率が 8 0 % とすると、全体の電力変換効率は 6 4 % となる。よって、参考例の電源回路の電力変換効率が悪い。参考例の電源回路は、発熱が多いという問題がある。参考例の電源回路は、スイッチングトランスおよびフィードバック回路が 2 つ必要となるので、大型化するという問題がある。

40

【 0 0 8 3 】

これに対し、本実施の形態によれば、2 段構成の電源を用いる必要はないので、小型で電力変換効率がよい電源回路を提供することができる。

【 0 0 8 4 】

また、前述のようにスイッチングトランス 3 に巻線を追加して多出力電源回路とした場合、入力電圧を切り替えたとしても、各出力電圧の起動シーケンス（立ち上がりの順番）が同一となり、設計が容易となる。

【 0 0 8 5 】

実施の形態 2 .

50

## &lt; 構成 &gt;

図 5 は、実施の形態 2 の電源回路 200 の構成を示す図である。

## 【0086】

電源回路 200 は、第 1 回路 10A と、第 2 回路 20A と、第 3 回路 30 と、スイッチングトランス 3 とを備える。第 3 回路 30 およびスイッチングトランス 3 は、実施の形態 1 の電源回路 100 に含まれる第 3 回路 30 およびスイッチングトランス 3 と同様なので、説明を繰り返さない。

## 【0087】

第 1 回路 10A が、実施の形態 1 の第 1 回路 10 と相違する点は、第 1 回路 10A が、第 1 のスイッチとして、スイッチ 17 の代わりに n チャンネル MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 47 を備える点である。

10

## 【0088】

n チャンネル MOSFET 55 のドレインが第 1 巻線 N1 の第 2 端、およびダイオード 15 のアノードに接続される。n チャンネル MOSFET 55 のソースは、入力負極端子 N12 に接続される。

## 【0089】

第 2 回路 20A が、実施の形態 1 の第 2 回路 20 と相違する点は、第 2 回路 20A は、第 2 のスイッチとして、スイッチ 24 の代わりにリレー 54 を備え、第 3 のスイッチとしてスイッチ 25 の代わりに n チャンネル MOSFET (第 1 のトランジスタ) 55 を備える点である。第 2 回路 20A は、さらに、n チャンネル MOSFET (第 1 のトランジスタ) 55 と並列に接続されるツェナーダイオード 56 を備える。

20

## 【0090】

n チャンネル MOSFET 55 のドレインおよびツェナーダイオード 56 のカソードが第 2 巻線 N2 の第 2 端子、および出力状態端子 C1 に接続される。

## 【0091】

n チャンネル MOSFET 55 のソースおよびツェナーダイオード 56 のアノードがダイオード 21 のアノード、負荷抵抗 23 の第 2 端、コンデンサ 22 の第 2 端、および入出力負極端子 N22 に接続される。

## 【0092】

ツェナーダイオード 56 のツェナー電圧  $V_z$  は、n チャンネル MOSFET 55 のドレイン - ソース間電圧定格電圧以下のものが選定されている。

30

## 【0093】

第 1 制御回路 501 は、入力電圧  $V_{in1}$  によって動作する。第 2 制御回路 502 は、入力電圧  $V_{in2}$  によって動作する。

## 【0094】

リレー 54 は、c 接点を有する。電源回路 200 が無通電状態であっても、入出力正極端子 P22 が出力状態端子 C1 に接続される。これにより、第 2 制御回路 502 に入力電圧  $V_{in2}$  が供給されておらず、第 2 制御回路 502 が動作していない状態であっても、ループ回路が形成されて、出力電圧  $V_{out1}$  を出力することができる。すなわち入力電圧  $V_{in1}$  のみによる電源回路 200 の起動を可能にする。

40

## 【0095】

第 2 回路 20A に入力電圧  $V_{in2}$  が接続されている場合、第 2 制御回路 502 は、入力電圧  $V_{in2}$  を受けて起動する。第 2 制御回路 502 は、第 1 制御回路 501 から検出信号 DT が送られてこないこと、すなわち入力電圧  $V_{in1}$  が接続されていないことを検出した場合、制御信号 CT3 によってリレー 54 を駆動して、入出力正極端子 P22 を入力状態端子 C2 に接続する。これによって、n チャンネル MOSFET 55 の駆動を開始する。

## 【0096】

第 2 制御回路 502 は、第 1 制御回路 501 から検出信号 DT を受け取った場合は、リレー 54 を駆動せず、入出力正極端子 P22 が出力状態端子 C1 に接続されている状態を

50

維持する。これによって、入力電圧  $V_{in1}$  および入力電圧  $V_{in2}$  の同時入力を許容することができる。

【0097】

<動作1>

図6は、実施の形態2における入力電圧  $V_{in1}$  が第1回路10Aに入力され、入力電圧  $V_{in2}$  が第2回路20Aに入力されていない場合の電源回路200内の電圧および電流の波形を表す図である。

【0098】

図6では、図2で示したスイッチ17の両端電圧の代わりに、 $n$ チャネルMOSFET47のドレイン-ソース間電圧が示されている。実施の形態1では、理想的なスイッチおよびトランスでの動作を示した。しかしながら、実際の回路では、スイッチングトランス3は各巻線に漏れインダクタンスを有する。 $n$ チャネルMOSFET47がオフした直後は、前述の式(A3)の電圧  $V_{17}$  を超えるサージ電圧が発生する。このサージ電圧は、RCDスナバ回路である抵抗13、コンデンサ14、およびダイオード15によって、 $n$ チャネルMOSFET47のドレイン-ソース間定格電圧以下に抑制される。

10

【0099】

$N3$ 電流が0になった後、 $n$ チャネルMOSFET47のドレイン-ソース間の寄生容量、ダイオード11の寄生容量、および第1巻線N1のインダクタンス  $L1$  によって、 $n$ チャネルMOSFET47のドレイン-ソース間電圧は振動する。

【0100】

<動作2>

図7は、実施の形態2における入力電圧  $V_{in2}$  が第2回路20Aに入力され、かつ入力電圧  $V_{in1}$  が第1回路10Aに入力されていない場合の電源回路200内の電圧および電流の波形を表す図である。

20

【0101】

図7では、図3で示したスイッチ25の両端電圧の代わりに、 $n$ チャネルMOSFET55のドレイン-ソース間電圧が示されている。 $n$ チャネルMOSFET55がオフした直後は、前述の式(B3)の電圧  $V_{25}$  を超えるサージ電圧が発生する。

【0102】

ここで、ツェナーダイオード56のツェナー電圧  $V_z$  は、 $n$ チャネルMOSFET55のドレイン-ソース間電圧定格電圧以下のものが選定されているので、図7に示すように、サージ電圧は  $V_z$  でクランプされ、簡易な構成で  $n$ チャネルMOSFET55を保護することができる。

30

【0103】

<実施の形態2の独自の効果>

ツェナーダイオード56により、入力電圧  $V_{in2}$  により電源回路200が駆動している場合でも、回路を故障させることなく安定的に動作させることができ、発生するノイズを抑制することができる。

【0104】

<実施の形態2の変形例>

図8は、実施の形態2の変形例の電源回路200Aの構成を示す図である。

40

【0105】

電源回路200Aは、第1回路10Aと、第2回路20Cと、第3回路30と、スイッチングトランス3とを備える。第3回路30およびスイッチングトランス3は、実施の形態1の電源回路100に含まれる第3回路30およびスイッチングトランス3と同様なので、説明を繰り返さない。第1回路10Aは、実施の形態2の電源回路200に含まれる第1回路10Aと同様なので、説明を繰り返さない。

【0106】

第2回路20Cが、実施の形態2の第2回路20Aと相違する点は、第2回路20Cが、ツェナーダイオード56の代わりに、第2巻線N2の両端に接続されるRCDスナバ回

50

路 8 9 を備える点である。

【 0 1 0 7 】

R C D スナバ回路 8 9 は、抵抗 8 1 と、コンデンサ 8 2 と、ダイオード 8 3 とを備える。

【 0 1 0 8 】

ダイオード 8 3 のアノードは、第 2 巻線 N 2 の第 2 端および出力状態端子 C 1 に接続される。ダイオード 8 3 のカソードは、抵抗 8 1 の第 1 端およびコンデンサ 8 2 の第 1 端と接続される。

【 0 1 0 9 】

抵抗 8 1 の第 2 端およびコンデンサ 8 2 の第 2 端は、第 2 巻線 N 2 の第 1 端、ダイオード 2 1 のカソード、および入力状態端子 C 2 と接続される。

10

【 0 1 1 0 】

本変形例においても、実施の形態 2 におけるツェナーダイオード 5 6 と同様に、n チャネル M O S F E T 5 5 のドレイン - ソース間電圧を抑制する効果を得られる。

【 0 1 1 1 】

実施の形態 3 .

< 構成 >

図 9 は、実施の形態 3 の電源回路 3 0 0 の構成を示す図である。

【 0 1 1 2 】

電源回路 3 0 0 は、第 1 回路 1 0 A と、第 2 回路 2 0 B と、第 3 回路 3 0 と、スイッチングトランス 3 とを備える。第 3 回路 3 0 およびスイッチングトランス 3 は、実施の形態 1 の電源回路 1 0 0 に含まれる第 3 回路 3 0 およびスイッチングトランス 3 と同様なので、説明を繰り返さない。第 1 回路 1 0 A は、実施の形態 2 の電源回路 2 0 0 に含まれる第 1 回路 1 0 A と同様なので、説明を繰り返さない。

20

【 0 1 1 3 】

第 2 回路 2 0 B が、実施の形態 2 の第 2 回路 2 0 A と相違する点は、第 2 回路 2 0 B は、リレー 5 4 の代わりに、ダイオード ( 第 4 のダイオード ) 6 1、ダイオード ( 第 5 のダイオード ) 6 2、p チャネル M O S F E T ( 第 2 のトランジスタ ) 6 3、n チャネル M O S F E T ( 第 3 のトランジスタ ) 6 4、抵抗 ( 第 2 の抵抗 ) 6 5、および抵抗 ( 第 3 の抵抗 ) 6 6 を備える点である。

【 0 1 1 4 】

第 2 回路 2 0 B は、ツェナーダイオード 5 6 を備えない。実施の形態 2 では、n チャネル M O S F E T 5 5 がオフした際に、その両端に発生するサージ電圧を抑制するために、ツェナーダイオード 5 6 が設けられている。実施の形態 3 では、n チャネル M O S F E T 5 5 がオフした際、第 2 巻線 N 2 に流れていた電流はダイオード 6 2 を導通することによって、入力電圧  $V_{in2}$  に回生され、n チャネル M O S F E T 5 5 の両端電圧は  $V_{in2}$  に維持される。よって、実施の形態 3 では、サージ電圧を抑制する回路は必要なくなるため、ツェナーダイオード 5 6 が設けられない。

30

【 0 1 1 5 】

ダイオード 6 2 のアノードは、第 2 巻線 N 2 の第 2 端、および n チャネル M O S F E T 5 5 のドレイン ( 第 1 電極 ) に接続される。ダイオード 6 2 のカソードは、p チャネル M O S F E T 6 3 のソース ( 第 1 電極 ) と、抵抗 6 5 の第 1 端と、コンデンサ 2 2 の第 1 端と、負荷抵抗 2 3 の第 1 端と、入出力正極端子 P 2 2 と接続される。

40

【 0 1 1 6 】

p チャネル M O S F E T 6 3 のドレイン ( 第 2 電極 ) は、ダイオード 6 1 のアノードに接続される。ダイオード 6 1 のカソードは、第 2 巻線 N 2 の第 1 端、およびダイオード 2 1 のカソードに接続される。

【 0 1 1 7 】

p チャネル M O S F E T 6 3 のゲート ( 制御電極 ) は、抵抗 6 5 の第 2 端と、抵抗 6 6 の第 1 端に接続される。抵抗 6 6 の第 2 端は n チャネル M O S F E T 6 4 のドレイン ( 第 1 電極 ) に接続される。n チャネル M O S F E T 6 4 のソース ( 第 2 電極 ) は、ダイオード

50

ド 2 1 のアノード、 $n$ チャネル MOS F E T 5 5 のソース（第 2 電極）、コンデンサ 2 2 の第 2 端、負荷抵抗 2 3 の第 2 端、および入出力負極端子  $N 2 2$  と接続されている。

【 0 1 1 8 】

$n$ チャネル MOS F E T 6 4 のゲート（制御電極）および  $n$ チャネル MOS F E T 5 5 のゲート（制御電極）には、第 2 制御回路 5 0 2 からの制御信号  $C T 4$  が入力される。

【 0 1 1 9 】

第 1 制御回路 5 0 1 は、入力電圧  $V i n 1$  によって動作する。第 2 制御回路 5 0 2 は、入力電圧  $V i n 2$  によって動作する。

【 0 1 2 0 】

< 動作 1 >

入力電圧  $V i n 1$  が第 1 回路 1 0 A に入力され、入力電圧  $V i n 2$  が第 2 回路 2 0 B に入力されていない場合の電源回路 3 0 0 の動作は、実施の形態 2 と同様なので、図示は省略する。

【 0 1 2 1 】

入力電圧  $V i n 1$  が入力されている場合、第 1 制御回路 5 0 1 が  $n$ チャネル MOS F E T 4 7 を制御する。

【 0 1 2 2 】

$n$ チャネル MOS F E T 4 7 がオフのとき、 $N 2$  電流は、第 2 巻線  $N 2$ 、ダイオード 6 2、コンデンサ 2 2、およびダイオード 2 1 で形成される回路ループを流れ、入出力正極端子  $P 2 2$  に出力電圧  $V o u t 1$  を生成する。

【 0 1 2 3 】

これにより、第 2 制御回路 5 0 2 に電力が供給されておらず、第 2 制御回路 5 0 2 が動作していない状態であっても回路が形成され、出力電圧  $V o u t 1$  を出力することができる。すなわち入力電圧  $V i n 1$  のみによる電源回路 3 0 0 の起動が可能になる。

【 0 1 2 4 】

一方、 $n$ チャネル MOS F E T 4 7 がオンの時は、ダイオード 2 1 およびダイオード 6 1 によって、回路ループが形成できず、 $N 2$  電流は流れることができずに 0 となる。したがって、電源回路 3 0 0 を、実施の形態 2 で示した電源回路 2 0 0 と同様に動作させることができる。

【 0 1 2 5 】

< 動作 2 >

図 1 0 は、実施の形態 3 における入力電圧  $V i n 2$  が第 2 回路 2 0 B に入力され、かつ入力電圧  $V i n 1$  が第 1 回路 1 0 A に入力されていない場合の電源回路 3 0 0 内の電圧および電流の波形を表す図である。

【 0 1 2 6 】

入力電圧  $V i n 2$  が入力されている場合、第 2 制御回路 5 0 2 は、入力電圧  $V i n 2$  を受けて起動する。第 2 制御回路 5 0 2 は、第 1 制御回路 5 0 1 から検出信号  $D T$  が送られてこないこと、すなわち入力電圧  $V i n 1$  が接続されていないことを検出した場合、制御信号  $C T 4$  によって、 $n$ チャネル MOS F E T 5 5 および  $n$ チャネル MOS F E T 6 4 の駆動を開始させる。

【 0 1 2 7 】

$n$ チャネル MOS F E T 6 4 は、 $p$ チャネル MOS F E T 6 3 のゲートを駆動するために設けられている。 $n$ チャネル MOS F E T 6 4 がオフの時、 $p$ チャネル MOS F E T 6 3 のゲート - ソース間電圧は 0 となり、 $p$ チャネル MOS F E T 6 3 はオフとなる。一方、 $n$ チャネル MOS F E T 6 4 がオンの時は、 $p$ チャネル MOS F E T 6 3 のゲート - ソース間電圧は、 $V i n 2$  を抵抗 6 5 と抵抗 6 6 とによって分圧した値となり、 $p$ チャネル MOS F E T 6 3 がオンとなる。ただし、 $p$ チャネル MOS F E T 6 3 のゲート - ソース間電圧の許容値が、入力電圧  $V i n 2$  よりも大きい場合は、抵抗 6 6 は不要であり、ショートできる。すなわち、抵抗 6 5 の第 2 端と、 $N$ チャネル MOS F E T 6 4 のドレインとを接続すればよい。

10

20

30

40

50

## 【0128】

したがって、本実施の形態では、 $n$ チャンネルMOSFET55、 $n$ チャンネルMOSFET64、および $p$ チャンネルMOSFET63を同時に駆動することができる。

## 【0129】

図10に示すように、 $n$ チャンネルMOSFET55、 $n$ チャンネルMOSFET64、および $p$ チャンネルMOSFET63がすべてオンの時、 $n$ チャンネルMOSFET55のドレイン-ソース間電圧は0となる。この場合、コンデンサ22、 $p$ チャンネルMOSFET63、ダイオード61、第2巻線N2、および $n$ チャンネルMOSFET55で形成される回路ループに、インダクタンスL2および入力電圧 $V_{in2}$ に応じた三角波電流が流れる。N2電流のピーク電流 $I_{p3}$ は、実施の形態1の電源回路100、および実施の形態2の電源回路200と同様に、流通時間 $t_{on2}$ を用いて次の式で表される。

10

## 【0130】

$$I_{p3} = V_{in2} \times t_{on2} / L2 \dots (C1)$$

これにより、スイッチングトランス3にエネルギーを蓄積する。

## 【0131】

$n$ チャンネルMOSFET55、 $n$ チャンネルMOSFET64、および $p$ チャンネルMOSFET63がオフとなると、蓄積したエネルギーが第1巻線N1および第3巻線N3に三角波電流が流れる。

## 【0132】

一方、実施の形態3の電源回路300においては、 $n$ チャンネルMOSFET55、 $n$ チャンネルMOSFET64、および $p$ チャンネルMOSFET63がすべてオフとなる区間（以下、オフ区間）において、 $n$ チャンネルMOSFET55のドレイン-ソース間電圧は、入力電圧 $V_{in2}$ と等しくなる。オフ区間では、第2巻線N2の有する漏れインダクタンスにより、ダイオード62とダイオード21とが導通して、第2巻線N2に印加される電圧が入力電圧 $V_{in2}$ にクランプされるためである。

20

## 【0133】

N3電流の流通が終了し、N3電流が0になると、 $n$ チャンネルMOSFET55のドレイン-ソース間の寄生容量と、 $p$ チャンネルMOSFET63のドレイン-ソース間の寄生容量と、ダイオード61の寄生容量と、ダイオード62の寄生容量と、第2巻線N2のインダクタンスL2とによって、 $n$ チャンネルMOSFET55のドレイン-ソース間電圧は振動する。

30

## 【0134】

なお、第2制御回路502が、第1制御回路501から検出信号DTを受け取った場合は、 $n$ チャンネルMOSFET55および $n$ チャンネルMOSFET64を駆動しないことによって、入力電圧 $V_{in1}$ と、入力電圧 $V_{in2}$ との同時入力を許容することができる。

## 【0135】

<実施の形態3の独自の効果>

電源回路300に入力電圧 $V_{in2}$ を入力した場合に、第2巻線N2の有する漏れインダクタンスを流れる電流は、第2電源2に回生することになる。したがって、実施の形態3の電源回路300は、ツェナーダイオード56でエネルギーを消費する実施の形態2の電源回路200と比較して、高効率な電源回路となる。

40

## 【0136】

また、入力電圧 $V_{in2}$ を入力した場合の動作で、オフ区間で、第2巻線N2に印加される電圧が入力電圧 $V_{in2}$ にクランプされることは、原理的に第3回路30で生成する出力電圧 $V_{out2}$ に上限をかけられることを意味している。その制限値LMは、以下の式で表される。

## 【0137】

## 【数4】

50

$$LM = \sqrt{\frac{L3}{L2}} \times Vin2 \dots (C2)$$

## 【0138】

これにより、出力電圧  $V_{out2}$  の過電圧保護回路が不要となり、回路を小型化することができる。

## 【0139】

実施の形態2の電源回路200と比較して、実施の形態3の電源回路300では、入力電圧  $V_{in2}$  を入力した場合、リレー54の駆動が不要であるため、電源回路300を高速に起動することができる。実施の形態3の電源回路300では、リレー54の駆動が不要となるため、第2制御回路502を小型化することができる。

10

## 【0140】

< 拡張性と効果 >

上記の実施の形態2、3では各部品を具体的に示したが、これらの部品を回路を切り替える機能を有する他の部品で置き換えたとしても同等の効果を得ることができる。

## 【0141】

例えば、リレー54が、c接点を有するリレーによって構成されると説明したが、これに限定されるものではない。リレー54をa接点を有するリレーとb接点を有するリレーとを組み合わせ構成してもよい。リレー54として、(a)半導体アナログスイッチ、(b)フォトモスリレー、(c)フォトボル出力フォトカプラおよびMOSFET、(d)フォトサイリスタ等を用いることができる。

20

## 【0142】

また、MOSFETの代わりにバイポーラトランジスタを使用することもできる。この場合、nチャネルMOSFETはNPNTランジスタ、pチャネルMOSFETはPNPトランジスタで構成することができる。これにより、抵抗65を削減することができる。

## 【0143】

実施の形態4 .

< 構成 >

図11は、実施の形態4の電源回路400の構成を示す図である。

30

## 【0144】

電源回路400は、第1回路10Aと、第2回路20Dと、第3回路30と、スイッチングトランス3とを備える。第3回路30およびスイッチングトランス3は、実施の形態1の電源回路100に含まれる第3回路30およびスイッチングトランス3と同様なので、説明を繰り返さない。第1回路10Aは、実施の形態2の電源回路200に含まれる第1回路10Aと同様なので、説明を繰り返さない。

## 【0145】

第2回路20Dが、実施の形態2の第2回路20Aと相違する点は、第2回路20Dは、リレー54の代わりに、インダクタ74を備え、ダイオード21の代わりに、nチャネルMOSFET71、およびインバータ73を備える点である。

40

## 【0146】

インダクタ74の極性点のない第1端は、コンデンサ22の第1端と、負荷抵抗23の第1端と、入出力正極端子P22と接続される。インダクタ74の極性点のある第2端は、第2巻線N2の極性点のある第2端およびnチャネルMOSFET55のドレインに接続される。インダクタ74のインダクタンスをL74とする。

## 【0147】

nチャネルMOSFET71のドレインは、第2巻線N2の極性点のない第1端に接続される。nチャネルMOSFET71のソースは、nチャネルMOSFET55のソースと、コンデンサ22の第2端と、負荷抵抗23の第2端と、入出力正極端子P22と接続

50

される。nチャネルMOSFET 71のゲートは、インバータ73の出力に接続され、インバータ73の入力は、nチャネルMOSFET 55のゲートに接続されている。

【0148】

nチャネルMOSFET 55は、第2巻線N2の極性点のある第2端とインダクタ74との間の第1のノードND1と、入出力負極端子N22とnチャネルMOSFET 71との間の第2のノードND2との間に配置される。

【0149】

nチャネルMOSFET 55のゲート(制御電極)およびインバータ73の入力には、第2制御回路502からの制御信号CT5が入力される。

【0150】

第1制御回路501は、入力電圧Vin1によって動作する。第2制御回路502は、入力電圧Vin2によって動作する。

【0151】

<動作1>

入力電圧Vin1が第1回路10Aに入力され、入力電圧Vin2が第2回路20Dに入力されていない場合の電源回路400の動作は、実施の形態2と同様なので、図示は省略する。

【0152】

入力電圧Vin1が入力されている場合、第1制御回路501がnチャネルMOSFET 47を制御する。

【0153】

第2制御回路502によって、nチャネルMOSFET 55がオフとなり、nチャネルMOSFET 71がオンとなる。

【0154】

nチャネルMOSFET 47がオフのとき、N2電流は、第2巻線N2、インダクタ74、コンデンサ22、およびnチャネルMOSFET 71で形成される回路ループを流れ、入出力正極端子P22に出力電圧Vout1を生成する。

【0155】

これにより、第2制御回路502に電力が供給されておらず、第2制御回路502が動作していない状態であっても回路が形成され、出力電圧Vout1を出力することができる。すなわち入力電圧Vin1のみによる電源回路300の起動が可能になる。

【0156】

一方、nチャネルMOSFET 47がオンの時は、nチャネルMOSFET 71によって、回路ループが形成できず、N2電流は流ることができず0となる。したがって、電源回路300を、実施の形態2で示した電源回路200と同様に動作させることができる。

【0157】

<動作2>

図12は、実施の形態4における入力電圧Vin2が第2回路20Dに入力され、かつ入力電圧Vin1が第1回路10Aに入力されていない場合の電源回路300内の電圧および電流の波形を表す図である。

【0158】

入力電圧Vin2が入力されている場合、第2制御回路502は、入力電圧Vin2を受けて起動する。第2制御回路502は、第1制御回路501から検出信号DTが送られてこないこと、すなわち入力電圧Vin1が接続されていないことを検出した場合、制御信号CT5によって、nチャネルMOSFET 55およびnチャネルMOSFET 71の駆動を開始させる。

【0159】

インバータ73によって、nチャネルMOSFET 71のゲート信号のレベルは、nチャネルMOSFET 55のゲート信号のレベルを反転したものとなる。したがって、本実

10

20

30

40

50

施の形態では、 $n$ チャネルMOSFET55と $n$ チャネルMOSFET71とを交互に駆動することができる。

【0160】

図12に示すように、 $n$ チャネルMOSFET55がオン、かつ $n$ チャネルMOSFET71がオフの時、 $n$ チャネルMOSFET55のドレイン-ソース間電圧は0となる。この場合、コンデンサ22、インダクタ74、および $n$ チャネルMOSFET55で形成される回路ループに、インダクタンスL74および入力電圧 $V_{in2}$ に応じた三角波電流が流れる。これにより、インダクタ74にエネルギーが蓄積される。

【0161】

$n$ チャネルMOSFET55がオフ、かつ $n$ チャネルMOSFET71がオンとなると、第2巻線N2に、入力電圧 $V_{in2}$ とインダクタ74に発生する逆起電圧 $R_V$ とを足し合わせた電圧が印加され、第1巻線N1および第3巻線N3に三角波電流が流れる。この時、 $n$ チャネルMOSFET55のドレイン-ソース間に印加される電圧は、第2巻線N2のインダクタンスL2および第3巻線N3のインダクタンスL3の比率の平方根と出力電圧 $V_{out2}$ との積となる、この積が入力電圧 $V_{in2}$ とインダクタ74に発生する逆起電圧 $R_V$ とを足し合わせた電圧と等しくなる。

10

【0162】

N3電流の流通が終了し、N3電流が0になると、 $n$ チャネルMOSFET55のドレイン-ソース間の寄生容量と、インダクタンスL74とによって、 $n$ チャネルMOSFET55のドレイン-ソース間電圧は振動する。また、この間、 $n$ チャネルMOSFET71がオンしている場合は、インダクタンスL74と第2巻線N2のインダクタンスL2は、入力電圧 $V_{in2}$ によって励磁され、インダクタ74の電流は増加し、第2巻線N2の電流は減少する。その後、次の周期で再び $n$ チャネルMOSFET55がオンする。

20

【0163】

なお、第2制御回路502が、第1制御回路501から検出信号DTを受け取った場合は、 $n$ チャネルMOSFET55および $n$ チャネルMOSFET71を駆動しないことによって、入力電圧 $V_{in1}$ と、入力電圧 $V_{in2}$ との同時入力を許容することができる。

【0164】

<実施の形態4の独自の効果>

第2巻線N2の極性点のある第2端から電圧を印加し、第2巻線N2の極性点のない第1端をスイッチングした場合、第2巻線N2のインダクタンスL2および第3巻線のN3のインダクタンスL3の比率の平方根に入力電圧 $V_{in2}$ を乗じた値を上限とした出力電圧 $V_{out2}$ しか出力することができない。すなわち入力電圧 $V_{in2}$ の低下に対して脆弱な電源となる。しかしながら、電源回路400はインダクタ74を有しているため、昇圧動作が可能であり、入力電圧 $V_{in2}$ の値が小さい場合であっても、第2巻線N2のインダクタンスL2および第3巻線のN3のインダクタンスL3の比率の平方根に入力電圧 $V_{in2}$ を乗じた値よりも大きな出力電圧 $V_{out2}$ を出力することができる。

30

【0165】

<拡張性と効果>

上記の説明では、インダクタ74に極性を示したが、極性を逆にしたとしても同様の効果を奏する。

40

【0166】

また、簡単のためにインバータ73を用いて説明したが、 $n$ チャネルMOSFET55のゲート信号と、 $n$ チャネルMOSFET71のゲート信号には相応なデッドタイムを設けてもよいし、第2制御回路502によって個別に制御されてもよい。 $n$ チャネルMOSFET71のゲート信号を個別に制御する場合、そのゲート信号のオン時間は、図12に示すTから $t_{on3}$ を減算して得られる値よりも小さくすると、 $n$ チャネルMOSFET71のドレイン-ソースに印加されるサージ電圧が小さくなる。

【0167】

<実施の形態4の変形例>

50

図 1 3 は、実施の形態 4 の変形例の電源回路 4 0 0 A の構成を示す図である。

【 0 1 6 8 】

電源回路 4 0 0 A は、第 1 回路 1 0 A と、第 2 回路 2 0 E と、第 3 回路 3 0 と、スイッチングトランス 3 とを備える。第 3 回路 3 0 およびスイッチングトランス 3 は、実施の形態 1 の電源回路 2 0 0 に含まれる第 3 回路 3 0 およびスイッチングトランス 3 と同様なので、説明を繰り返さない。第 1 回路 1 0 A は、実施の形態 2 の電源回路 2 0 0 に含まれる第 1 回路 1 0 A と同様なので、説明を繰り返さない。

【 0 1 6 9 】

第 2 回路 2 0 E が、実施の形態 4 の第 2 回路 2 0 D と相違する点は、第 2 回路 2 0 E が、第 2 巻線 N 2 の両端に接続される整流回路 7 7 を備える点である。

10

【 0 1 7 0 】

整流回路 7 7 は、コンデンサ 7 6 と、n チャンネル MOS F E T 7 2 とを備える。第 1 のノード N D 1 と第 2 のノード N D 2 との間に、コンデンサ 7 6 および n チャンネル MOS F E T 7 2 は、直列に接続される。

【 0 1 7 1 】

コンデンサ 7 6 の第 1 端は、第 2 巻線 N 2 の第 2 端、インダクタ 7 4 の第 2 端、および n チャンネル MOS F E T 5 5 のドレインに接続される。コンデンサ 7 6 の第 2 端は、n チャンネル MOS F E T 7 2 のドレインに接続される。

【 0 1 7 2 】

n チャンネル MOS F E T 7 2 のソースは、n チャンネル MOS F E T 7 1 のソースと、n チャンネル MOS F E T 5 5 のソースと、コンデンサ 2 2 の第 2 端と、負荷抵抗 2 3 の第 2 端と、入出力正極端子 P 2 2 と接続される。

20

【 0 1 7 3 】

n チャンネル MOS F E T 7 2 のゲート（制御電極）には、第 2 制御回路 5 0 2 からの制御信号 C T 6 が入力される。

【 0 1 7 4 】

第 2 制御回路 5 0 2 は、第 1 回路 1 0 の第 1 制御回路 5 0 1 からの検出信号 D T に基づいて、制御信号 C T 6 によって、n チャンネル MOS F E T 7 2 を制御する。

【 0 1 7 5 】

入力電圧  $V_{in1}$  が入力されている場合、第 2 制御回路 5 0 2 は、出力電圧  $V_{out1}$  を受けて起動する。第 2 制御回路 5 0 2 は、第 1 制御回路 5 0 1 から検出信号 D T が送られていること、すなわち入力電圧  $V_{in1}$  が接続されていることを検出した場合、制御信号 C T 6 をオンすることで、n チャンネル MOS F E T 7 2 をオンする。

30

【 0 1 7 6 】

これにより、入力電圧  $V_{in1}$  が接続されている場合、N 2 電流は、第 2 巻線 N 2、コンデンサ 7 6、および n チャンネル MOS F E T 7 2 で構成される回路ループに流れる。その結果、電源回路 4 0 0 A において、第 2 巻線 N 2 のインダクタンス L 2 にとって、寄生成分となるインダクタ 7 4 の影響を抑制し、出力電圧  $V_{out1}$  が低下することを防止できる。

【 0 1 7 7 】

また、インダクタ 7 4 とコンデンサ 2 2 は、出力電圧  $V_{out1}$  にとって LC フィルタを形成しており、出力電圧  $V_{out1}$  に出力されるディファレンシャルモードノイズを低減する効果を得る。

40

【 0 1 7 8 】

なお、入力電圧  $V_{in2}$  が入力されている場合は、第 2 制御回路 5 0 2 は、入力電圧  $V_{in2}$  を受けて起動する。第 2 制御回路 5 0 2 は、第 1 制御回路 5 0 1 から検出信号 D T が送られてこないこと、すなわち入力電圧  $V_{in1}$  が接続されていないことを検出した場合、制御信号 C T 6 をオフすることで、n チャンネル MOS F E T 7 2 をオフし、コンデンサ 7 6 を回路から切り離す。

【 0 1 7 9 】

50

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0180】

1 第1電源、2 第2電源、3, 3A, 3B スイッチングトランス、10, 10A, 40A, 40B 第1回路、11, 15, 21, 31, 61, 62, 83 ダイオード、12, 14, 22, 32, 76, 82 コンデンサ、13, 65, 66, 81 抵抗、17, 24, 25 スイッチ、20, 20A, 20B, 20C, 20D, 20E 第2回路、23, 33 負荷抵抗、30, 50A, 50B 第3回路、47, 55, 63, 64, 71, 72 MOSFET、54 リレー、56 ツェナーダイオード、89 スナバ回路、100, 200, 200A, 300 電源回路、501 第1制御回路、502 第2制御回路、503 フィードバック回路、C1 出力状態端子、C2 入力状態端子、N1 第1巻線、N2 第2巻線、N3 第3巻線、N11, N12, N21, N22, N31 負極端子、P11, P12, P21, P22, P31 正極端子、73 インバータ、74 インダクタ、77 整流回路。

10

20

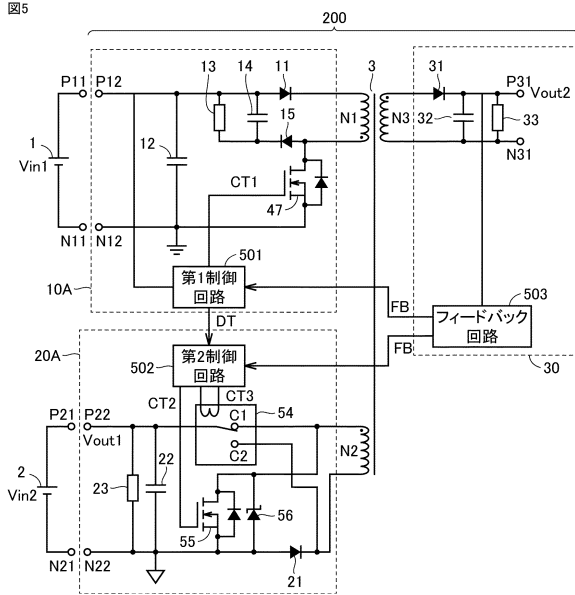
30

40

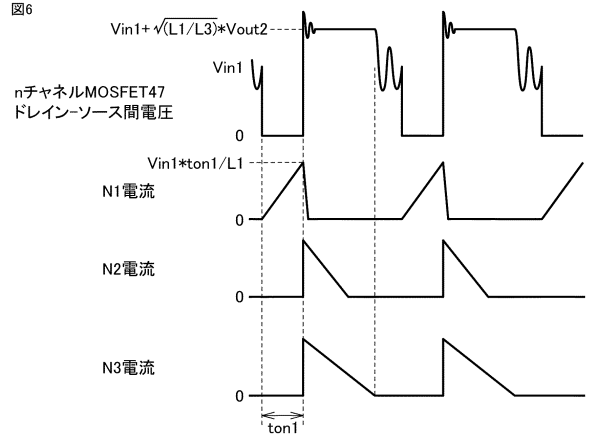
50



【 図 5 】

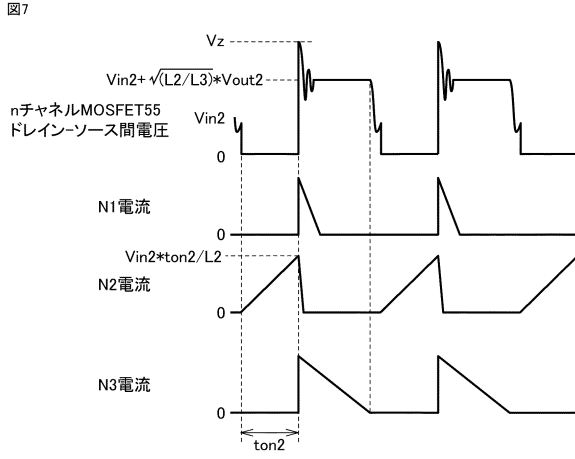


【 図 6 】

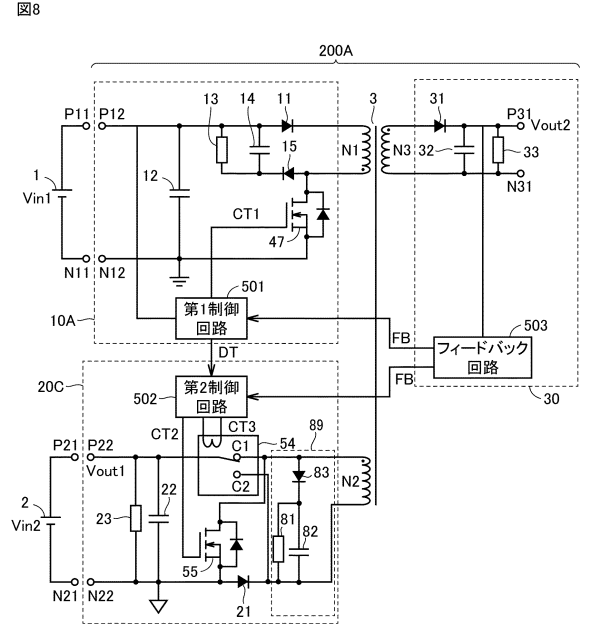


10

【 図 7 】



【 図 8 】



20

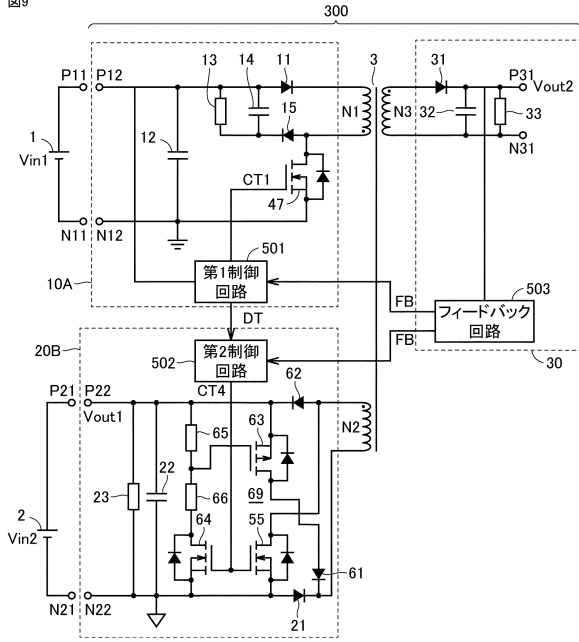
30

40

50

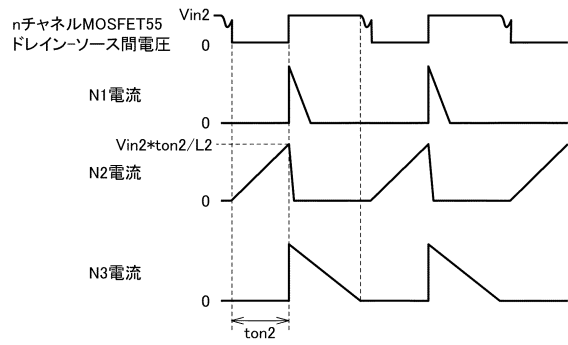
【図 9】

図9



【図 10】

図10

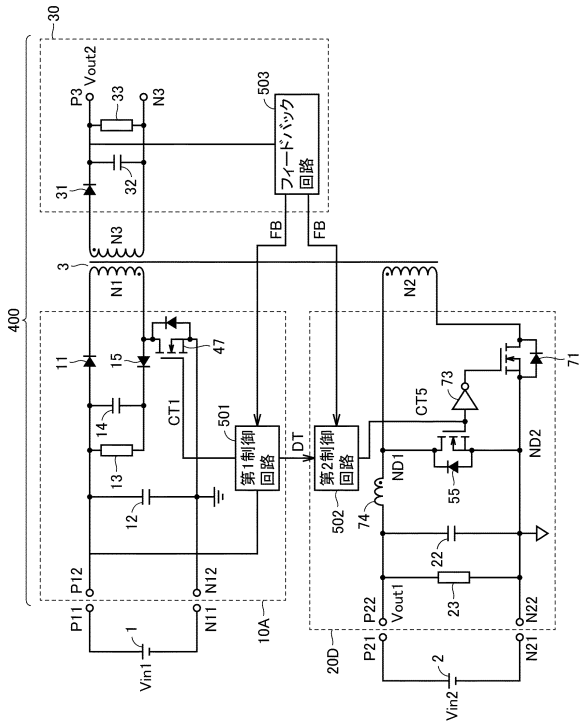


10

20

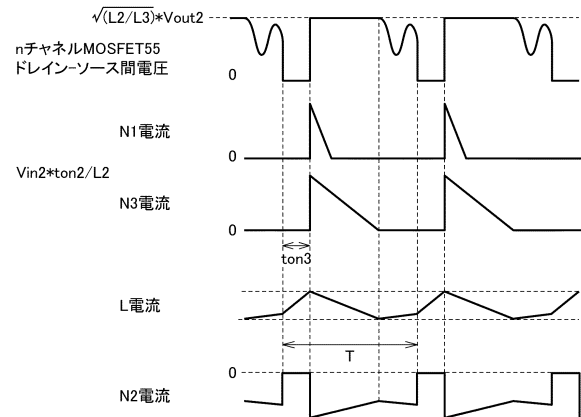
【図 11】

図11



【図 12】

図12



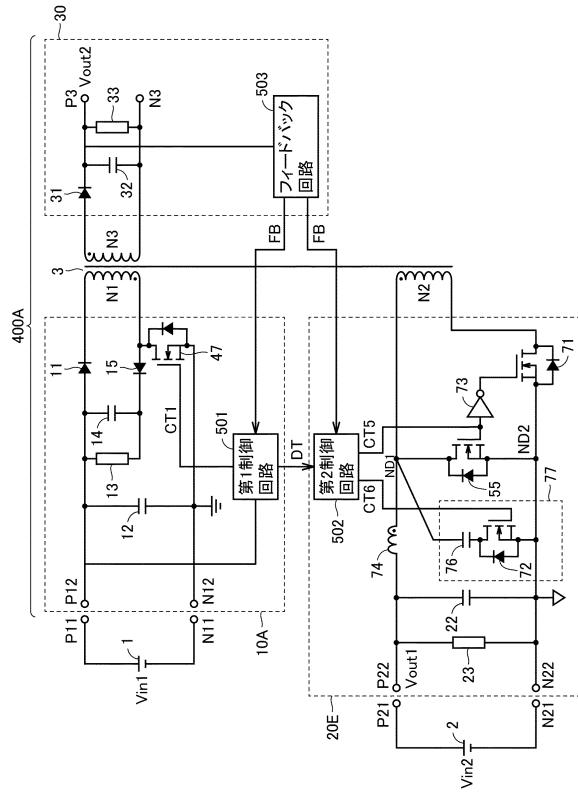
30

40

50

【 図 13 】

図 13



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開2008-206304(JP,A)  
特開平11-196573(JP,A)  
特開2019-221070(JP,A)  
特開2004-147404(JP,A)  
特開2014-183634(JP,A)
- (58)調査した分野 (Int.Cl., DB名)  
H02M 3/28