

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5991729号
(P5991729)

(45) 発行日 平成28年9月14日(2016.9.14)

(24) 登録日 平成28年8月26日(2016.8.26)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 A

H O 1 L 21/8238 (2006.01)

H O 1 L 27/08 3 2 1 N

H O 1 L 27/092 (2006.01)

請求項の数 7 (全 15 頁)

(21) 出願番号 特願2011-223456 (P2011-223456)
 (22) 出願日 平成23年10月7日(2011.10.7)
 (65) 公開番号 特開2013-84753 (P2013-84753A)
 (43) 公開日 平成25年5月9日(2013.5.9)
 審査請求日 平成26年9月25日(2014.9.25)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

光電変換部を含む画素を有する画素領域を含む第1領域と、前記画素から信号を読み出すための周辺回路領域を含む第2領域とを有する固体撮像装置の製造方法であって、

前記第1領域および前記第2領域を有する半導体基板と、前記半導体基板の前記第1領域の上に配置された第1絶縁膜と、前記第1絶縁膜の上に配置された第2絶縁膜と、前記第2絶縁膜の上に配置された第3絶縁膜と、前記半導体基板の前記第2領域の上に配置された第4絶縁膜と、前記第4絶縁膜の上に配置された第5絶縁膜と、前記第5絶縁膜の上に配置された第6絶縁膜と、を有する構造体を準備する工程と、

前記第1絶縁膜、前記第2絶縁膜および前記第3絶縁膜を貫通する第1コンタクトホールを形成する第1開口工程と、

前記第4絶縁膜、前記第5絶縁膜および前記第6絶縁膜を貫通する第2コンタクトホールを形成する第2開口工程と、を含み、

前記第1開口工程と前記第2開口工程とは別々に実施され、

前記第1絶縁膜、前記第3絶縁膜、前記第4絶縁膜および前記第6絶縁膜は、第1組成を有し、前記第2絶縁膜および前記第5絶縁膜は、前記第1組成とは異なる第2組成を有し、

前記第1開口工程では、前記第2絶縁膜をエッチングストッパとして前記第3絶縁膜をエッチングした後に、前記第2絶縁膜および前記第1絶縁膜を互いに異なるエッチング条件でエッチングすることによって前記第1コンタクトホールを形成し、

10

20

前記第 2 開口工程では、前記第 5 絶縁膜をエッチングストッパとして前記第 6 絶縁膜をエッチングした後に、前記第 5 絶縁膜および前記第 4 絶縁膜を同一のエッチング条件で連続的にエッチングすることによって前記第 2 コンタクトホールを形成する、

ことを特徴とする固体撮像装置の製造方法。

【請求項 2】

前記第 2 開口工程は、前記第 1 コンタクトホールにコンタクトプラグが形成された後に実施される、

ことを特徴とする請求項 1 に記載の固体撮像装置の製造方法。

【請求項 3】

前記第 1 開口工程は、前記第 2 コンタクトホールにコンタクトプラグが形成された後に実施される、

ことを特徴とする請求項 1 に記載の固体撮像装置の製造方法。

【請求項 4】

前記第 1 絶縁膜、前記第 3 絶縁膜、前記第 4 絶縁膜および前記第 6 絶縁膜は、シリコン酸化膜であり、前記第 2 絶縁膜および前記第 5 絶縁膜は、シリコン窒化膜である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 5】

前記第 1 開口工程は、

前記第 3 絶縁膜の上に形成された第 1 フォトリソパターンを使って前記第 3 絶縁膜をエッチングして前記第 3 絶縁膜に開口を形成する工程と、

前記第 3 絶縁膜のエッチングの後に前記第 1 フォトリソパターンを除去する工程と、

前記第 1 フォトリソパターンを除去した後に前記第 3 絶縁膜に形成された前記開口を通して前記第 2 絶縁膜および前記第 1 絶縁膜を互いに異なるエッチング条件でエッチングする工程と、を含む、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 6】

前記第 2 開口工程は、

前記第 6 絶縁膜の上に形成された第 2 フォトリソパターンを使って前記第 6 絶縁膜をエッチングして前記第 6 絶縁膜に開口を形成する工程と、

前記第 6 絶縁膜のエッチングの後に前記第 2 フォトリソパターンを除去する工程と、

前記第 2 フォトリソパターンを除去した後に前記第 6 絶縁膜に形成された前記開口を通して前記第 5 絶縁膜および前記第 4 絶縁膜を同一のエッチング条件で連続的にエッチングする工程と、を含む、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 7】

前記第 2 開口工程では、シリサイド化された金属、または、金属を露出させるように前記第 2 コンタクトホールを形成する、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置の製造方法に関する。

【背景技術】

【0002】

リーク電流に対する要求が厳しい半導体装置の代表として固体撮像装置を挙げることができる。近年、固体撮像装置の進歩により、より高画質で安価なデジタルカメラやデジタルビデオカメラが普及している。固体撮像装置は画素領域と周辺回路領域とを有している。画素領域は、複数の画素を含み、画素は、例えば、光電変換部（フォトダイオード）、

10

20

30

40

50

転送トランジスタおよび増幅トランジスタを含む。増幅トランジスタは、複数の画素によって共有される場合もある。周辺回路領域は、MOSトランジスタを含み、画素領域の画素から出力される信号を処理したり、画素領域の画素を制御したりする。画素領域の回路と周辺回路領域の回路とは、CMOS製造プロセスによって共通の工程で製造することができる。

【0003】

この周辺回路領域のMOSトランジスタのソース・ドレイン、および、ゲート電極上に高融点金属の半導体化合物層（シリサイド）を選択的に形成することによりMOSトランジスタの動作を高速化することができる。一方、画素領域の光電変換部にシリサイド層を形成すると、光電変換部のリーク電流が増大し、光電変換特性が悪くなる。

10

【0004】

特許文献1には、画素領域および周辺回路領域のうち周辺回路領域のみにシリサイド層を設けることで光電変換部のリーク電流を抑制することが開示されている。特許文献2には、シリコン酸化膜の上に配置されたシリコン窒化膜の上に層間絶縁膜を形成し、該シリコン酸化膜、該シリコン窒化膜および該層間絶縁膜を貫通するコンタクトを形成する方法が開示されている。この方法では、まず、該シリコン窒化膜をエッチングストップとして用いて該層間絶縁膜に開口を形成し、該開口を通して該シリコン窒化膜および該シリコン酸化膜をエッチングする。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2011-29604号公報

【特許文献2】特開2007-165864号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献2に記載されたように半導体基板の上にシリコン酸化膜を形成し、その上にシリコン窒化膜を形成し、その上に層間絶縁膜（シリコン酸化膜）を形成し、その後コンタクトホールを形成する技術が知られている。ここで、層間絶縁膜に形成された開口を通してシリコン窒化膜およびその下のシリコン酸化膜を同一のエッチング条件で連続的にエッチングする場合、半導体基板に対するエッチング選択比を十分に高くすることができない。即ち、シリコン窒化膜およびシリコン酸化膜の双方のエッチングに適したエッチング条件では、半導体基板に対するエッチング選択比が不十分である。よって、半導体基板の表面が過度にエッチングされうる。これは、例えばリーク電流を増大させるなど、半導体装置の性能の低下をもたらす。そこで、シリコン窒化膜およびその下のシリコン酸化膜を互いに異なるエッチング条件でエッチングすることによって、半導体基板に対するシリコン酸化膜のエッチング選択比を十分に高くするべきであるかもしれない。しかしながら、この場合、エッチング条件の変更のための時間を要するので、スループットが低下する。

30

【0007】

40

本発明は、高い性能を有する半導体装置を高いスループットで製造するために有利な製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の1つの側面は、光電変換部を含む画素を有する画素領域を含む第1領域と、前記画素から信号を読み出すための周辺回路領域を含む第2領域とを有する固体撮像装置の製造方法に係り、該製造法は、前記第1領域および前記第2領域を有する半導体基板と、前記半導体基板の前記第1領域の上に配置された第1絶縁膜と、前記第1絶縁膜の上に配置された第2絶縁膜と、前記第2絶縁膜の上に配置された第3絶縁膜と、前記半導体基板の前記第2領域の上に配置された第4絶縁膜と、前記第4絶縁膜の上に配置された第5絶

50

縁膜と、前記第 5 絶縁膜の上に配置された第 6 絶縁膜と、を有する構造体を準備する工程と、前記第 1 絶縁膜、前記第 2 絶縁膜および前記第 3 絶縁膜を貫通する第 1 コンタクトホールを形成する第 1 開口工程と、前記第 4 絶縁膜、前記第 5 絶縁膜および前記第 6 絶縁膜を貫通する第 2 コンタクトホールを形成する第 2 開口工程と、を含み、前記第 1 開口工程と前記第 2 開口工程とは別々に実施され、前記第 1 絶縁膜、前記第 3 絶縁膜、前記第 4 絶縁膜および前記第 6 絶縁膜は、第 1 組成を有し、前記第 2 絶縁膜および前記第 5 絶縁膜は、前記第 1 組成とは異なる第 2 組成を有し、前記第 1 開口工程では、前記第 2 絶縁膜をエッチングストップパとして前記第 3 絶縁膜をエッチングした後に、前記第 2 絶縁膜および前記第 1 絶縁膜を互いに異なるエッチング条件でエッチングすることによって前記第 1 コンタクトホールを形成し、前記第 2 開口工程では、前記第 5 絶縁膜をエッチングストップパとして前記第 6 絶縁膜をエッチングした後に、前記第 5 絶縁膜および前記第 4 絶縁膜を同一のエッチング条件で連続的にエッチングすることによって前記第 2 コンタクトホールを形成する。

10

【発明の効果】

【 0 0 0 9 】

本発明によれば、高い性能を有する半導体装置を高いスループットで製造するために有利な製造方法が提供される。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】半導体装置の一例としての固体撮像装置の構成を示す図。

20

【図 2】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 3】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 4】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 5】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 6】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 7】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 8】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 9】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 10】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 11】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

30

【図 12】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 13】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 14】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 15】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 16】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 17】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【図 18】半導体装置の一例としての固体撮像装置の製造方法を例示する図。

【発明を実施するための形態】

【 0 0 1 1 】

本発明に係る半導体装置は、第 1 領域および第 2 領域を含む。本発明に係る半導体装置が固体撮像装置に適用される場合において、典型的には、第 1 領域は、光電変換素子を含む画素を有する画素領域を含み、第 2 領域は、画素から信号を読み出すための周辺回路領域を含む。あるいは、本発明に係る半導体装置がデジタル信号処理回路およびアナログ信号処理回路を含む場合において、典型的には、第 1 領域は、アナログ信号処理回路が配置された領域であり、第 2 領域は、デジタル信号処理回路が配置された領域である。第 1 領域は、素子（例えばトランジスタなど）の特性に対する要求が相対的に厳しい領域であり、第 2 領域は、素子（例えばトランジスタ）の特性に対する要求が相対的に厳しくない領域でありうる。あるいは、第 1 領域は、シリサイド層または金属層を有しない領域であり、第 2 領域は、シリサイド層または金属層を有する領域でありうる。金属層としては、例えば固体撮像装置の場合には遮光用の金属層などが挙げられる。第 1 領域と第 2 領域は、

40

50

要求に応じて任意に設定可能である。

【0012】

以下、本発明に係る半導体装置の製造方法の1つの実施形態として、固体撮像装置100の製造方法を例示的に説明する。まず、図1を参照しながら固体撮像装置100の概略構成を説明する。固体撮像装置100は、第1領域として、光電変換部を含む画素605を有する画素領域101を含み、第2領域として、画素領域601の画素605から信号を読み出すための周辺回路領域102を含む。周辺回路領域102は、画素領域101の他の領域である。画素領域101には、典型的には、複数の画素が複数行および複数列を構成するように配列されうる。周辺回路領域102には、画素領域101における画素605を選択する走査回路603、および、選択された画素605から出力される信号を処理する処理回路（読出回路）604が配置されうる。以下の例では、画素領域101には、シリサイド層（高融点金属化合物層）が形成されず、周辺回路領域102には、シリサイド層（高融点金属化合物層）が形成される。

10

【0013】

次に、図2～図18を参照しながら固体撮像装置100の製造方法を説明する。以下、説明の簡略化のため、加工される前の部材と加工された後の部材とを同一の符号を付して説明する。まず、図2に例示されるような構造体ST1を準備する。構造体ST1は、第1領域としての画素領域101と、第2領域としての周辺回路領域102とを有する半導体基板SUBを有する。なお、図2～図18では、図示の簡単化のために、画素領域101の一部と周辺回路領域102の一部とが示されている。画素領域101の素子および周辺回路領域102の素子は、同一の半導体基板SUB上にCMOS製造プロセスによって製造されうる。ここでは、具体例を提供するために、信号電荷が電子である場合の構成を説明するが、信号電荷を正孔とすることもできる。

20

【0014】

半導体基板SUBは、例えばn型半導体領域よりなるシリコン単結晶基板でありうる。半導体基板SUBにおいて、素子（光電変換部、トランジスタなど）は、素子分離104によって相互に分離されうる。画素領域101には、p型不純物領域で構成される画素領域ウエル106が配置されている。画素領域ウエル106には、n型不純物領域で構成される電荷蓄積領域105が配置され、電荷蓄積領域105の上には、表面p型半導体層107が配置されうる。画素領域ウエル106、電荷蓄積領域105および表面p型半導体層107によって、光電変換部として、埋め込み型のフォトダイオードが構成されている。

30

【0015】

画素領域ウエル106にはまた、n型不純物領域で構成されたフローティングディフュージョン103が配置されている。電荷蓄積領域105とフローティングディフュージョン103との間の領域の上方には、電荷蓄積領域105とフローティングディフュージョン103との間にチャネルを形成するためのゲート電極109が配置されている。ゲート電極109、電荷蓄積領域105およびフローティングディフュージョン103は、MOSトランジスタの構成を有し、転送用のMOSトランジスタとして考えることができる。

【0016】

40

画素領域ウエル106にはまた、ゲート電極110とともにn型MOSトランジスタのソース・ドレイン領域を構成する拡散領域（不純物領域）111が配置されている。画素領域ウエル106は、要求されるフォトダイオードの特性に応じて、その深さや不純物濃度などが決定されうる。半導体基板SUBは、シリコン単結晶基板に限定されるものではなく、他の種類の基板であってもよいし、エピタキシャル層を有する半導体基板であってもよい。

【0017】

周辺回路領域102には、p型不純物領域で構成される周辺回路領域ウエル108が配置されている。図示されていないが、周辺回路領域102には、p型のウエル領域の他に、p型MOSトランジスタが形成されたn型のウエル領域も配置されている。周辺回路領

50

域 1 0 2 に配置された M O S トランジスタは、典型的には、L D D (Lightly Doped Drain) 構造、即ち、図 1 8 に例示されるように、拡散領域 1 1 6 と、拡散領域 1 1 6 よりも不純物濃度が低い拡散領域 1 1 1 とを有する。また、周辺回路領域 1 0 2 に配置された M O S トランジスタは、L D D 構造を形成するためのサイドスペーサ 1 1 4 をゲート電極の側面に有しうる。

【 0 0 1 8 】

画素領域 1 0 1 に配置される M O S トランジスタとしては、例えば、前述のような電荷を転送するための M O S トランジスタの他、増幅用のトランジスタ、リセット用のトランジスタ、選択用のトランジスタを挙げることができる。他にも、電荷を保持する容量へ電荷を転送するための M O S トランジスタや、隣接する光電変換部と接続するための M O S トランジスタ等がある。周辺回路領域 1 0 2 に配置されるトランジスタとしては、前述の走査回路 6 0 3 および処理回路 6 0 4 を構成するトランジスタを挙げることができる。

【 0 0 1 9 】

次に、図 3 に示すように、画素領域 1 0 1 および周辺回路領域 1 0 2 の双方に、シリコン酸化膜からなる絶縁膜 (第 1 絶縁膜) 1 1 2 を形成し、その上に、シリコン窒化膜からなる絶縁膜 (第 2 絶縁膜) 1 1 3 を形成する。絶縁膜 1 1 2 は、絶縁膜 1 1 3 によって生じる応力を緩和するために有用である。絶縁膜 1 1 3 は、画素領域 1 0 1 にコンタクトホールを形成する際にエッチングストッパとして使用される。

【 0 0 2 0 】

次に、周辺回路領域 1 0 2 の絶縁膜 1 1 3 を露出させる一方で画素領域 1 0 1 の絶縁膜 1 1 3 を覆うように形成されたフォトレジストマスクを形成する。そして、当該フォトレジストマスクをエッチングマスクとして使って、図 4 に示すように、周辺回路領域 1 0 2 の絶縁膜 1 1 3 および絶縁膜 1 1 2 をドライエッチングする。これにより、周辺回路領域 1 0 2 では、ゲート電極 1 1 0 の側面に絶縁膜 1 1 3 および絶縁膜 1 1 2 によるサイドスペーサ 1 1 4 を残しながら、他の部分の絶縁膜 1 1 3 および絶縁膜 1 1 2 が除去される。一方、画素領域 1 0 1 には、絶縁膜 1 1 3 および絶縁膜 1 1 2 が残る。

【 0 0 2 1 】

次に、図 5 に示すように、半導体基板 S U B に n 型不純物を注入する。この際に、拡散領域 1 1 1 のうちサイドスペーサ 1 1 4 の外側の領域に対してより多くの n 型不純物が注入され、これにより、拡散領域 1 1 1 よりも不純物濃度が高い拡散領域 1 1 6 を有する L D D 構造のソース領域およびドレイン領域が形成される。一方、画素領域 1 0 1 は絶縁膜 1 1 3 で覆われているので、画素領域 1 0 1 には L D D 構造は形成されない。

【 0 0 2 2 】

次に、C V D 法または P V D 法などにより、画素領域 1 0 1 および周辺回路領域 1 0 2 の双方に、シリコン窒化膜、シリコン酸化膜またはシリコン酸窒化膜のような絶縁膜を形成する。そして、画素領域 1 0 1 のみを残して選択的に周辺回路領域 1 0 2 の当該絶縁膜を除去し、図 6 に示すように阻止層 1 1 7 を形成する。ここで、阻止層 1 1 7 は、画素領域 1 0 1 に限らず、後にシリサイド層を形成しない部分を覆うように残される。画素領域 1 0 1 以外にシリサイド層を形成しない部分とは、例えば周辺回路領域 1 0 2 の抵抗用の素子等がある。また、画素領域 1 0 1 の一部にシリサイド層が形成されていてもよい。

【 0 0 2 3 】

次に、図 7 に示すように、C V D 法またはスパッタ法などにより、画素領域 1 0 1 および周辺回路領域 1 0 2 の双方に、高融点金属としてのコバルトと該高融点金属の酸化防止膜としての窒化チタンとで構成される積層膜 1 1 8 を形成する。ここで、高融点金属としては、コバルトのほかに、チタン、ニッケル、タングステン、モリブデン、タンタル、クロム、パラジウム、プラチナ等を挙げることができる。また、高融点金属の酸化防止膜としては、窒化チタンのほかに、ニッケルやチタン等を挙げることができる。

【 0 0 2 4 】

次に、高融点金属を含む積層膜 1 1 8 を熱処理する。この熱処理により、周辺回路領域 1 0 2 の M O S トランジスタのゲート電極 1 1 0、ソース領域およびドレイン領域を構成

10

20

30

40

50

しているシリコンと高融点金属とが反応する（高融点金属のシリサイド化）。これにより、図 8 に示すように、周辺回路領域 102 の MOS トランジスタのソース領域およびドレイン領域ならびにゲート電極の上部に高融点金属のシリサイド層（高融点金属の半導体化合物層）119 が形成される。高融点金属の半導体化合物の例としては、以下のものが考えられる。それらは、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド、タンタルシリサイド、クロムシリサイド、パラジウムシリサイド、プラチナシリサイドである。この熱処理において、阻止層 117 はシリサイド化の阻止層として働くため、画素領域 101 では、高融点金属のシリサイド層が形成されない。続いて、未反応の高融点金属を含む積層膜 118 を酸溶液に浸して除去する。

10

【0025】

次に、図 9 に示すように、画素領域 101 および周辺回路領域 102 の双方にシリコン酸化膜からなる絶縁膜（第 4 絶縁膜）120 を形成し、その上に、シリコン窒化膜からなる絶縁膜（第 5 絶縁膜）121 を形成する。絶縁膜 120 は、絶縁膜 121 によって生じる応力を緩和するために有用である。絶縁膜 121 は、周辺回路領域 102 にコンタクトホールを形成する際にエッチングストッパとして使用される。

【0026】

次に、図 10 に示すように、周辺回路領域 102 のみを残して選択的に画素領域 101 の絶縁膜 120、121 を除去する。続いて、図 11 に示すように、例えば、シリコン酸化膜、あるいは、ボロン、リンを含んだシリコン酸化膜からなる絶縁膜 122 を形成する。絶縁膜 122 は層間絶縁膜として機能する。ここで、画素領域 101 における絶縁膜 122 を第 3 絶縁膜として考え、周辺回路領域 102 における絶縁膜 122 を第 6 絶縁膜として考える。第 3 絶縁膜と第 6 絶縁膜とは、上記のように同時に形成されてもよいし、別々に形成されてもよい。

20

【0027】

以上の工程により、構造体 ST2 が得られる。構造体 ST2 は、第 1 領域としての画素領域 101 および第 2 領域としての周辺回路領域 102 を有する半導体基板 SUB と、第 1 絶縁膜～第 6 絶縁膜とを有する。第 1 領域としての画素領域 101 の上に第 1 絶縁膜としての絶縁膜 112 が配置され、その上に第 2 絶縁膜としての絶縁膜 113 が配置され、その上に第 3 絶縁膜としての絶縁膜 122 が配置されている。第 2 領域としての周辺回路領域 102 の上に第 4 絶縁膜としての絶縁膜 120 が配置され、その上に第 5 絶縁膜としての絶縁膜 121 が配置され、その上に第 6 絶縁膜としての絶縁膜 122 が配置されている。

30

【0028】

第 1 絶縁膜、第 3 絶縁膜、第 4 絶縁膜および第 6 絶縁膜は、第 1 組成を有し、上記の例では、シリコン酸化膜である。第 2 絶縁膜および第 4 絶縁膜は、第 1 組成とは異なる第 2 組成を有し、上記の例では、シリコン窒化膜である。同じ組成とは、同じ組成式からなる材料をさし、それらの割合が異なる場合や、多少の不純物が混入している場合も含む。

【0029】

この実施形態の製造方法は、第 1 絶縁膜、第 2 絶縁膜および第 3 絶縁膜を貫通する第 1 コンタクトホールを形成する第 1 開口工程と、第 4 絶縁膜、第 5 絶縁膜および第 6 絶縁膜を貫通する第 2 コンタクトホールを形成する第 2 開口工程とを含む。以下では、図 12～図 14 を参照しながら第 1 開口工程を説明し、図 16、図 17 を参照しながら第 2 開口工程を説明する。

40

【0030】

ここで、第 2 開口工程は、第 1 開口工程で形成された第 1 コンタクトホール 124-2 にコンタクトプラグ 125 が形成（充填）された後に実施されることが好ましい。あるいは、第 1 開口工程は、第 2 開口工程で形成された第 2 コンタクトホール 128 にコンタクトプラグ 129 が形成（充填）された後に実施されることが好ましい。あるいは、第 1 開口工程は、第 2 開口工程で形成された第 2 コンタクトホールがフォトリソパターンで

50

覆われた状態で実施されることが好ましい。つまり、第1開口工程は、第2開口工程で形成された第2コンタクトホールが露出した状態では行われない。これによれば、第1コンタクトホール124-2の底部と第2コンタクトホール128の底部とが同時に露出することがない。また、第2コンタクトホール128の後に第1コンタクトホール124-2の工程がないことで、第2コンタクトホール128形成時の反応物による汚染の可能性を抑制できる。よって、第2コンタクトホール128の底部のエッチングによって生じる半導体化合物またはその反応物が第1コンタクトホール124-2の底部のフローティングディフュージョン103および拡散領域111を汚染することを防止することができる。

【0031】

以下、図12～図18を参照しながら具体的な製造の流れを説明する。まず、図12～図14を参照しながら第1開口工程を説明する。図12に示すように、第1コンタクトホールを形成すべき位置に開口を有する第1フォトリジストパターン134を絶縁膜122の上に形成する。そして、第2絶縁膜としての絶縁膜113をエッチングストップとして、第3絶縁膜としての絶縁膜122をエッチングして開口123を形成する。なお、阻止層117が絶縁膜113と同一の組成を有する場合などにおいては、阻止層117がエッチングストップとして機能する。この場合には、阻止層117と絶縁膜113とを後続の工程で連続的にエッチングする。

【0032】

次に、図13に示すように、開口123を通して絶縁膜(第2絶縁膜)113をエッチングして開口124-1を形成する。この工程は、絶縁膜(第1絶縁膜)112のエッチングレートよりも絶縁膜(第2絶縁膜)113のエッチングレートが十分に高い(即ち、エッチング選択比が十分に高い)エッチング条件で実施される。

【0033】

次に、図14に示すように、開口124-1を通して絶縁膜(第1絶縁膜)112をエッチングし、第1コンタクトホール124-2を形成する。この工程は、半導体基板SUBに形成されたフローティングディフュージョン103および拡散領域111のエッチングレートよりも絶縁膜(第1絶縁膜)112のエッチングレートが十分に高い(即ち、エッチング選択比が十分に高い)エッチング条件で実施される。つまり、画素領域101に第1コンタクトホール124-2を形成する際、絶縁膜(第2絶縁膜)113と絶縁膜(第1絶縁膜)112とは、互いに異なるエッチング条件でエッチングされる。これによって、半導体基板SUBに形成されたフローティングディフュージョン103および拡散領域111が過度にエッチングされることを防止することができる。これにより、例えば、フローティングディフュージョン103および拡散領域111がエッチングされることによる不利益、例えばリーク電流の増大を防止することができる。

【0034】

ここで、エッチング条件について詳述する。一例として、絶縁膜(第2絶縁膜)113がシリコン窒化膜であり、絶縁膜(第1絶縁膜)112がシリコン酸化膜であり、半導体基板SUBがシリコン基板である場合を考える。この場合、絶縁膜(第2絶縁膜)113のエッチングには、エッチングガスとして CH_2F_2 または CF_4 を主成分とする混合ガスを使用することが好ましい。また、絶縁膜(第1絶縁膜)112のエッチングには、エッチングガスとして C_4F_8 または C_4F_6 を主成分とする混合ガスを使用することが好ましい。

【0035】

ここで、絶縁膜112をエッチングするエッチング条件におけるシリコン(半導体基板SUBの構成材料)のエッチングレートを R_1 、絶縁膜113をエッチングする際のエッチング条件におけるシリコンのエッチングレートを R_2 とする。このとき、 $R_1 < R_2$ が成り立つべきであり、これにより、半導体基板SUBに形成されたフローティングディフュージョン103および拡散領域111が過度にエッチングされることを防止することができる。一般に、絶縁膜(第2絶縁膜)113および絶縁膜(第1絶縁膜)112の双方のエッチングに有利なエッチング条件におけるシリコンのエッチングレートは R_1 より大

10

20

30

40

50

きい。

【 0 0 3 6 】

絶縁膜 1 2 2 への開口 1 2 3 の形成が終了した時点、即ち絶縁膜（第 2 絶縁膜） 1 1 3 および絶縁膜（第 1 絶縁膜） 1 1 2 をエッチングする前に第 1 フォトレジストパターン 1 3 4 を除去することが好ましい。これはフォトレジストパターン 1 3 4 が残った状態で絶縁膜 1 1 3、1 1 2 をエッチングすると、フォトレジストパターン 1 3 4 から揮発した物質やその反応物がフローティングディフュージョン 1 0 3 および拡散領域 1 1 1 を汚染する可能性があるからである。

【 0 0 3 7 】

第 1 コンタクトホール 1 2 4 - 2 の形成の後、図 1 5 に示すように、C V D 法などにより単層あるいは多層の金属膜を堆積し、C M P 法などにより余分な金属膜を除去することで、コンタクトプラグ 1 2 5 を形成する。ここで、コンタクトプラグ 1 2 5 の形成前に、コンタクトホール 1 2 4 - 2 を洗浄液で洗浄してもよい。また、コンタクトプラグ 1 2 5 の形成前に、コンタクトホール 1 2 4 - 2 を介して半導体基板 S U B に不純物を注入して不純物領域 1 2 6 を形成することにより、コンタクト抵抗を安定化させてもよい。

【 0 0 3 8 】

次に、図 1 6、図 1 7 を参照しながら第 2 開口工程を説明する。図 1 6 に示すように、第 2 コンタクトホールを形成すべき位置に開口を有する第 2 フォトレジストパターン 1 3 5 を絶縁膜 1 2 2 の上に形成する。そして、第 5 絶縁膜としての絶縁膜 1 2 1 をエッチングストップパとして、第 6 絶縁膜としての絶縁膜 1 2 2 をエッチングして開口 1 2 7 を形成する。

【 0 0 3 9 】

次に、図 1 7 に示すように、開口 1 2 7 を通して絶縁膜（第 5 絶縁膜） 1 2 1 および絶縁膜（第 4 絶縁膜） 1 2 0 を同一のエッチング条件で連続的にエッチングして、第 2 コンタクトホール 1 2 8 を形成する。したがって、周辺回路領域 1 0 2 の第 2 コンタクトホール 1 2 8 を形成する工程は、画素領域 1 0 1 の第 1 コンタクトホール 1 2 4 - 2 を形成する工程（絶縁膜（第 2 絶縁膜） 1 1 3 と絶縁膜（第 1 絶縁膜） 1 1 2 とを互いに異なるエッチング条件でエッチングする。）に比べて処理時間が短縮されうる。

【 0 0 4 0 】

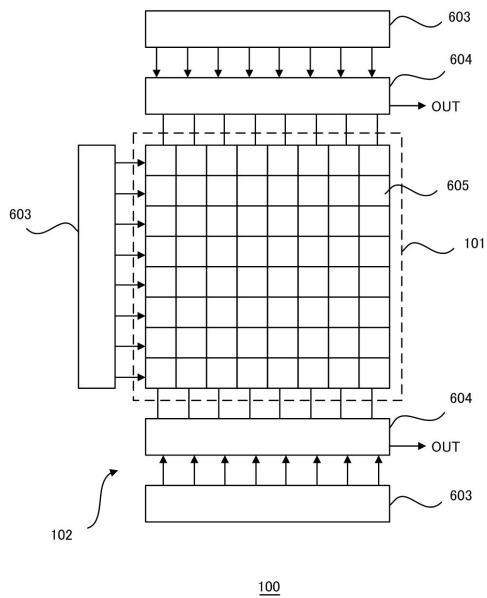
絶縁膜 1 2 2 への開口 1 2 7 の形成が終了した時点、即ち絶縁膜（第 5 絶縁膜） 1 2 1 および絶縁膜（第 4 絶縁膜） 1 2 0 をエッチングする前に第 2 フォトレジストパターン 1 3 5 を除去することが好ましい。これは第 2 フォトレジストパターン 1 3 5 が残った状態で絶縁膜 1 2 1 および絶縁膜 1 2 0 をエッチングすると、フォトレジストパターン 1 3 5 から揮発した物質やその反応物がシリサイド層 1 1 9 を汚染する可能性があるからである。絶縁膜 1 2 1 および絶縁膜 1 2 0 を同一のエッチング条件で連続的にエッチングすることは、絶縁膜 1 2 1 および絶縁膜 1 2 0 をエッチングする前に第 2 フォトレジストパターン 1 3 5 を除去する場合においてより有用である。これは、前述のように、第 4 絶縁膜としての絶縁膜 1 2 0 と第 6 絶縁膜としての絶縁膜 1 2 2 とは同一の組成を有するからである。つまり、絶縁膜 1 2 0 のエッチングレートが高いエッチング条件で絶縁膜 1 2 0 をエッチングすると、その際に絶縁膜 1 2 2 も多量にエッチングされてしまうからである。一般に、絶縁膜 1 2 0 および絶縁膜 1 2 1 の双方のエッチングが可能なエッチング条件では、絶縁膜 1 2 0 のエッチングレートが小さく、したがって、絶縁膜 1 2 2 のエッチングレートも小さくなる。また、本実施例のように、コンタクトホール 1 2 8 によってシリサイド層あるいは金属層などが露出している場合には、コンタクトホール 1 2 8 は洗浄液での洗浄を実施しないことが望ましい。洗浄液によってシリサイド層等がダメージを受けるためである。ここで、コンタクトホール 1 2 8 に対して、スパッタ等のドライエッチングを行うことで、コンタクトホール形成時の飛散物を除去することが出来る。

【 0 0 4 1 】

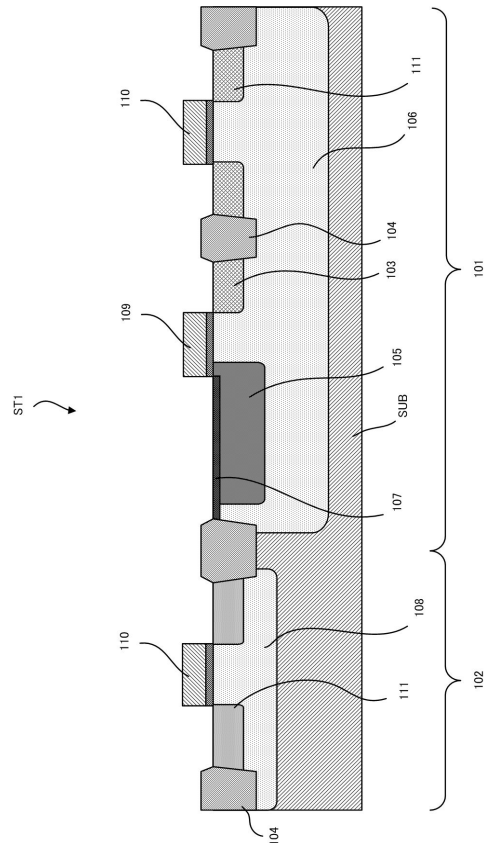
次に、図 1 8 に示すように、C V D 法などにより単層あるいは多層の金属膜を堆積し、C M P 法などにより余分な金属膜を除去することで、コンタクトプラグ 1 2 9 を形成する

。その後、最後にアルミや銅などの金属による配線パターン 130 を画素領域 101 および周辺回路領域 102 に形成する。更に、絶縁膜 131、ビアプラグ 132、配線パターン 133、マイクロレンズ 136 を形成する。ここで、必要に応じてカラーフィルタを形成してもよい。以上の工程によって、固体撮像装置 100 が完成する。

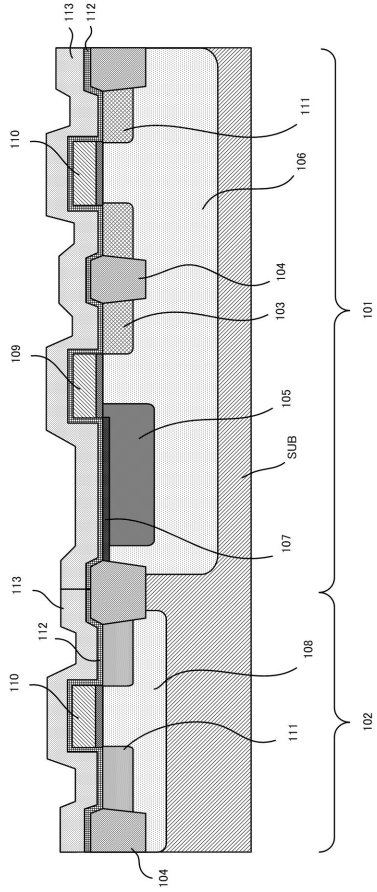
【図 1】



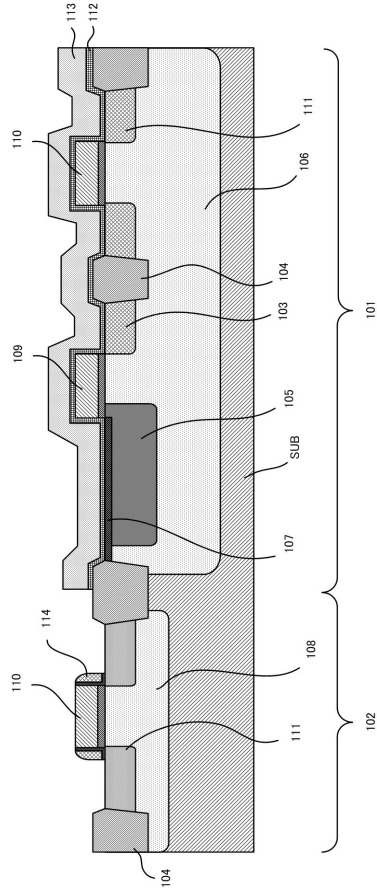
【図 2】



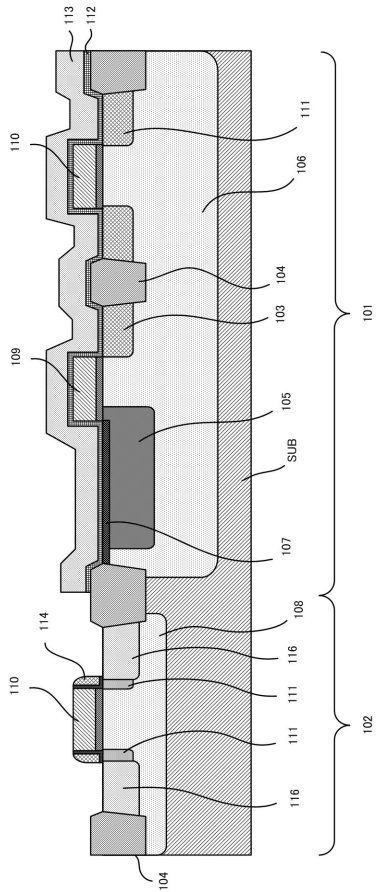
【図 3】



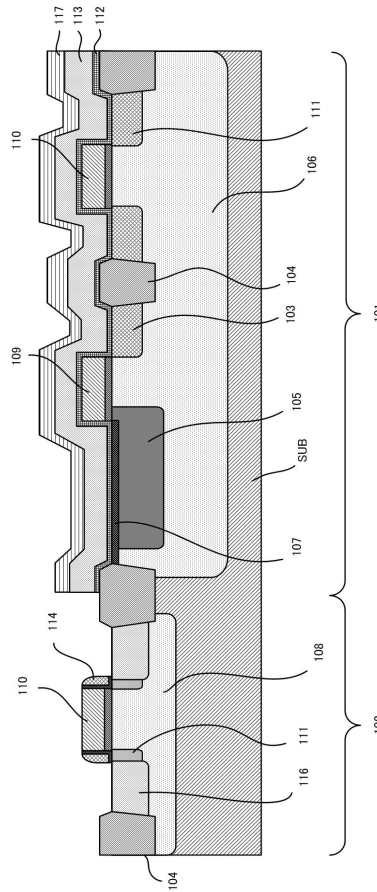
【図 4】



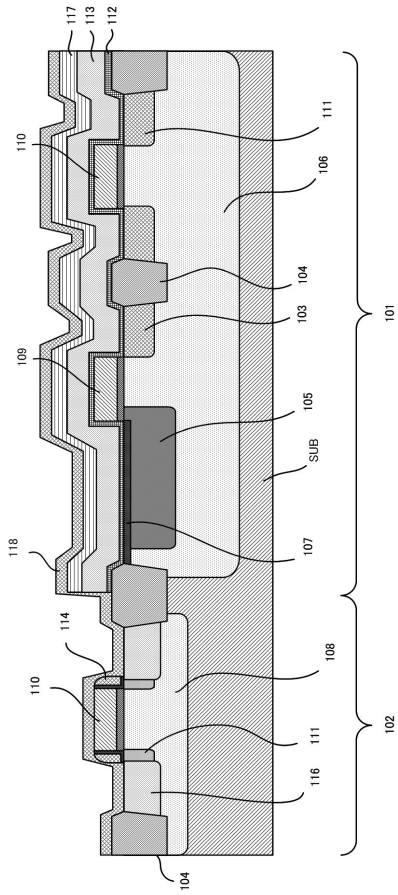
【図 5】



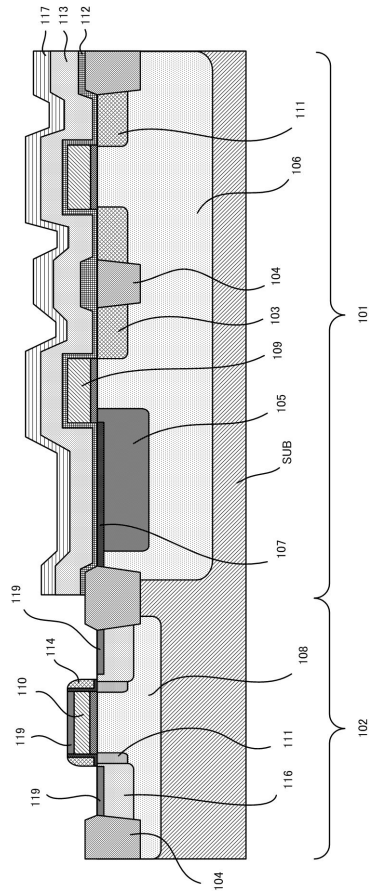
【図 6】



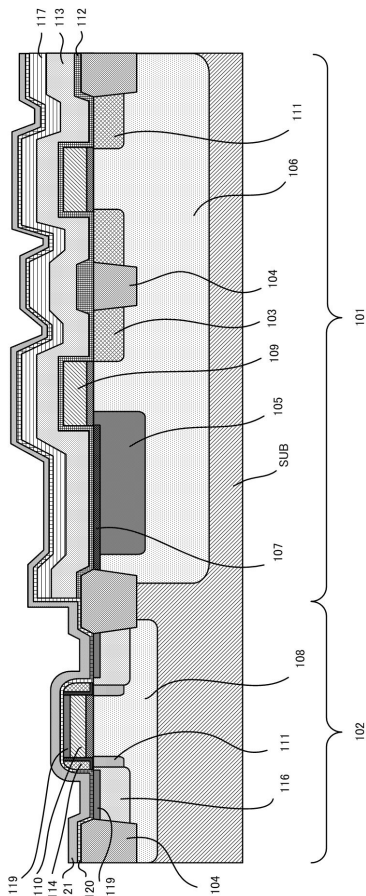
【図 7】



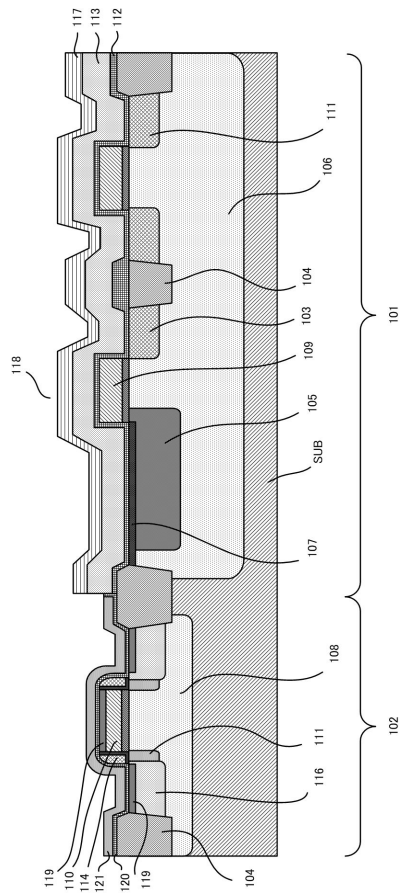
【図 8】



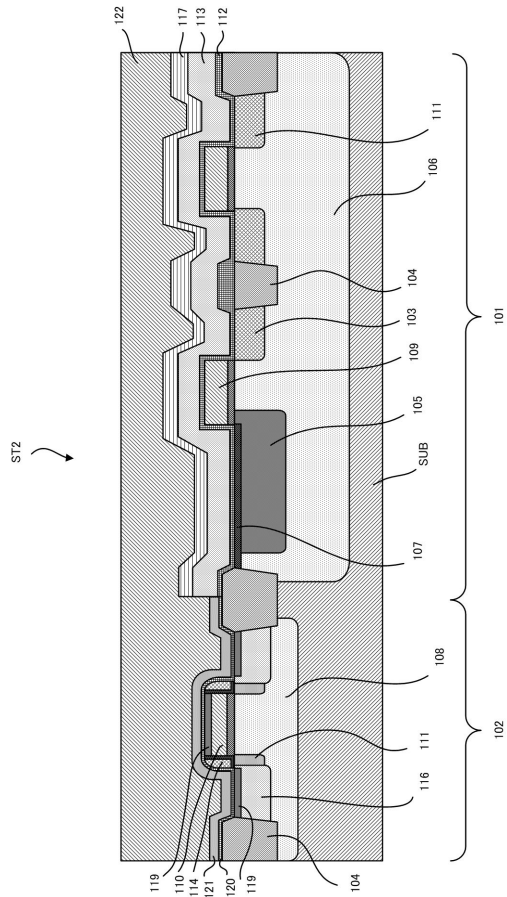
【図 9】



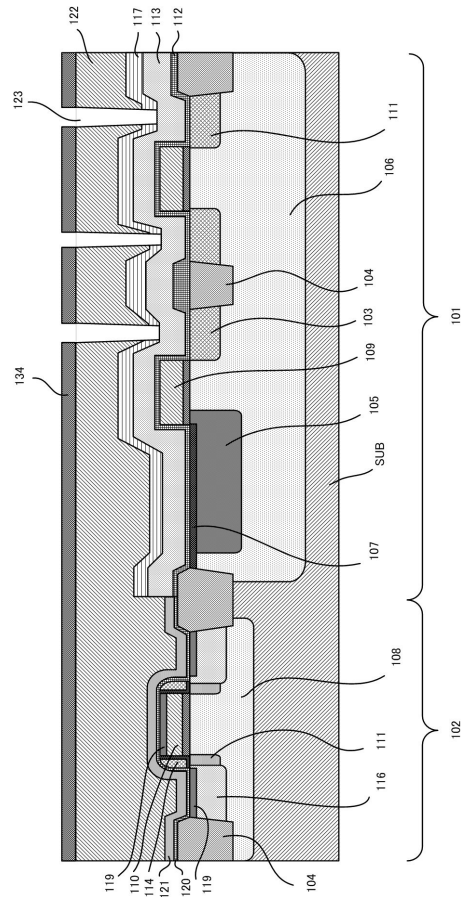
【図 10】



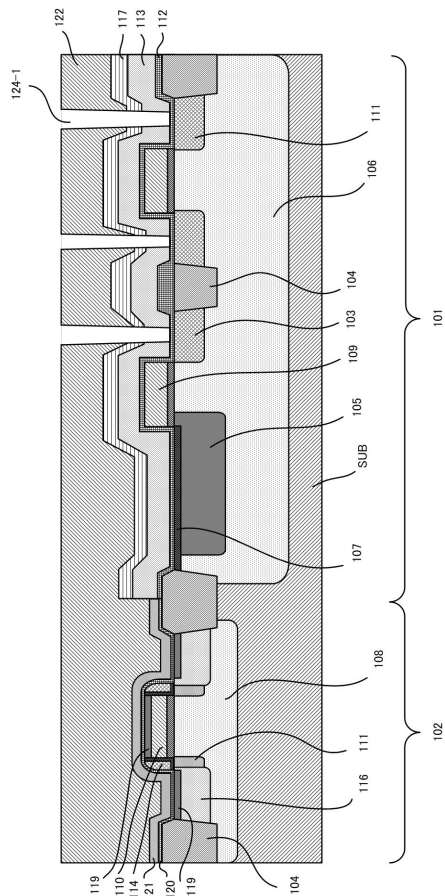
【図 1 1】



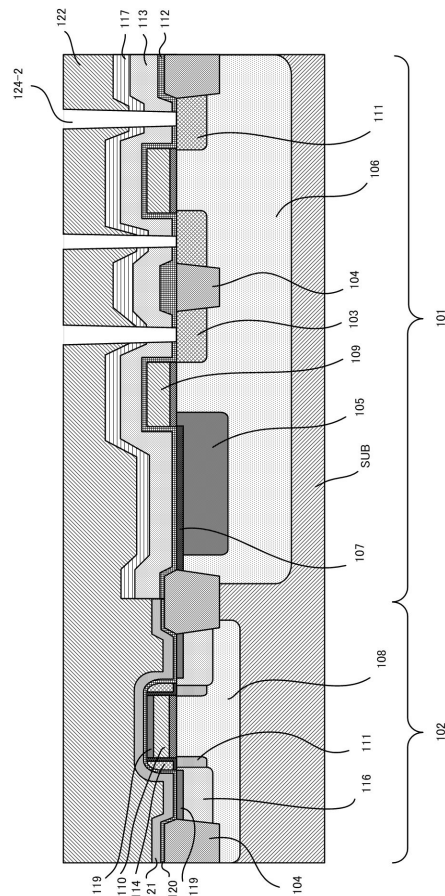
【図 1 2】



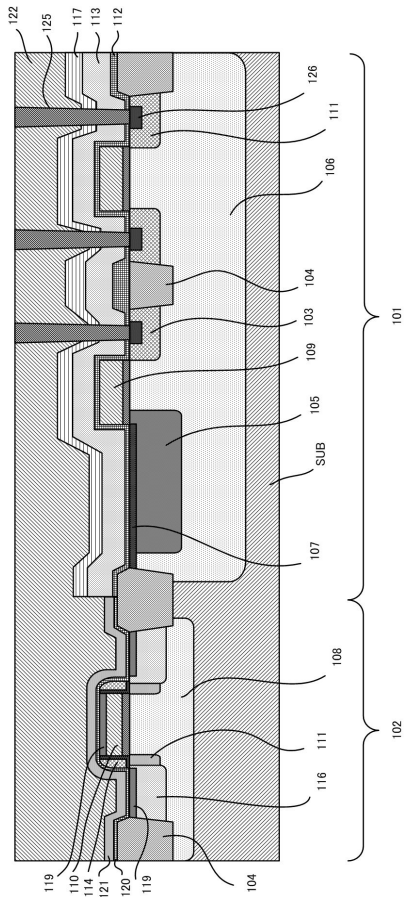
【図 1 3】



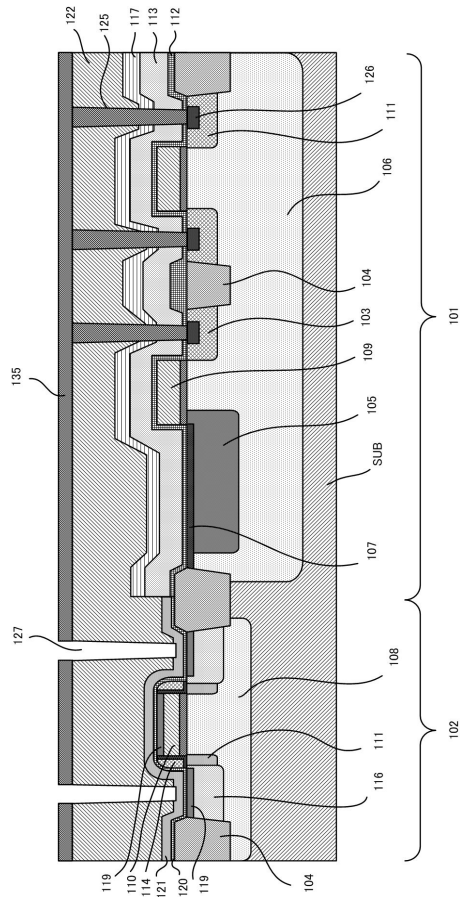
【図 1 4】



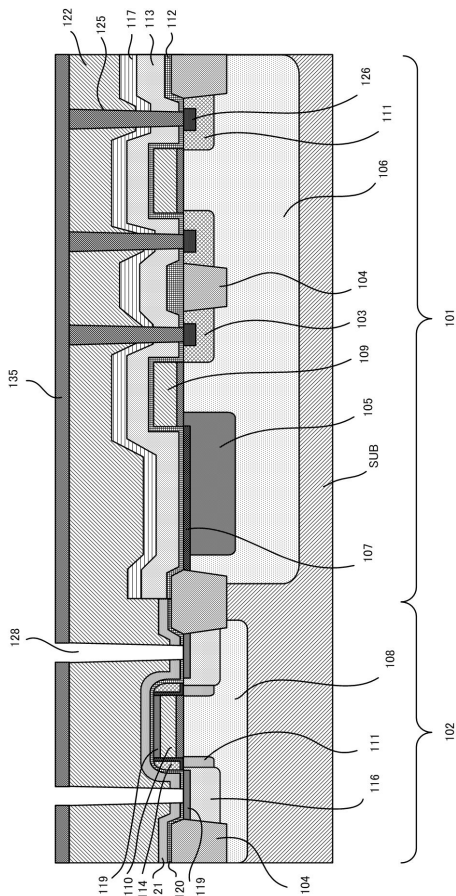
【図 15】



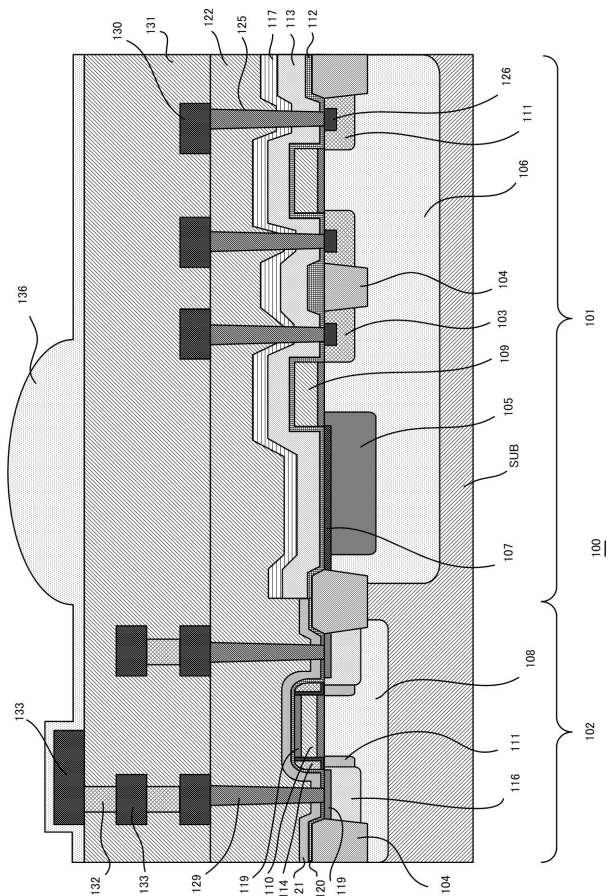
【図 16】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 加藤 愛子
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 岡部 剛士
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 今井 聖和

- (56)参考文献 特開2010-212365(JP,A)
特開2010-056515(JP,A)
特開2004-228425(JP,A)
特開2010-165907(JP,A)
特開2004-146762(JP,A)
特開2011-029604(JP,A)
特開2008-227357(JP,A)
特開2008-210893(JP,A)
特開2006-261411(JP,A)
特開2005-340475(JP,A)
特開2005-101442(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/146
H01L	21/768
H01L	21/8238
H01L	27/092
H04N	5/335