

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5253404号  
(P5253404)

(45) 発行日 平成25年7月31日 (2013. 7. 31)

(24) 登録日 平成25年4月26日 (2013. 4. 26)

(51) Int.Cl. F I  
**HO4N 7/173 (2011.01)** HO4N 7/173 630

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2009-534578 (P2009-534578)	(73) 特許権者	000002185
(86) (22) 出願日	平成19年9月25日 (2007. 9. 25)		ソニー株式会社
(65) 公表番号	特表2010-507973 (P2010-507973A)		東京都港区港南1丁目7番1号
(43) 公表日	平成22年3月11日 (2010. 3. 11)	(73) 特許権者	593181638
(86) 国際出願番号	PCT/US2007/020774		ソニー エレクトロニクス インク
(87) 国際公開番号	W02008/115205		アメリカ合衆国 ニュージャージー州 O
(87) 国際公開日	平成20年9月25日 (2008. 9. 25)		7656 パークリッジ ソニー ドライ
審査請求日	平成22年8月18日 (2010. 8. 18)		ブ 1
(31) 優先権主張番号	60/854, 191	(74) 代理人	100082005
(32) 優先日	平成18年10月24日 (2006. 10. 24)		弁理士 熊倉 禎男
(33) 優先権主張国	米国 (US)	(74) 代理人	100067013
(31) 優先権主張番号	11/726, 593		弁理士 大塚 文昭
(32) 優先日	平成19年3月22日 (2007. 3. 22)	(74) 代理人	100109070
(33) 優先権主張国	米国 (US)		弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】 オブジェクト指向ハードウェアのためのシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

オブジェクト指向ハードウェアシステムであって、

ハードウェアに実装されており、第1の機能、第2の機能、及び、第3の機能をそれぞれ実行するよう構成されている第1の信号処理モジュール、第2の信号処理モジュール、及び、第3の信号処理モジュールを少なくとも備え、

前記第1のモジュールは、第2の機能又は第3の機能を実行せず、前記第2のモジュールは、第1の機能又は第3の機能を実行せず、前記第3のモジュールは、第1の機能又は第2の機能を実行せず、

システムは、さらに、

前記信号処理モジュールへデータを送り、又は、前記信号処理モジュールからデータを受けよう構成されており、前記第1の機能、前記第2の機能、又は、前記第3の機能を実行しない、少なくとも一つのインプットモジュール及び/又はアウトプットモジュールと、

前記第1の信号処理モジュール、前記第2の信号処理モジュール、及び、前記第3の信号処理モジュールそれぞれを互いに接続し、前記インプットモジュール及び/又はアウトプットモジュールを前記第1の信号処理モジュール、前記第2の信号処理モジュール、及び、前記第3の信号処理モジュールに接続する少なくとも三つのクロスポイントスイッチと、

を備え、

前記クロスポイントスイッチは、前記第 1 の機能、前記第 2 の機能、又は、前記第 3 の機能を実行せず、前記モジュールのいずれかの出力が他のモジュールに経路決定されるよう構成されており、これにより、当該モジュールの論理パイプラインを設定し、そして、当該論理パイプラインの中及び外のモジュールを変更し、当該論理パイプラインのシーケンス順序を変更するよう動的に構成されていることを特徴とするシステム。

【請求項 2】

請求項 1 に記載のシステムであって、前記信号処理モジュールは、フィルターモジュール、ディクリプションモジュール、エンクリプションモジュール、トランスコードモジュール、マルチプレクサモジュール、デマルチプレクサモジュール、及び、スケーラーモジュールからなるモジュールの群から選択されることを特徴とするシステム。

10

【請求項 3】

請求項 1 に記載のシステムであって、フィルターモジュール、ディクリプションモジュール、エンクリプションモジュール、トランスコードモジュール、マルチプレクサモジュール、デマルチプレクサモジュール、及び、スケーラーモジュールを備え、それらモジュールは、前記クロスポイントスイッチによって互いに通信することを特徴とするシステム。

【請求項 4】

請求項 1 に記載のシステムであって、前記インプットモジュール及び/又は前記アウトプットモジュールは、ファーストインファーストアウト ( F I F O ) バッファモジュール、取り外し可能なメモリ媒体、ビデオ供給モジュール、パーソナルコンピュータインターフェイス ( P C I ) モジュール、I D E インターフェースからなる群から選択されることを特徴とするシステム。

20

【請求項 5】

請求項 3 に記載のシステムであって、ファーストインファーストアウト ( F I F O ) バッファモジュール、取り外し可能なメモリ媒体、ビデオ供給モジュール、パーソナルコンピュータインターフェイス ( P C I ) モジュール、I D E インターフェースを備えることを特徴とするシステム。

【請求項 6】

請求項 1 に記載のシステムであって、前記信号処理モジュールは、ハイデフィニションメディアインタフェース ( H D M I ) 受信機モジュールであることを特徴とするシステム。

30

【請求項 7】

請求項 6 に記載のシステムであって、前記受信機モジュールを画像コンポジットモジュール又は画像ミラーモジュールの少なくとも一つに接続する汎用パイプラインスイッチを備え、前記 H D M I 受信機からのビデオ情報は、視覚的表示によるビデオの表示のためにディスプレイドライバモジュールへ送られることを特徴とするシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般にオブジェクト指向ハードウェアのためのシステム及び方法に関する。

40

【背景技術】

【0002】

通常、複雑なタスクは、より小さいタスクに分割することによって処理される。ソフトウェアにおいて、これは、オブジェクト指向設計と呼ばれる。オブジェクトは、機能についての自己完結型のモジュールとして定義される。

【0003】

今日のデジタルプロダクト設計 (例えば、デジタルテレビの設計など) のアプローチは、チップに関して、理想的なシステムとの統合を最大限生かすことに焦点が当てられている。ここで分かるように、このハードウェアの複雑性は、リードタイム (lead time) を長くする。リードタイムが長くなることは、ユニットのコスト削減のための適応性を犠牲

50

にする可能性がある。チップの準備が整うまで、それは、所望の特徴のいくらかを欠く可能性があるにもかかわらず、未使用の機能を含む可能性がある。したがって、所望の特徴のセットを実現すると同時に、使用されない、又は、少なくとも求められていないチップの全体の機能を強化するよう追加のパーツが必要とされる可能性がある。その結果、ソフトウェアには、全てのコンポーネントを同時に動作させるタスクが付与される。

【 0 0 0 4 】

ここで、さらに分かるように、デジタルプロダクトは、汎用コンピュータを常に必要とする訳ではない。さらに、一般的な時分割バスは、専用のデータを移動させる最良の方法とは限らない。

【 0 0 0 5 】

そして、さらに分かるように、多くの消費者向け電子機器 (consumer electronics、CE) は、実行される特定のタスクを有し、タスクの変化は、人間のゆっくりとした入力にペースが合わせられる。所定の機能及び性能順序の詳細が異なる所定のプロダクトを用いた場合、通常、タスクの分割は、シリアルパイプラインとして実行される一連のステップ又は機能を伴うこととなる。したがって、理解される通り、デジタルテレビを含むそのような CE プロダクトは、オブジェクト指向ハードウェアアーキテクチャの対象となる。

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 0 6 】

オブジェクト指向ハードウェアシステムは、ハードウェアに実装されている一又は二以上の信号処理モジュールであって、信号の機能をそれぞれ実行するよう構成されている信号処理モジュールと、その信号処理モジュールへデータを送り、又は、その信号処理モジュールからデータを受けよう構成されている一又は二以上のインプットモジュール及び/又はアウトプットモジュールとを備える。その信号処理モジュールは、単一の電子コンポーネントより多く、別々に販売される消費者向け電子デバイス全体よりは少ない。

【 0 0 0 7 】

例として、信号処理モジュールは、フィルターモジュール、ディクリプションモジュール、エンクリプションモジュール、トランスコードモジュール、マルチプレクサモジュール、デマルチプレクサモジュール、スケーラーモジュール、又は、ハイデフィニションメディアインタフェース (HDMI) 受信機モジュールとすることができる。対照的に、インプットモジュール及び/又はアウトプットモジュールは、ファーストインファーストアウト (FIFO) バッファモジュール、P \_\_\_ O \_\_\_ D \_\_\_ (“POD”) モジュール、取り外し可能なメモリ媒体、ビデオ供給モジュール、i L i n k インタフェースモジュール、パーソナルコンピュータインターフェース (PCI) モジュール、I D E (integrated drive electronics) インタフェースとすることができる。HDMI 受信機からのビデオ情報が視覚的表示によるビデオの表示のためにディスプレイドライバモジュールへ送られる場合、汎用パイプラインスイッチは、例えば、モジュールを画像コンポジットモジュール又は画像ミラーモジュールに接続するよう利用することができる。

【 0 0 0 8 】

他の側面において、消費者向け電子 (CE) デバイスを設計するための方法は、共通の通信機能を用いて、複数のオブジェクト指向ハードウェアモジュールを設置することを含む。また、方法は、CE デバイスを実現する設計において、モジュールのサブセットを選択すること、そして、モジュールのサブセットを構成することを含む。

【 0 0 0 9 】

さらに他の側面において、オブジェクト指向ハードウェアシステムは、ハードウェアに実装されている一又は二以上の信号処理モジュールと、その信号処理モジュールへデータを送り、又は、その信号処理モジュールからデータを受けよう構成されている一又は二以上のインプットモジュール及び/又はアウトプットモジュールとを備える。その信号処理モジュールは、単一の電子コンポーネントより多く、別々に販売される消費者向け電子デバイス全体よりは少ない。

10

20

30

40

50

## 【 0 0 1 0 】

本発明の詳細、さらに、その構造及び動作については、添付の図面の参照によって最も良く理解することができる。図面においては、同じ参照番号は同じパーツを表す。

## 【 図面の簡単な説明 】

## 【 0 0 1 1 】

【 図 1 】 オブジェクト指向ハードウェアシステムの第 1 実施例のブロック図である。

【 図 2 】 オブジェクト指向ハードウェアシステムの第 2 実施例のブロック図である。

【 図 3 】 オブジェクト指向ハードウェアシステムにおいて用いることが可能なモジュール（スケラ）例のブロック図である。

## 【 0 0 1 2 】

概して、本発明では、CEプロダクトのためのアーキテクチャがハードウェアオブジェクトのライブラリを用いて設計可能であることが分かる。そのハードウェアオブジェクトは、共通のインターフェース構造を用いて互いに接続される。ここで理解されるように、このハードウェアのモジュール性は、プロダクト特性の適応性を最大にし、さらに、プロダクトレベルよりむしろモジュールレベルで差別化されるべき特徴をなくすこと（コモディティ化）を可能にする。オブジェクト指向ハードウェアアーキテクチャは、オブジェクト、インターフェース、データの経路決定という3つの対処すべき問題と関係する。

## 【 0 0 1 3 】

最初に図 1 は、制限されない第 1 のオブジェクト指向ハードウェアの全体 1 0 を示す。図 1 において、ハードウェアで実装されている様々なモジュール（または、以下、「オブジェクト」とも呼ぶ）は、所望の機能に従う。すなわち、システム内で実行される任意の機能は、ハードウェアモジュールの対象となる。この分割は、必要に応じて、容易な利用を可能にし、さらに、機能の代理を可能にする。

## 【 0 0 1 4 】

“ハードウェアモジュール”又は“ハードウェアオブジェクト”については、単一のレジスタや、キャパシタ、トランジスタなどのような単一の電子コンポーネントよりも多く、完成品であるテレビ、ディスクプレーヤー、PVRなどのような別々に販売されるCEコンポーネント全体よりは少ないことを意味する。

## 【 0 0 1 5 】

ここで考慮されるハードウェアオブジェクトの中には、NTSCチューナー、ATSCチューナー、コンポジット用アナログインプットモジュール、S-VIDEO用アナログインプットモジュール、コンポーネントインプット用アナログインプットモジュール、IPネットワーク通信モジュール、HDMI（又はDVI）インプットモジュール、VGAインプットモジュール、デコーダー（MPEG、AVC、DVなど）モジュール、スケラモジュール、画像処理（image enhancement）モジュール（例えば、インタレース除去モジュールなど）、ユーザーインターフェースを生成するためのグラフィックジェネレータモジュール、ディスプレイドライバモジュールなどがある。

## 【 0 0 1 6 】

したがって、当然のことながら、オブジェクト指向ハードウェアアプローチは、所望の機能を実現するよう互いにパイプライン接続が可能であり、データ経路の中又は外にスイッチすることが可能であるモジュールのライブラリを構築する。

## 【 0 0 1 7 】

図 1 は、本発明であるオブジェクト指向ハードウェアの原理を用いた第 1 例のシステム 1 0 を示す。そのオブジェクト指向ハードウェアは、テレビ用ビデオ処理システムとして採用されてもよい。図 1 に示す各要素は、それぞれのハードウェアモジュールによって実装することが可能である。そして、必要に応じて、全てのハードウェアモジュールは、同一の回路基板上に配置されていてもよい。モジュールは、データ交換を行うよう3つのスイッチの手段 1 2、1 4、1 6 によって通信する。以下で詳述するように、スイッチ 1 2、1 4、1 6 は、任意のインプットを任意のアウトプットに経路決定することを可能にするクロスポイントスイッチとしてもよい。

10

20

30

40

50

## 【 0 0 1 8 】

図 1 の限定されていない例に示すモジュールの中には、復調器 (demodulator) モジュール 1 8 がある。その復調器モジュール 1 8 は、例としてオーディオ - ビデオ源から情報を受ける。信号をフィルターにかけるフィルターモジュール 2 0 が用いられていてもよく、さらに、暗号化されているデータストリームを復号するディクリプションモジュール 2 2 が用いられていてもよい。同様に、システム 1 0 によって出力されるデータを暗号化するエンクリプションモジュール 2 4 が用いられていてもよい。ビデオのトランスコーディングは、トランスコードモジュール 2 6 で行ってもよい。

## 【 0 0 1 9 】

発信データの多重化及び受信データの逆多重化 (demultiplexing) は、それぞれマルチプレクサモジュール 2 8 及びデマルチプレクサモジュール 3 0 によって提供されるようにしてもよい。ビデオのスケーリングは、スケーラーモジュール 3 2 によって提供されてもよい。データインプット及び / 又はデータアウトプットは、ファーストインファーストアウト (FIFO) モジュール 3 4 によって操作されていてもよい。フィールドプログラマブルゲートアレイ (FPGA) によって実装可能なコントロールモジュール 3 6 は、上記の信号処理モジュールの様々な動作を制御 / 調整することが可能である。

## 【 0 0 2 0 】

一般に、上記の信号処理モジュールのそれぞれは、唯一の機能を実行するよう構成されていることに加えて、図 1 は、システム 1 0 が外側のコンポーネントと通信するための様々なインプットモジュール / アウトプットモジュールを備え得ることを示す。制限されない例とするために、システム 1 0 は、P \_\_ O \_\_ D ( " P O D " ) モジュール 3 8、ソニーメモリースティック (株式会社ソニーの商標) のような取り外し可能なメモリ媒体 4 0、ビデオ供給 (video delivery) モジュール 4 2、i L i n k インタフェースモジュール 4 4、パーソナルコンピュータインターフェース (P C I) モジュール 4 6、I D E (Integrated Drive Electronics) インターフェース 4 8 を含んでもよい。

## 【 0 0 2 1 】

図 2 は、他の例として、テレビディスプレイを動作させるのに用いることが可能なオブジェクト指向ハードウェアモジュールシステム 5 0 を示す。図で示す通り、システム 1 0 は、第 1 乃至第 3 ソースインターフェースモジュール 5 2、5 4、5 6 から、ビデオ情報を受けることが可能である。各ソースインターフェースは、デジタル著作権管理によって保護されているビデオストリームを個別のハイデフィニションメディアインターフェース (HDMI) 受信機モジュール 5 8、6 0、6 2 に送ることが可能である。HDMI 受信機モジュールからのストリームは、汎用パイプラインスイッチ (universal pipeline switch) 6 4 を介して画像コンポジットモジュール 6 6 (例えば、3つのデータストリームから合成画像を描画 (rendering) する) や画像ミラーモジュール 6 8 などのような適切な信号処理モジュールにスイッチさせることが可能である。図に示すように、信号処理モジュールのアウトプットは、テレビディスプレイ 7 2 上にビデオ画像を写すためにスイッチ 6 4 を介してディスプレイドライバ 7 0 に送られてもよい。

## 【 0 0 2 2 】

図 3 は、デジタルテレビに用いられるモジュールのより詳細な例を示す。その図では、スケーラーモジュールを例示する。示してあるスケーラーモジュールは、インプット FIFO 7 4 でビデオのフレームを受け、デマルチプレクサ 7 6 でそれを逆多重化し、そして、それをインプットキャンバス 7 8、クリッパー 8 0、スケーラープロセッサ 8 2 を通じて処理して、後に続くモジュールの要求を満たすようビデオのサイズを変更する。サイズ変更されたビデオは、アウトプットキャンバス 8 4 を通じて送られ、アウトプット FIFO パフォーマー 8 6 を介して、後に続くモジュールに出力される。制御パラメータは、インプットフォーマット及び所望のアウトプットフォーマットを表す。スケーラーのアルゴリズムのためのオプションが存在する場合、マイクロコードは、読み込まれて選択され得る。

## 【 0 0 2 3 】

本発明によって理解されるように、共通のインターフェースがモジュールを相互に接続

10

20

30

40

50

するよう用いられるとき、上述のハードウェアのモジュール性は、最も汎用性が高くなる。専用のモジュールは、外側のコンポーネントに結合され、さらに、内部の相互接続は、共有インターフェースのために互換性を有する。

#### 【0024】

重要なインターフェースは、パイプラインで結合されているデータをモジュールからモジュールへ移動させる。PCIエクスプレスのために用いられるようなシリアルマルチギガビット技術や、ギガビットイーサネット（登録商標）を用いることも可能である。これら通信方法は、数十センチメートル伸びる単純な一組のワイヤ上でデータを転送する。例であるが、その通信方法は、テレビの筐体内における配線の調整を容易にする。パイプラインにおける各モジュール毎のデータ転送速度は、システムで共通にすることが可能であり、各ポイントでの接続についての固定又は動的な要求を満たすようプログラムしてもよい。また、データを保護するようデジタル著作権管理のサポートを含めることが可能である。

10

#### 【0025】

共通のインターフェースにおける他のコンポーネントは、制御情報及びステータス情報を交換する手段を具備することが可能である。これは、I2C、又は、同様な低ビットレートバスによって使用可能となる。その低ビットレートバスは、使用料（royalty）の問題を回避するために用いられる。共通の基準クロックソースは、全てのモジュールに供給されていてもよい。内部の位相同期回路（phase-locked loop、PLL）又は同様なクロック乗算器は、例えば、必要な内部クロックを生成するよう25MHzを使用することが可能である。低スピードかつメトロノームのようなストローク（すなわち、フレームクロック）をシステムの同期のために用いてもよい。

20

#### 【0026】

次にデータの経路決定について検討すると、専用の単純な接続は、常にお互いへデータを供給するモジュール間に存在させてもよいが、前述のように、スイッチを用いることによって、より高い適応性を実現してもよい。これは、筐体上の異なる領域におけるモジュールを集団として集め易くする。スイッチは、比較的高度でない技術であるセレクターから、より汎用性の高いクロスポイントにまで及ぶ。

#### 【0027】

クロスポイントスイッチは、任意のインプットを任意のアウトプット（同時に、一つ以上のアウトプット）に経路決定することを可能にする。動的構成は、論理パイプラインの中及び外のモジュールを変更するよう用いてもよい。シーケンス順序でも変更可能である。FIFOは、データを平坦化させ、クロックレートを調和させるよう連結ポイントで実装可能である。

30

#### 【0028】

上記説明に加えて、ここで考慮されるように、本発明のオブジェクト指向ハードウェアモジュールは、既知である動作中のシステムへの追加部として検査され確認されるユニットとすることができる。新しいモジュールは、動作中の製造ラインに段階的に導入することができる。最も汎用性が高く統合された形態は、各モジュールを単一のクロスポイントに接続することである。

40

#### 【0029】

また、モジュールをサブシステムに組み込んでもよい。そのサブシステムは、上位の機能のセットを有する単一のモジュールとして扱われる。ある実施例では、複数のプロダクト間で用いることが可能なアナログインプットインターフェース用とすることができる。同一プロダクトでよく用いられるモジュール用のパッケージングを共通にすることは、コストの削減を可能にする。他のモジュールは、フィールド更新（field upgrades）を扱えるようにする物理的なプラグインとして構成してもよい。

#### 【0030】

システムセットアップ及びシステム制御に関して、図1に関して上述されているように単純なマイクロプロセッサ及び状態機械を用いてもよい。制御は、オブジェクトの初期化

50

及びデータの経路決定の仕様を含めることが可能である。

【 0 0 3 1 】

モジュールのパイプラインにおける動作は、動作モードの選択から始まる。これは、必要なマイクロコードを（パイプラインバスを通じて）読み込み、そして、そのマイクロコードを所望のトポロジーと調和するセットとなるよう切り替え（switch）を行う。仕様は、モードの変更を容易に行えるようテーブル内に記述されていてもよい。

【 0 0 3 2 】

上記説明を考慮すると、オブジェクト指向ハードウェアは、消費者向けデジタル電子機器を設計し構築する有利なシステムのアプローチであることが分かる。それは、プロダクトを別個の機能的なタスクに分け、そのタスクは、分離して完成されており、消費者のニーズを満たすよう内外で交換され得る。それは、非常に機動的で、市場における変化と需要への迅速な対応を可能にする。

【 0 0 3 3 】

追加の非制限的実装の詳細

一連のバースト又はバッファの第1ビットが送られるとき、データは、有効な状態の同期ラインを用いて連続的に送られることが可能である。第1データビットの後、即座に、又は、バーストの間の空白時間前の任意の時間に、同期信号は削除されてもよい。受信モジュールは、有効な状態の同期信号の端部を用いることができ、その同期信号の端部は、新しいバッファの開始を示す。バッファのフォーマットは、送信モジュール及び受信モジュールの両方によって認められているものとするができる。典型的なフォーマットは、一連のMPEG2トランスポートストリームのフォーマットである。

【 0 0 3 4 】

“プッシュ”モードは、送信モジュールにクロックラインを動作させることによって実行されてもよい。“プル”モードは、受信モジュールにクロックラインを動作させることによって実行されてもよい。追加の準備ラインは、フロー制御のためのクロックを動作させない側で動作することが可能である。第5のラインは、エラーを有するバッファにフラグを付加するよう利用することが可能であるが、一般に、送信エラー及びコンテンツエラーは、“帯域内”（in band）のビットを用いて、又は、制御バス/通知バスを用いることによって操作され得る。プッシュモード/プルモードは、全てのシリアルデータストリーム接続のための機器構成レジスタの選択肢とすることが可能である。

【 0 0 3 5 】

各シリアルポート接続は、方向及びストリームのタイプに応じて設定可能とすることができる。各ポートのために4又は5つのピンを用いることができる。主要な4つの信号は、シリアルトランスポートストリームのために用いられてもよく、第5信号は、ストリームアドレスを提供する外部装置のためのメカニズムを提供する。

\*シリアルデータ（インプット/アウトプット）

\*データクロック（インプット/アウトプット）

\*データ同期（インプット/アウトプット - データと同様）

\*有効であるか/準備が完了しているか（無効なソースによってアクティブな状態にされる、準備が完了していない受信機によってアクティブな状態にされる）

\*アドレス（送られるストリームをインプットが表す）

【 0 0 3 6 】

クロックが外部に供給されるとき、上述のクロスポイントスイッチは、アドレス可能なポートを有することができる。これは、ポートアドレスをさらに特定する非同期アドレス値をクロスポイントに提供する追加のインプットラインを意味する。最初に開始ビットを有効な状態にすることによって、ポートのサブアドレスが供給されてもよく、その後、4つのビットアドレス値及び合計6つのビットについてのチェックビットが、供給されてもよい。ビットの変化は、システム全体のクロック値によって同期をとることができる。サブアドレスは、他のサブアドレスに明示的に置き換えられるまで有効であり続けるようにしてもよい。この特徴は、1394や、USB、イーサネット（登録商標）などの時分

割のストリームを有するデバイスに接続するときに有用である。

【 0 0 3 7 】

モジュール間でデータを通過させるために用いられるインターフェースは、相互接続を容易にするよう規格化されていてもよい。

【 0 0 3 8 】

制御バスへの接続に加えて、モジュールは、インプットデータストリーム、アウトプットデータストリーム、通知バスへの接続、そして、外部のバス又はデバイスへの接続さえも有することができる。

【 0 0 3 9 】

内部モジュールでの通信の概要

モジュール間の通信は、3つの共通のメカニズムである制御、通知、データを用いることが可能である。3つ全ては、接続の数を最小化するよう直列的に実装されていてもよい。

【 0 0 4 0 】

全てのモジュールに共通する特徴

- \* システムクロック
- \* ソフトウェアリセット
- \* 省電力モード

【 0 0 4 1 】

全てのモジュールに共通するいくつかの特徴が存在する。システムクロックは、タイミングを調整する目的で用いるよう全てのモジュールへ供給される。(このクロックは、シリアルデータバスのクロック調整に用いてもよいが、必須ではない。)制御レジスタは、電源投入時と同じ状態にモジュールをリセットするよう用いることができる。他のレジスタは、モジュールを省電力モードにするよう用いることができる。省電力モードであるとき、モジュールは、省電力モードを抜けるコマンドを受けるとのみが可能な最小電力を使用する。

【 0 0 4 2 】

制御バス / ステータスバス

制御は、I2Cバスを介して実行されてもよい。これは、構成機器レジスタ、コマンド供給、ステータス検索へのアクセスを提供する。

【 0 0 4 3 】

通知バス

上記バスの一つは、通知バスとしてもよい。その通知バスは、専用の完了メッセージ又は緊急メッセージのために用いてもよく、通常、それらメッセージは、割り込み構造により実現される。通知を生成することができる各モジュールは、予定される用途ごとに構成機器レジスタを有してもよい。通知は、処理のために制御モジュールによって待ち行列に入れられて(キューされて)もよい。どんなタイプのモジュールでも、通知を送ることが可能であるが、制御モジュールのみは、それを処理することが要求される。

【 0 0 4 4 】

各通知は、32ビット長であり、制御モジュールによって定義されるフォーマット内にある。(制御モジュールが、各モジュールにおける構成機器レジスタの初期化に関与することを再呼び出しする。)0値は、有効ではないとして扱われ、電源投入時又はリセット時の状態である。通知内のビットである通知の優先度及び通知の記述は、使用可能である制御モジュールのIDを表すよう割当てることができる。

【 0 0 4 5 】

通知は、それ自体で再生成させるか、又は、再送されるよう再度動作状態にすることを要求するかのどちらかを行う。それ自体で再生成する通知は、通知をトリガーするイベントが発生するたびに自動的に送られてもよい。これは、通常、非周期的かつ予期しないイベントに利用される。バッファ不足などのような状態に合わせて変化する通知は、状態の変化のみに応じて送られてもよく、各システムクロックを用いて繰り返し送られるような

10

20

30

40

50

ことはない。再度作動状態となっている通知は、再送されるまえに通知を受け入れるようコマンドを要求することができる。

【 0 0 4 6 】

通知バスは、オープンコレクタードライバーを有する単一回線であって、端部の同期化のために用いられるシステムクロックを有する単一回線としてもよい。モジュールは、常に、バスを低ビットで動作させる。通知を送るまえに、モジュールは、バスが休止していることを保証するよう16のクロックの周期（通知長さ）の間、通知バスをリッスンする。各通知は、開始ビットを有効な状態にすることによって開始することができる。開始ビットの後に最初のデータビットMSBが続く。モジュールが、その通知のビットである論理1を有効な状態にし、それは、他のモジュールが同時に論理0を有効な状態にしてい

10

【 0 0 4 7 】

通知を受けるよう専用の回路を用いることが可能である。それは、CPU又は他の制御デバイスを使用可能にするためにフィルターの前で優先順位を決定するように機能することができる。通知は、優先順位のリストのようなFIFOにキューされてもよい。割り込みレベル（level type interrupt）は、任意の通知がキューされているときはいつでも有効な状態としてもよい。デバイスの読み取り部（メモリの位置など）は、通知の間、最高

20

【 0 0 4 8 】

利用可能なモジュールの例は以下を含む。

- \* Q A M 復調器
- \* 8 V S B 復調器
- \* クロスポイントスイッチ
- \* N T S C から M P E G 2 へのトランスコーダ
- \* M P E G から N T S C へのトランスコーダ
- \* D V から M P E G 2 へのトランスコーダ
- \* P I D フィルター及び P I D トランスレータ
- \* C P U バッファへのシリアルデータストリーム（ P C I のイニシエータを介した）
- \* シリアルデータストリームへの C P U バッファ（ P C I のイニシエータを介した）
- \* デクリプションモジュール
- \* エンクリプションモジュール
- \* ビデオデマルチプレクサ（アウトプットコンポーネントビデオ）
- \* オーディオデマルチプレクサ（右/左アウトプット）
- \* オーディオデマルチプレクサ（5.1アウトプット）
- \* オーディオデマルチプレクサ（その他のアウトプット）
- \* 一般的な F P G A（動的にダウンロード可能なプログラムを用いて）
- \* システムコントローラ（ R A M や、 R O M、フラッシュを用いた C P U ）
- \* データストリーム F I F O
- \* ボイスオーバーアイピー
- \* 配置のポイント（ P o i n t O f D e p l o y m e n t、 P O D ）
- \* D A V I C
- \* D O C S I S
- \* i . L I N K（ 1 3 9 4 ）

30

40

50

\*メモリースティック

\* I D E

F I F Oモジュール

【 0 0 4 9 】

F I F Oモジュールは、ファーストインファーストアウトに基づいてデータをバッファに格納するよう用いられるメモリ要素とすることができる。また、それは、記憶要素や、転送要素、遅延ライン、再スキャンバッファモード、タイムスタンプに基づくフロー制御などとして用いることができる。

【 0 0 5 0 】

F I F Oに関して、データは、上流要素からプッシュ（データが利用可能であるときプルされる）されることが可能であり、そして、下流要素によってプルされることが可能である。データビットは、通常、個別に記憶されるが、ランレングスエンコーディングスキームは、圧縮可能なデータのために用いることができる。長いデータブロックを有するストリームのタイプに関して、インプットストリームからの同期ビットは、カウンタレジスタによってF I F O内に記憶され得る。そのカウンタレジスタは、主要なF I F O内の下位のF I F Oとして機能する。データビットがクロックに調整されるのと同時に、カウンタレジスタに一定数を追加することができる。同期ビットとなったとき、レジスタは、下位のF I F Oにプッシュされ、新しいカウンタが開始する。データビットがF I F Oからプルされると同時に、最後に更新された（最も古い）カウンタは、そのカウンタが0になるまで各ビットとともに一定数が減らされる。この点において、アウトプット同期信号は、有効な状態となり、次のカウンタは、下位のF I F Oからプルされる。短いデータブロックのストリームのタイプに関して、同期ビットは、主要なデータストリームへの平行ビットストリームとして記憶されてもよい。

【 0 0 5 1 】

記憶及び転送の特性は、ステータス情報をデータバッファの終了部分から始まりの部分にまで移動するよう用いられてもよい。通常の方式において、データは、F I F Oにプッシュされてもよいが、全てのバッファが受け取られるまでアウトプットの利用は妨げられる。プログラム可能なカウンタは、バッファの長さを特定するよう用いることができる。受け取られる最後の追跡ビットは、バッファステータスとして維持されてもよい。そして、F I F Oのアウトプット側が、使用可能となる。ステータスビットは、主要データの前に、最初に送られてもよい（ストリームの位置T B D）。この特徴は、ソースモジュール（それ自体はストレージを有さない）が、その場でバッファを構成し、さらに、事後に不備をフラグによって示すことを可能にする。あて先モジュール（それ自体もストレージを有さない）は、前もって不備を知る。

【 0 0 5 2 】

F I F Oは、最小のバッファ深さをプログラムすることによって遅延ラインとして用いてもよい。データは、通常のF I F Oと同様にプッシュされるが、アウトプットの利用は、必要なデータ量がキューされない限り、有効な状態とはならない。これは、複数ストリームの同期化を行うジョブを軽減させる（すなわち、オーディオのリップシンク）。

【 0 0 5 3 】

新しいプッシュによって置き換えられるまで、再スキャンバッファモードは、同一のデータが、バッファから繰り返しプルされることを可能にする。これは、挿入パケットのために用いることができる。その挿入パケットは、ストリームに定期的に挿入されるが、時おり更新される。無作為な書き込みが可能となる。

【 0 0 5 4 】

フロー制御のF I F Oは、各バッファの始まりにタイムスタンプを追加することによって実装されてもよい。このタイムスタンプは、上流のプロセスによって、又は、F I F Oインプットハードウェアの一部として実行されていてもよい。内部の時間基準が、キューの先頭のバッファに付加されているタイムスタンプの値に到達するまで、又は、次のバッファのタイムスタンプが“新しくない”場合に、次のバッファが破棄されるまで、F I F

10

20

30

40

50

0 から外へのデータは、保持される。

【 0 0 5 5 】

インプットの準備ラインは、実際の完全なものから、ある水準までの意味となるように幅があるようプログラムすることができる。同じことは、アウトプットの準備ラインにも当てはまる。読み取り及び書き込みのポインターは、プログラムの制御下にあってもよい。

【 0 0 5 6 】

P C I のサポートは、より複雑なモジュールの一つを必要とする。モジュールの特徴は、P C I インターフェースの機器構成レジスタ、I 2 C 制御バス/ステータスバスへのアクセスが計画されている (mapped) メモリ、そして、複数のストリーム転送をサポートするような D M A を含む。

【 0 0 5 7 】

同時に存在する八つのシリアルデータストリーム転送は、同時に有効とすることができる。各ストリームは、ダブルバンク (double ranked) のアドレスレジスタ/カウンタレジスタのセット、そして、いくつかの動作モードを有する。カウンタは、送られるバイト数と、P C I メモリバスの転送場所へアドレスポイントを特定する。二重のスタックが有効であるか、同一のバッファが連続的なループとして用いられるか、転送の完了をどのように報告するか、転送がプッシュ/プルであるかなどに応じて、ストリームの専用制御レジスタは、転送方向を特定する。

【 0 0 5 8 】

さらに、システムは、任意の数の C P U モジュールを含んでもよい。C P U が、外部のモジュールをサポートする場合、内部に C P U を存在させる必要はない。その対極として、複数の C P U を有するシステムとすることが可能である。一つの C P U は、鍵の取り扱い及び生成などのようなセキュリティ上の問題を扱うことが可能である。その他の C P U は、フロントエンドのモジュールに向けられており、そのフロントエンドのモジュールは、信号を調整し (tune)、信号の前方誤り訂正を行い (FEC)、さらに、信号を完成品のチューナーサブシステムに復調する。

【 0 0 5 9 】

前述のクロスポイントスイッチは、モジュール間でデータを交換する一般的かつ順応性のある手段として用いてもよい。任意のインプットは、任意のアウトプットに経路が決定されていてもよい。インプットは、同時に 2 以上のアウトプットに経路が決定されていてもよい。クロスポイントスイッチは、より大きなスイッチを形成するようカスケード接続されていてもよい。そして、そのスイッチは、より多くのストリームを扱うことができるようになる。

【 0 0 6 0 】

クロスポイントのポートは、プッシュモードかプルモードのどちらかに動作させるようプログラムされていてもよく、さらに、完全な F I F O が不要となるよう少量のバッファ量を含んでもよい。

【 0 0 6 1 】

したがって、本発明の原理によるモジュールは、基本となる 5 つのカテゴリに分類できる。すなわち、制御、データ交換、内部処理、ストレージ、そして、端部又は外部のインターフェースである。制御モジュールは、処理モジュール間のデータフローの意識的な意思決定及び調整に関連する。データ交換モジュールは、最小の仲介制御を用いて流れるデータを維持する自立的かつ神経的なシステムとして機能する。物理的な “調査” と論理的な “調査” の組み合わせは、モジュール間のデータストリームの経路を決定する。処理モジュールは、その設計機能を実現するために、データを組み合わせ、分割し、そして、変換する。一又は二以上のデータストリームは、インプットとすることができ、そして、一又は二以上のデータストリームは、アウトプットとすることもできる。プログラムされているレジスタは、付加価値を有する特徴を制御する。ストレージモジュールは、プロセス間のデータを記憶し、通常、F I F O として実装される。端部のピースは、外部の世界

10

20

30

40

50



---

フロントページの続き

(74)代理人 100109335

弁理士 上杉 浩

(74)代理人 100158551

弁理士 山崎 貴明

(72)発明者 アンガー ロバート アラン

アメリカ合衆国 カリフォルニア州 92019 エル カジョン ヴィスタ ハーモサ ウェイ  
2072

審査官 竹中 辰利

(56)参考文献 特開2002-042122(JP,A)

特開2002-117011(JP,A)

特表平09-507317(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 7/173