

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4313759号

(P4313759)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int.Cl.

H03F 3/60 (2006.01)

F I

H03F 3/60

請求項の数 3 (全 6 頁)

(21) 出願番号	特願2004-526126 (P2004-526126)	(73) 特許権者	504199127
(86) (22) 出願日	平成15年7月18日(2003.7.18)		フリースケール セミコンダクター イン
(65) 公表番号	特表2005-535227 (P2005-535227A)		コーポレイテッド
(43) 公表日	平成17年11月17日(2005.11.17)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/US2003/022571		オースティン ウィリアム キャノン
(87) 国際公開番号	W02004/013960		ドライブ ウェスト 6501
(87) 国際公開日	平成16年2月12日(2004.2.12)	(74) 代理人	100116322
審査請求日	平成18年7月14日(2006.7.14)		弁理士 桑垣 衛
(31) 優先権主張番号	10/211,825	(72) 発明者	チャオ、レイ
(32) 優先日	平成14年8月2日(2002.8.2)		アメリカ合衆国 85224 アリゾナ州
(33) 優先権主張国	米国 (US)		チャンドラー ウェスト シャノン コ
			ート 2641

最終頁に続く

(54) 【発明の名称】 分布型電力増幅器のためのハイブリッド構造

(57) 【特許請求の範囲】

【請求項1】

分布型電力増幅器の構造であって、
基板と、
集積回路（IC）と、

複数のトランジスタと複数のドレイン線コンデンサとを含む電力増幅器回路であって、
前記複数のトランジスタはそれに接続された伝送線インダクタの第一セットおよび伝送線
インダクタの第二セットを有する、電力増幅器回路と、

を備え、前記複数のトランジスタと、前記複数のドレイン線コンデンサと、前記伝送線
インダクタの第一セットとは前記IC上に実質的に配置され、前記伝送線インダクタの第
二セットは前記基板上に実質的に配置され、前記基板の前記伝送線インダクタの第二セ
ットは、複数のワイヤボンドを介して前記ICの前記複数のドレイン線コンデンサに接続さ
れ、前記複数のドレイン線コンデンサと前記伝送線インダクタの第二セットとの間のイン
ピーダンスにより、前記複数のワイヤボンドのインダクタンスを無視するようにした、分
布型電力増幅器の構造。

【請求項2】

分布型電力増幅器の構造であって、
セラミック基板と、

前記セラミック基板上の集積回路（IC）であって、ドレイン、一連のゲート線伝送
インダクタに接続されたゲート、及び接地端子に接続されたソースをそれぞれ有する複数の

10

20

トランジスタ、及び前記複数のトランジスタのうちの1つのトランジスタのドレインにそれぞれ接続された複数のドレイン線コンデンサを含むICと、

前記セラミック基板上に形成された一連のドレイン線伝送インダクタと、

前記セラミック基板上の各ドレイン線伝送インダクタと前記IC上の各ドレイン線コンデンサとの間のワイヤボンドの相互接続と、

を備え、前記各ドレイン線コンデンサと前記各ドレイン線伝送インダクタとの間のインピーダンスにより、前記ワイヤボンドの相互接続のインダクタンスを無視するようにした、分布型電力増幅器の構造。

【請求項3】

分布型電力増幅器の構造であって、

基板と、

前記基板上に形成された集積回路(IC)であって、ドレイン線コンデンサと、該ドレイン線コンデンサに接続されたトランジスタと、該トランジスタに接続された伝送線インダクタの第一セットとを含む分布型電力増幅器回路の第一部分を含むICと、

前記基板上に形成され、かつワイヤボンドの相互接続により、前記ICのドレイン線コンデンサに接続された伝送線インダクタの第二セットと、

を備え、前記ドレイン線コンデンサと前記伝送線インダクタの第二セットとの間のインピーダンスにより、前記ワイヤボンドの相互接続のインダクタンスを無視するようにした、分布型電力増幅器の構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般には電力増幅器に、より詳細には分布型電力増幅器のためのハイブリッド構造に関するものである。

【背景技術】

【0002】

低電圧電力増幅器は、二、三の例を挙げれば、ラジオ、携帯電話及びワイヤレス・ブロードバンドの用途を含む様々な用途において使用されている。用語「ハイブリッド構造」は、一般に、半導体と組み合わせた非半導体基板上に形成された受動回路の素子を意味する。ハイブリッド構造は、その低コスト性のために、低電圧分布型電力増幅器(PA)の回路の設計において頻繁に使用される。図1は、セラミック基板106上において、バラン／トランス104に接続され、単一チップとして集積された分布型電力増幅器102の回路図100を表す。基板106は、一般的に、低温同時焼成セラミック(LTCC)技術を利用して形成される。分布型電力増幅器102は、入力108、複数のトランジスタ110及び出力118を含んでおり、図中のトランジスタ110のそれぞれは、ドレイン112、ゲート114及びソース116を有する電界効果トランジスタ(FET)として表されている。増幅器102はさらに、ゲート線インダクタ121を有するゲート伝送線120、ドレイン線コンデンサ124とともにドレイン線インダクタ123を有するドレイン伝送線122、及び末端抵抗126、128を含んでいる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来の分布型電力増幅器102においては、ゲート伝送線120及びドレイン伝送線122の両方とも電力増幅器のICチップ102上に集積して搭載されていた。その回路の残りの接続は、電力増幅器のチップ102の出力118におけるワイヤボンド130により達成される。低電圧電力増幅器において、PA102の出力118は低インピーダンス点(3~4オーム)である。このように、ワイヤボンド130の誘導リアクタンスは全負荷のインピーダンスの大部分を占めるため、ワイヤボンドのインダクタンスは増幅器102の性能を著しく低下させる。

【0004】

図2は、周波数（GHz）に対する利得（dB）202、出力電力（ P_{OUT} , dBm）204及び電力付加効率（PAE, %）206のグラフ200を表す。グラフ200は、五つのセルのPHMET（スードモルフィック高電子移動度）トランジスタ、テーパ形状のドレイン、図1に表されるようなIC102とLTCC基板106を接続するワイヤボンド130を備えた1ワットの出力電力の分布型増幅器におけるシミュレーションに基づいている。電力増幅器効率は、非常に注目すべき設計パラメータであり、回路設計者は、その効率を改善する方法、言い換えれば、携帯用製品のバッテリーの寿命を延長する方法を常に探究している。

【0005】

従って、インピーダンスの影響を減らし、それによって、改善された効率が提供されるように、ワイヤボンドに影響されにくい電力増幅器の構造を得ることは望ましい。

【発明を実施するための最良の形態】

【0006】

本発明は、添付図において例示されるが、その例によって制限されるものではない。添付図では、同一の参照番号は同一の構成要素を示す。

図中の構成要素が、簡単化及び明確化のため、適切な尺度で描かれている必要がないことは、当業者には理解されよう。例えば、本発明の実施形態の理解の向上を促進するために、図中の一部の構成要素の大きさは、他の構成要素に対して誇張され得るものである。

【0007】

図3は、本発明によって形成された分布型電力増幅器302における回路図300を表し、その電力増幅器は、例えばトランス／バラン304のような負荷に接続されている。本発明によれば、ドレイン伝送線インダクタ323及び出力318は、セラミック基板306に搭載されており、増幅器302の残りの部分はICの形態で搭載されている。このように、電力増幅器302のIC部分は、入力308、複数のトランジスタ310を含んでおり、図中のトランジスタ310のそれぞれは、ドレイン312、ゲート314及びソース316を有するFETとして表されている。増幅器302のIC部分はさらに、ゲート伝送線320、ゲート伝送線インダクタ321、ドレインコンデンサ324及び末端抵抗326、328を含んでいる。

【0008】

本発明によれば、ワイヤボンドの相互接続330はドレイン線コンデンサ324とドレイン線インダクタ323との間において形成され、その場所は回路における高インピーダンス点である。ワイヤボンドの相互接続点を回路における高インピーダンス点に移動させることにより、ワイヤボンドのインダクタンスは、一般的に動的な負荷の誤差により引き起こされる性能の低下を生じさせない。結果として、ワイヤボンドのインダクタンスを無視することが可能となり、そのインダクタンスは電力増幅器の性能に対して、殆ど、若しくは全く影響を与えない。

【0009】

図4は、本発明により形成されたハイブリッド構造により得られる、周波数（GHz）に対する利得（dB）、出力電力（ P_{OUT} , dBm）及び電力付加効率（PAE, %）のグラフである。図4のシミュレーションにおいては、ドレイン伝送線インダクタが基板306に集積されていること、及びPAから誘導点に至るワイヤボンドを除いて、図2におけるものと同一のパラメータが用いられている。図4において、全周波数帯域にわたって図3と比較して、電力増幅器の性能の著しい向上が見受けられる。

【0010】

本発明によって形成された低電圧電力増幅器は、ソフトウェア定義可能なラジオ、携帯電話及びワイヤレス・ブロードバンドの用途を含む様々な製品において使用可能であるが、それらの用途に制限される訳ではない。

【0011】

本電力増幅器のハイブリッド構造を、FET型ではなく、ベース伝送線が増幅器ICの一部であり、コレクタ伝送線のインダクタが基板に集積されたバイポーラトランジスタを

10

20

30

40

50

含む様々な型のトランジスタに拡張することは、当業者には理解されよう。本ハイブリッド構造を、好ましくは、セラミックの基板を使用するものとして説明したが、増幅器の設計において見出される他の基板材料、例えば高密度相互接続（HDI）において使用される有機基板もまた使用可能である。

【0012】

前述の明細書において、本発明は特定の実施形態を参照して説明された。しかしながら、以下の請求項において説明される本発明の範囲から逸脱せずに、様々な改良及び変更が成されることは当業者には理解されよう。従って、本明細書及び図面は、制限の意味よりは例示の意味であるとみなされ、全てのそのような改良は本発明の範囲内に含まれていると意図されている。

【0013】

上記において、特定の実施形態に関する利便、他の利点及び問題解決案が記載された。しかしながら、その利便、利点、問題解決案及びいかなる利便、利点、又は解決案を発生させる、若しくは明白にするいかなる構成要素も、任意若しくは全ての請求項の重要な、必要な、若しくは本質的な特徴又は要件を構成しているべきではない。本明細書において使用される用語「備える」、「備えている」又はその他の任意の変形は、一連の構成要素を備えるプロセス、方法、製品又は装置がそれらの構成要素のみを含む訳ではなく、そのようなプロセス、方法、製品及び装置に明確に記載されていない、若しくは、特有ではない他の構成要素も含み得るような、非排他的な包含を対象としていると意図される。

【図面の簡単な説明】

【0014】

【図1】 従来技術による電力増幅器の回路図。

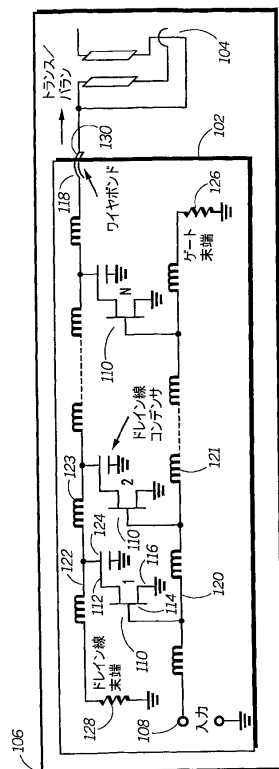
【図2】 従来技術による、周波数に対する利得、出力電力及び電力付加効率のグラフ。

【図3】 本発明による電力増幅器の回路図。

【図4】 本発明による、周波数に対する利得、出力電力及び電力付加効率のグラフ。

【図1】

【図2】



従来技術

FIG. 1

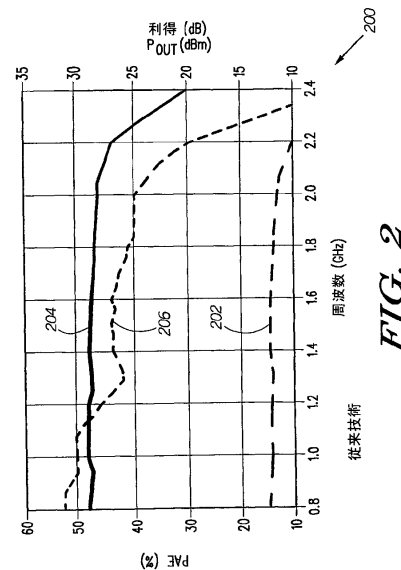


FIG. 2

従来技術

【図 3】

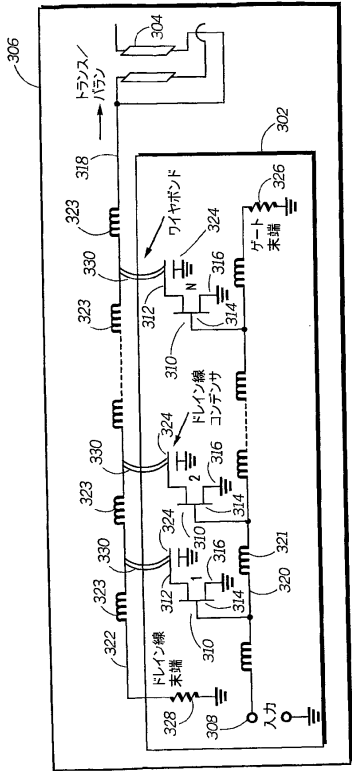


FIG. 3

【図 4】

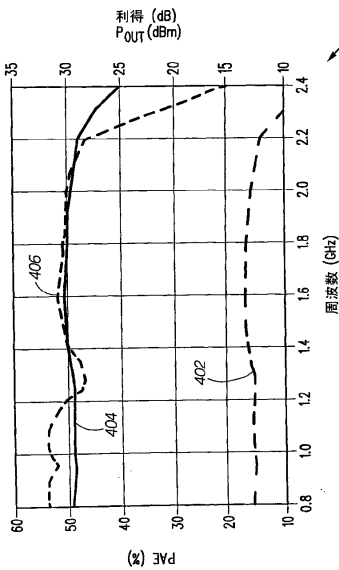


FIG. 4

フロントページの続き

(72)発明者 パビオ、アンソニー エム.
アメリカ合衆国 85253 アリゾナ州 パラダイス バレー イースト ジョシュア ツリー
レーン 6431

審査官 岸田 伸太郎

(56)参考文献 特開平07-183384 (JP, A)
特開昭63-099605 (JP, A)
米国特許第03593174 (US, A)
特開平04-135306 (JP, A)
特開平09-252228 (JP, A)
佐々木、等, 「2-26.5GHz ハイブリッド分布型増幅器」, 昭和63年電子情報通信学会秋季全国大会講演論文集C-1, 1988年 8月15日, p.C-1-227, C-345
伊藤、等, 「ハイブリッド回路による0.8-18.0GHz 帯分布増幅器」, 電子通信学会技術研究報告, 1987年 2月20日, Vol.86, No.351, pp.73-79, MW86-134

(58)調査した分野(Int.Cl., DB名)
H03F 3/60
JSTPlus(JDreamII)