



CONFÉDÉRATION SUISSE  
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

① CH 657 950 A5

⑤ Int. Cl.4: H 03 M 13/22  
H 04 L 1/00

**Brevet d'invention délivré pour la Suisse et le Liechtenstein**  
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑫ **FASCICULE DU BREVET** A5

⑲ Numéro de la demande: 1245/81

⑳ Date de dépôt: 25.02.1981

㉓ Priorité(s): 25.02.1980 JP 55-22605

㉔ Brevet délivré le: 30.09.1986

④⑤ Fascicule du brevet  
publié le: 30.09.1986

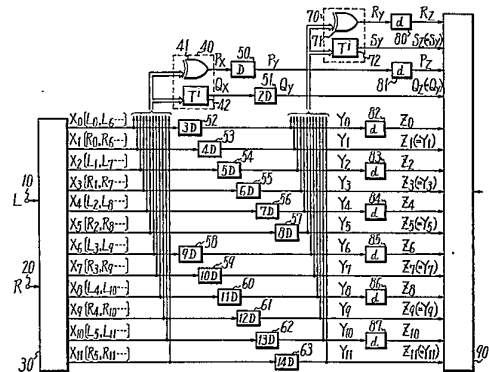
⑦③ Titulaire(s):  
Sony Corporation, Shinagawa-ku/Tokyo (JP)

⑦② Inventeur(s):  
Dio, Toshitada, Yokohama-shi/Kanagawa-ken (JP)  
Odaka, Kentarou, Ohta-ku/Tokyo (JP)

⑦④ Mandataire:  
Ammann Patentanwälte AG Bern, Bern

⑤④ **Procédé et dispositif pour la transmission de données dans une distribution permettant une correction d'erreurs.**

⑤⑦ Des mots de données successifs sont distribués dans une pluralité de canaux (X<sub>0</sub>...X<sub>11</sub>) pour former des blocs de données successifs, chaque bloc comprenant les mots de la pluralité de canaux. Un premier code (Pz, Qz) de correction d'erreurs est produit en fonction des mots du bloc de données pour corriger au moins un mot erroné dans le bloc de données. Les mots compris dans le bloc sont retardés sélectivement pour former un bloc de données interfolié (Y<sub>0</sub>...Y<sub>11</sub>). Un second code (Rz, Sz) de correction d'erreurs est produit en fonction des mots interfoliés pour corriger au moins un mot erroné dans le bloc de données interfolié. Les codes de correction d'erreurs et le bloc de données interfolié sont combinés pour former un bloc de transmission (Z<sub>0</sub>, Z<sub>1</sub>, Z<sub>2</sub>, Z<sub>3</sub>, Z<sub>4</sub>, Z<sub>5</sub>, Z<sub>6</sub>, Z<sub>7</sub>, Z<sub>8</sub>, Z<sub>9</sub>, Z<sub>10</sub>, Z<sub>11</sub>).



## REVENDEICATIONS

1. Procédé de transmission de mots de données digitaux, comprenant les étapes suivantes:

distribuer les mots de données successifs dans une pluralité de canaux respectifs pour former des blocs de données successifs, chaque bloc étant formé des mots de données dans ladite pluralité de canaux,

produire un premier code de correction d'erreurs en fonction des mots compris dans ledit bloc de données,

retarder sélectivement à l'aide de différents retards respectifs dans le temps les mots de données compris dans ledit bloc de données pour former un bloc de données interfolié dans le temps formé de mots de données interfoliés dans le temps,

produire un second code de correction d'erreurs en fonction des mots compris dans ledit bloc de données interfolié, et combiner ledit premier code de correction d'erreurs, ledit second code de correction d'erreurs et ledit bloc de données interfolié pour former un bloc de transmission,

caractérisé en ce que ledit premier code de correction d'erreurs est utilisé pour corriger au moins un mot erroné dans ledit bloc de données et en ce que ledit second code de correction d'erreurs est utilisé pour corriger au moins un mot erroné dans ledit bloc de données interfolié.

2. Procédé selon la revendication 1, caractérisé en ce que ladite étape de production du second code de correction d'erreurs utilise ledit premier code de correction d'erreurs et les mots dudit bloc de données interfolié pour produire ledit second code de correction d'erreurs.

3. Procédé selon la revendication 1, caractérisé en ce que ladite étape de production du premier code de correction d'erreurs utilise ledit second code de correction d'erreurs et les mots dudit bloc de données pour produire ledit premier code de correction d'erreurs.

4. Procédé selon la revendication 1, caractérisé en ce que ladite étape de production du premier code de correction d'erreurs comprend la production d'un premier mot de parité au moins en fonction des mots compris dans ledit bloc de données et la production d'un premier mot de parité de matrice au moins en fonction des mots compris dans ledit bloc de données multipliés par une matrice de génération prédéterminée.

5. Procédé selon la revendication 4, caractérisé par le fait que ladite matrice de génération est formée des éléments non nuls d'un champ de Galois.

6. Procédé selon la revendication 4, caractérisé en ce que ladite étape de production du second code de correction d'erreurs comprend la production d'un second mot de parité au moins en fonction des mots compris dans ledit bloc de données interfolié et la production d'un second mot de parité de matrice au moins en fonction des mots compris dans ledit bloc de données interfolié multiplié par une matrice de génération prédéterminée.

7. Procédé selon la revendication 6, caractérisé en ce que ledit second mot de parité est fonction desdits mots compris dans ledit bloc de données interfolié et dudit premier mot de parité et en ce que ledit second mot de parité de matrice est fonction desdits mots compris dans ledit bloc de données interfolié et dudit premier mot de parité de matrice, lesdits mots compris dans ledit bloc de données interfolié et ledit premier mot de parité de matrice étant tous multipliés par ladite matrice de génération prédéterminée.

8. Procédé selon la revendication 7, caractérisé en ce que ledit premier mot de parité est fonction desdits mots compris dans ledit bloc de données et dudit second mot de parité et en ce que ledit premier mot de parité de matrice est fonction desdits mots compris dans ledit bloc de données et dudit second mot de parité de matrice, lesdits mots compris dans ledit bloc de données et ledit second mot de parité de matrice étant tous multipliés par ladite matrice de génération prédéterminée.

9. Procédé selon la revendication 1, caractérisé en ce qu'il comprend en outre une étape dans laquelle ledit premier code de correction d'erreurs est sélectivement retardé pour interfolier ledit premier code de correction d'erreurs avec lesdits mots interfoliés dans ledit bloc de transmission.

10. Procédé selon la revendication 9, caractérisé en ce que chaque retard imparti auxdits mots et audit premier code de correction d'erreurs est un multiple de  $D$ , où  $D$  est la période de temps occupée par chaque mot de données dans un canal.

11. Procédé selon la revendication 10, caractérisé en ce qu'il comprend en outre une étape dans laquelle un retard additionnel de valeur  $d$  est imparti aux mots de données interfoliés et aux codes de correction d'erreurs compris dans ledit bloc de transmission, le retard additionnel  $d$  étant une fraction prédéterminée de la période  $D$ .

12. Procédé selon la revendication 9, caractérisé en ce que chaque retard imparti auxdits mots et audit premier code de correction d'erreurs est un multiple de  $(D - d)$ , où  $D$  est la période de temps occupée par chaque mot de données dans un canal et  $d$  est une fraction prédéterminée de  $D$ .

13. Procédé selon la revendication 12, caractérisé en ce qu'il comprend en outre une étape dans laquelle des retards additionnels respectifs multiples de  $d$  sont impartis auxdits mots interfoliés et auxdits codes de correction d'erreurs compris dans ledit bloc de transmission.

14. Dispositif de codage correcteur d'erreurs pour la mise en oeuvre du procédé selon la revendication 1 pour des mots PCM successifs, comprenant des moyens de distribution (30) pour distribuer lesdits mots PCM successifs dans une pluralité de canaux respectifs ( $X_0 \dots X_{11}$ ) pour former des blocs de données successifs, chaque bloc comprenant les mots PCM dans ladite pluralité de canaux, des premiers moyens (40) de code de correction d'erreurs recevant les mots PCM d'un bloc de données pour produire un premier code de correction d'erreurs en fonction des mots compris dans ledit bloc de données, des moyens de retard (50 ... 63) recevant les mots PCM d'un bloc de données pour retarder sélectivement par différents retards respectifs lesdits mots PCM et former un bloc de données interfolié dans le temps comprenant des mots PCM interfoliés dans le temps, des seconds moyens (70) de code de correction d'erreurs recevant lesdits mots PCM interfoliés dans un bloc de données interfolié pour produire un second code de correction d'erreurs en fonction desdits mots PCM interfoliés et des moyens (90) pour combiner ledit premier code de correction d'erreurs, ledit second code de correction d'erreurs et ledit bloc de données interfolié et former un bloc de transmission, caractérisé en ce que ledit premier code de correction d'erreurs est utilisé pour corriger au moins un mot erroné dans ledit bloc de données et en ce que ledit second code de correction d'erreurs est utilisé pour corriger au moins un mot erroné dans ledit bloc de données interfolié.

15. Dispositif selon la revendication 14, caractérisé en ce que lesdits premiers moyens de code de correction d'erreurs comprennent des premiers moyens (41) générateurs de parité recevant au moins les mots compris dans ledit bloc de données pour produire un premier mot de parité et des premiers moyens (42) générateurs de parité de matrice recevant au moins les mots compris dans ledit bloc de données pour produire un premier mot de parité de matrice en réponse à la multiplication desdits mots avec le contenu d'une matrice de génération prédéterminée.

16. Dispositif selon la revendication 15, caractérisé en ce que ledit contenu est formé des éléments non nuls d'un champ de Galois.

17. Dispositif selon la revendication 15, caractérisé en ce que lesdits seconds moyens de code de correction d'erreurs comprennent des seconds moyens (71) générateurs de parité recevant au moins les mots compris dans ledit bloc de données

interfolié pour produire un second mot de parité et des seconds moyens (72) générateurs de parité de matrice recevant au moins les mots compris dans ledit bloc de données interfolié pour produire un second mot de parité de matrice en réponse à la multiplication desdits mots interfoliés avec le contenu d'une seconde matrice de génération prédéterminée.

18. Dispositif selon la revendication 17, caractérisé en ce qu'il comprend en outre des moyens (50) pour délivrer ledit premier mot de parité auxdits seconds moyens (71') générateurs de parité et des moyens (51) pour délivrer ledit premier mot de parité de matrice auxdits second moyens (72') générateurs de parité de matrice.

19. Dispositif selon la revendication 18, caractérisé en ce qu'il comprend en outre des moyens (80, 88, 195) pour délivrer ledit second mot de parité auxdits premiers moyens (41', 141) générateurs de parité et des moyens (196) pour délivrer ledit second mot de parité de matrice auxdits premiers moyens (42', 142) générateurs de parité de matrice.

20. Dispositif selon la revendication 14, caractérisé en ce qu'il comprend en outre des moyens (50, 51, 161, 162) de retard de code de correction d'erreurs pour retarder sélectivement ledit premier code de correction d'erreurs afin d'interfolier dans le temps ledit premier code de correction d'erreurs avec lesdits mots PCM interfoliés dans ledit bloc de transmission.

21. Dispositif selon la revendication 20, caractérisé en ce que chaque retard imparti auxdits mots PCM et audit premier code de correction d'erreurs est un multiple de  $D$ , où  $D$  est la période de temps occupée par chaque mot PCM dans un canal.

22. Dispositif selon la revendication 21, caractérisé en ce qu'il comprend en outre des moyens (80 ... 87) de retard additionnel pour retarder de manière alternée d'une valeur additionnelle  $d$ , les mots PCM interfoliés et les codes de correction d'erreurs compris dans ledit bloc de transmission, où  $d$  est une fraction prédéterminée de  $D$ .

23. Dispositif selon la revendication 20, caractérisé en ce que chaque retard imparti auxdits mots PCM et audit premier code de correction d'erreurs est un multiple de  $(D - d)$ , où  $D$  est la période de temps occupée par chaque mot PCM dans un canal et  $d$  est une fraction prédéterminée de  $D$ .

24. Dispositif selon la revendication 23, caractérisé en ce qu'il comprend en outre des moyens (180 ... 194) de retard additionnel pour impartir des retards additionnels de valeurs respectives multiples de  $d$  aux mots PCM interfoliés et aux codes de correction d'erreurs compris dans ledit bloc de transmission.

25. Dispositif selon la revendication 14, caractérisé en ce que ledit bloc de données et ledit bloc de données interfolié sont formés chacun de mots PCM en parallèle.

La présente invention concerne un procédé de transmission de mots de données numériques et un dispositif pour la mise en oeuvre de ce procédé. Le procédé comprend les étapes de distribution des mots successifs de données dans une pluralité de canaux respectifs pour former des blocs successifs de données, chaque bloc étant formé des mots de données dans ladite pluralité de canaux, de production d'un premier code de correction d'erreurs en fonction des mots compris dans le bloc de données, de retardement sélectif à l'aide de différents retards respectifs dans le temps des mots de données compris dans le bloc de données pour produire un bloc de données interfolié dans le temps formé de mots de données interfolié dans le temps, de production d'un second code de correction d'erreurs en fonction des mots compris dans le bloc de données interfolié et de la combinaison du premier code de correction d'erreurs, du second code de correction d'erreurs et du bloc de données interfolié pour former un bloc de transmission.

Différentes techniques de codage pour la correction d'erreurs ont été proposées pour l'utilisation dans la transmission et/ou l'enregistrement de données numériques. Par exemple, des données numériques sous forme de mots, tels que des signaux modulés par codage d'impulsion (PCM) peuvent, lorsqu'ils sont transmis ou enregistrés, être sujets à des erreurs aléatoires ou en paquets. Une erreur aléatoire détruit ou produit une distorsion des bits isolés du signal PCM. Une erreur en paquet détruit ou produit une distorsion d'un ou plusieurs mots de données numériques compris dans le signal PCM. Bien que des techniques relativement simples de correction d'erreurs, telles que l'utilisation de mots de parité accompagnant le signal PCM, soient connues pour être efficaces quant à la correction des erreurs aléatoires, il est nécessaire de faire appel à des techniques plus évoluées de codage pour la correction des erreurs en paquets.

Il existe un besoin de réaliser une technique de codage pour la correction d'erreurs dans laquelle des codes de correction d'erreurs ou des mots, tels que des mots de parité ne soient pas hautement redondants et dans laquelle l'information codée ne nécessite pas d'être accompagnée par un code de détection d'erreurs, tel que le code CRC. Il existe aussi un besoin pour une technique de codage pour la correction d'erreurs qui soit relativement simple à mettre en oeuvre.

Le but de la présente invention est de réaliser un procédé et un dispositif améliorés pour le codage d'une information numérique, telle que des mots de données, dans une distribution permettant une correction d'erreurs qui élimine les désavantages des techniques connues et qui présente un pouvoir de correction d'erreurs avantageux.

Pour atteindre ce but, l'invention est réalisée comme décrit dans les revendications 1 et 14.

Une forme d'exécution de l'invention concerne un procédé et un dispositif améliorés pour le codage de mots de données, tels que des mots PCM, les données codées étant susceptibles d'être transmises ou enregistrées avec un pouvoir de détection d'erreurs amélioré.

Une forme d'exécution de l'invention est de réaliser un procédé de codage pour la correction d'erreurs utilisable, par exemple avec un signal PCM, dans lequel plusieurs signaux PCM formant un bloc et dans lequel un ou deux mots dudit bloc peuvent être entièrement corrigés par la seule utilisation de mots de parité et ne nécessitant pas de code CRC.

Une forme d'exécution de l'invention est de réaliser un procédé de codage pour la correction d'erreurs pour des mots PCM, ce procédé présentant un pouvoir favorable de correction d'erreurs sans nécessiter de codes de correction d'erreurs hautement redondants.

Une forme d'exécution de l'invention est de réaliser un dispositif pour la mise en oeuvre du procédé précédent, de réalisation simple et peu coûteuse.

Selon la présente invention, des mots de données successifs sont distribués dans une pluralité de canaux respectifs de manière à former des blocs de données successifs, chaque bloc de données comprenant les mots de données présents dans les canaux. Un premier code correcteur d'erreurs est produit en fonction des mots compris dans le bloc de données, ce premier code correcteur d'erreurs étant susceptible d'être utilisé pour la correction d'au moins un mot erroné dans le bloc de données lorsque le bloc de données est reçu ou reproduit à partir d'un milieu enregistreur. Les mots compris dans ce bloc sont retardés sélectivement au moyen de différents retards respectifs dans le temps pour former un bloc de données interfolié comprenant des mots de données interfoliés. Un second code correcteur d'erreurs est produit en fonction des mots compris dans les blocs de données interfoliés, ce second code de correction d'erreurs étant susceptible d'être utilisé pour la correction d'au moins un mot erroné dans le bloc de données interfolié lorsque

le bloc interfolié est reçu ou reproduit. Le premier et le second code correcteur d'erreurs ainsi que le bloc de données interfolié sont combinés dans un bloc de transmission qui peut alors être transmis ou enregistré.

L'invention va être décrite ci-après, à titre d'exemple et à l'aide du dessin dans lequel:

— la fig. 1 est un schéma-bloc d'une première forme d'exécution de l'invention,

— la fig. 2 est la représentation d'un bloc de transmission selon l'invention, et

— les figs. 3 à 5 sont des schéma-blocs d'autres formes d'exécution de l'invention.

La fig. 1 représente le schéma-bloc d'une première forme d'exécution d'un dispositif pour la mise en oeuvre du procédé de codage selon l'invention. Comme on le verra ci-après, ce dispositif est particulièrement bien adapté pour coder des signaux audio stéréophoniques digitalisés et il est particulièrement avantageux pour une utilisation avec un enregistreur, tel qu'un enregistreur de type à tête rotative (par exemple un enregistreur à bande vidéo) permettant l'enregistrement de ces signaux dans un milieu adéquat. Il est admis que les signaux audio stéréophoniques digitalisés délivrés au dispositif de la fig. 1 sont produits par un circuit adéquat de conversion analogique-digitale échantillonnant le signal audio analogique et digitalisant chaque échantillon selon une distribution PCM (modulation codée en impulsion). Le dispositif de la fig. 1 reçoit alors des mots de données numériques successifs, tels que des mots PCM, chaque mot étant une version digitale du signal audio échantillonné. Pour faciliter l'explication, le dispositif de la fig. 1 comprend une paire de bornes d'entrée 10 et 20 recevant respectivement les mots de données du canal de gauche et du canal de droite. Dans une autre forme d'exécution, le dispositif de codage ne reçoit les mots de données de gauche et de droite (L et R) que sur un seul canal, ces mots étant alors distribués de manière à séparer les canaux de gauche et de droite.

Le dispositif comprend un circuit de distribution 30, tel qu'un démultiplexeur, un premier générateur 40 de code de correction d'erreur, une pluralité de circuits de retard 50, 51 ... 62, 63, un second générateur 70 de code de correction d'erreurs, et une pluralité de circuits de retard additionnels 80, 81 ... 86, 87. Le dispositif comprend en outre un multiplexeur 90 permettant de combiner plusieurs canaux de mots digitaux et de les délivrer sur un seul canal multiplexé délivrant les mots digitaux en série.

Le circuit de distribution ou démultiplexeur 30 comprend une paire d'entrées couplés aux bornes 10 et 20 pour recevoir les données ou mots PCM du canal de gauche et du canal de droite, représentant les échantillons successifs de ces canaux. Le circuit 30 sert à distribuer les mots successifs reçus par la borne d'entrée 10 à une pluralité de canaux respectifs désignés par  $X_0$ ,  $X_2$ ,  $X_4$ ,  $X_6$ ,  $X_8$  et  $X_{10}$ . Seuls les mots PCM du canal de gauche sont distribués sur ces canaux. De manière similaire, le circuit de distribution 30 distribue les mots respectifs du canal de droite, reçus sur la borne 20, à une pluralité de canaux respectifs désignés par  $X_1$ ,  $X_3$ ,  $X_5$ ,  $X_7$ ,  $X_9$  et  $X_{11}$ . Seuls les mots du canal de droite sont distribués sur ces canaux.

Les mots PCM successifs des canaux de gauche et de droite sont envoyés au circuit de distribution 30 en périodes de temps successives, la période occupée par un mot étant représentée par D. Le circuit 30 comprend de préférence des moyens de mémorisation et des circuits porte adéquats de manière que, par exemple, après réception de six mots PCM du canal de gauche et six mots PCM du canal de droite, un nombre total de douze mots PCM (six pour chaque canal) soit délivré dans les canaux  $X_0$  ...  $X_{11}$ . Ces douze mots PCM apparaissent pendant une unité de période de temps D d'un mot de données et la combinaison de tels mots PCM dans ces canaux pendant une telle unité de période d'un mot de données est appelée bloc de données. Ainsi, un bloc de données peut comprendre les mots PCM

$L_0$ ,  $R_0$ ,  $L_1$ ,  $R_1$ ,  $L_2$ ,  $R_2$ ,  $L_3$ ,  $R_3$ ,  $L_4$ ,  $R_4$ ,  $L_5$  et  $R_5$  des canaux de gauche et de droite, le bloc de données suivant les mots PCM  $L_6$ ,  $R_6$ ,  $L_7$ ,  $R_7$ ,  $L_8$ ,  $R_8$ ,  $L_9$ ,  $R_9$ ,  $L_{10}$ ,  $R_{10}$ ,  $L_{11}$  et  $R_{11}$  des canaux de gauche et de droite, etc. Ainsi, il est visible que le canal  $X_0$  reçoit les mots PCM successifs du canal de gauche,  $L_0$ ,  $L_6$ ,  $L_{12}$ , etc., que le canal  $X_1$  reçoit les mots PCM successifs du canal de droite  $R_0$ ,  $R_6$ ,  $R_{12}$ , etc., que le canal  $X_2$  reçoit les mots PCM successifs du canal de gauche  $L_1$ ,  $L_7$ ,  $L_{13}$ , etc. En d'autres termes, les canaux  $X_0$  ...  $X_{11}$  reçoivent respectivement soit une série de données PCM du canal de gauche soit du canal de droite, chaque mot PCM compris dans une telle série étant la version digitalisée d'un signal audio analogique échantillonné du canal de gauche ou du canal de droite.

Dans la forme d'exécution de la fig. 1 les séries de mots PCM du canal de gauche et du canal de droite, sont délivrées en mots parallèles aux sorties du circuit de distribution 30. Chaque mot peut apparaître bit par bit de manière séquentielle ou, si désiré, chaque canal de sortie du circuit 30 peut comprendre des conducteurs en parallèle de manière que les bits de chaque série de mots PCM  $X_0$  ...  $X_{11}$  soient délivrés en parallèle. Dans n'importe quel arrangement, que les séries de mots PCM apparaissent bit par bit de manière séquentielle ou que les bits de chaque série soient délivrés en parallèle, chaque mot PCM peut comprendre, par exemple, seize bits.

Les canaux  $X_0$  ...  $X_{11}$  à la sortie du circuit de distribution 30 sont couplés à un générateur de code 40 correcteur d'erreurs. Les mots de chaque bloc de données sont délivrés en parallèle à ce générateur de code 40. Ce générateur 40 est susceptible de produire deux mots de correction d'erreurs, indiqués par  $P_x$  et  $Q_x$ . Le mot  $P_x$  est produit par un générateur 41 de mot de parité et le mot  $Q_x$  est produit par un générateur 42 de matrice de mot de parité. Il est évident que, d'autres générateurs de mots de correction d'erreurs peuvent aussi être utilisés pour créer des mots  $P_x$  et  $Q_x$  de correction d'erreurs adéquats.

Les blocs successifs de données des canaux  $X_0$  ...  $X_{11}$  comprennent respectivement les mots PCM  $W_0$ ,  $W_1$  ...  $W_{11}$ . Dans un bloc de données, les mots  $W_0$ ,  $W_1$  ...  $W_{11}$  sont formés des mots PCM  $L_0$ ,  $R_0$  ...  $R_5$  des canaux de gauche et de droite, dans le bloc de données suivant ces mots sont formés des mots PCM  $L_6$ ,  $R_6$  ...  $R_{11}$  des canaux de gauche et de droite, etc. Les mots  $W_0$ ,  $W_1$  ...  $W_{11}$  dans un bloc de données déterminé sont délivrés en parallèle au générateur 41 de mot de parité. Celui-ci comprend de préférence un additionneur modulo 2 pour faire la somme modulo 2 des mots qu'elle reçoit. Il en résulte que le mot  $P_x$  de correction d'erreur est un mot de parité fonction des mots de données délivrés au générateur de mot de parité et qu'il peut être exprimé comme suit:

$$P_x = W_0 \oplus W_1 \oplus W_2 \oplus \dots \oplus W_{11} \quad (1)$$

Le générateur 42 de matrice de mot de parité reçoit de manière similaire les mots de données  $W_0$ ,  $W_1$  ...  $W_{11}$  en parallèle et il est susceptible de produire le mot de parité  $Q_x$  en réponse à ces mots. Le générateur 42 peut être par exemple un codeur du type b-adjacent servant à multiplier les mots respectifs de données  $W_0$  ...  $W_{11}$  qu'il reçoit avec une matrice T de génération prédéterminée, cette matrice pouvant être représentée par  $T$ ,  $T^2$  ...  $T^{11}$ . Cette matrice de génération comprend donc les éléments non nuls distincts ( $2^b$ ) d'un champ de Galois. En outre, le générateur 42 de matrice de mot de parité sert aussi à faire la somme modulo 2 des mots de données multipliés. Ainsi, le mot  $Q_x$  de parité produit par le générateur 42 de mot de correction d'erreur est exprimé par:

$$Q_x = W_0 \oplus TW_1 \oplus T^2W_2 \oplus \dots \oplus T^{11}W_{11} \quad (2)$$

Le mot de parité  $P_x$  et le mot de parité  $Q_x$  de la matrice, produits tous deux par le générateur 40 de code de correction

d'erreurs, ainsi que les mots respectifs compris dans un bloc de données commun dans les canaux  $X_0 \dots X_{11}$  sont tous retardés dans le temps selon des retards respectifs différents par un circuit de retard. Celui-ci comprend les circuits de retard individuels 50, 51, 52 ... 62 et 63. Chacun de ces circuits de retard individuels impartit un retard dans le temps au mot qu'il reçoit, ce retard étant un multiple de  $D$  ( $D$  étant la période de temps occupée par un mot de données ou PCM). Le circuit 50 retarde le mot de parité  $P_x$  d'une valeur  $D$ , ce qui produit le mot de parité retardé  $P_y$ . Le circuit de retard 51 retarde le mot de parité de matrice  $Q_x$  d'un montant  $2D$ , ce qui produit le mot de parité de matrice retardé  $Q_y$ . Le circuit 52 retarde les mots PCM délivrés par le canal  $X_0$  d'un montant  $3D$  pour produire un canal retardé  $Y_0$  de mots PCM. Le circuit 53 retarde les mots PCM dans le canal  $X_1$  d'un montant  $4D$  pour produire un canal retardé  $Y_1$  de mots PCM. De manière similaire, les circuits de retard 54, 55 ... 63 retardent les mots PCM dans les canaux  $X_2, X_3 \dots X_{11}$  respectivement par des montants de  $5D, 6D, \dots 14D$  pour produire les canaux retardés  $Y_2, Y_3 \dots Y_{11}$  de mots PCM.

Bien que dans la forme d'exécution de la fig. 1, les mots de correction d'erreurs  $P_x$  et  $Q_x$  soient retardés par des montants plus petits que ceux impartis aux mots PCM, il est aussi possible, si désiré, de retarder ces mots de correction d'erreurs par des montants plus grands que ceux impartis aux mots PCM. Il est aussi possible de produire des retards différents de multiples de la période d'un mot de données. En raison des retards produits par les circuits 50 ... 63 de la fig. 1, les mots PCM dans les canaux  $Y_0 \dots Y_{11}$  présentent entre eux une relation de temps interfoliée, comme décrit en détail ci-après.

Il est admis, par exemple, que chaque mot PCM compris dans un bloc de données est un mot de 16 bits, de sorte que le mot de parité  $P_x$  et le mot de parité de matrice  $Q_x$  produits en réponse à ces mots PCM de 16 bits sont aussi formés de 16 bits. Comme alternative, chaque mot de parité  $P_x$  et chaque mot de parité de matrice  $Q_x$  peut être formé de 8 bits. Ceci est obtenu en divisant chaque mot  $W$  de 16 bits en deux mots  $W_a$  et  $W_b$  de 8 bits. Puis, au lieu de délivrer douze mots de 16 bits au générateur 41 de mot de parité et à la matrice de parité 42, vingt-quatre mots de 8 bits leur sont délivrés. Dans cette forme d'exécution, les relations (1) et (2) deviennent:

$$P_x = W_{0a} \oplus W_{0b} \oplus W_{1a} \oplus W_{1b} \oplus W_{2a} \oplus W_{2b} \oplus \dots \oplus W_{11a} \oplus W_{11b} \quad (3)$$

$$Q_x = W_{0a} \oplus TW_{0b} \oplus T^2W_{1a} \oplus T^3W_{1b} \oplus T^4W_{2a} \oplus T^5W_{2b} \oplus \dots \oplus T^{21}W_{11a} \oplus T^{22}W_{11b} \quad (4)$$

Les relations (3) et (4) montrent que le mot de parité  $P_x$  et le mot de parité de matrice  $Q_x$  sont chacun formés de 8 bits. Au lieu d'utiliser deux mots séparés de correction d'erreurs de 16 bits, on peut alors former un seul mot de correction d'erreurs de 16 bits, les premiers 8 bits de ce mot de 16 bits correspondant aux 8 bits du mot  $P_x$  et les 8 bits suivants correspondant aux 8 bits du mot  $Q_x$ .

Dans une autre alternative, chaque canal  $X_0 \dots X_{11}$  ne reçoit qu'un mot de 8 bits au lieu des 16 bits de l'exemple discuté plus haut. De toute manière, si chaque mot PCM, représentant un échantillon du canal de gauche ou du canal de droite du signal audio-analogique, comprend 16 bits, ce mot de 16 bits peut être divisé en deux mots de 8 bits, l'un de ces deux mots de 8 bits étant délivré par exemple dans le canal  $X_0$  et l'autre mot de 8 bits dans le canal  $X_1$ . De manière générale, si les mots PCM

successifs sont représentés par  $W_0, W_1 \dots W_5$ , dans lesquels  $W_0 = L_0, W_1 = R_0, W_2 = L_1, W_3 = R_1, W_4 = L_2$  et  $W_5 = R_2$ , le canal  $X_0$  comprend alors le mot de 8 bits  $W_{0a}$ , le canal  $X_1$  le mot de 8 bits  $W_{0b}$ , le canal  $X_2$  le mot de 8 bits  $W_{1a}$ , etc. et le canal  $X_{11}$  le mot de 8 bits  $W_{5b}$ . Les mots de 8 bits  $W_{0a}, W_{0b}, \dots W_{5a}$  et  $W_{5b}$  constituent un bloc de données. Le bloc de données suivant est formé de mots de 8 bits  $W_{6a}, W_{6b}, W_{7a}, W_{7b}, \dots W_{11a}$  et  $W_{11b}$ , ces mots de 8 bits étant respectivement délivrés dans les canaux  $X_0, X_1, X_2, X_3 \dots X_{10}$  et  $X_{11}$ . Avec ce procédé, dans lequel chaque canal comprend un mot de 8 bits, les mots de parité  $P_x$  et  $Q_x$  sont aussi des mots de 8 bits donnés par les relations:

$$P_x = W_{0a} \oplus W_{0b} \oplus W_{1a} \oplus W_{1b} \oplus \dots \oplus W_{5a} \oplus W_{5b} \quad (5)$$

$$Q_x = W_{0a} \oplus TW_{0b} \oplus T^2W_{1a} \oplus T^3W_{1b} \oplus \dots \oplus T^{10}W_{5a} \oplus T^{11}W_{5b} \quad (6)$$

Indépendamment de la forme d'exécution particulière choisie, c'est-à-dire que les formes d'exécution soient représentées par les relations (1), (2) ou (3), (4) ou encore (5), (6), les circuits 50, 51 ... 63 impartissent des retards adéquats aux mots de parité  $P_x$  et de parité de matrice  $Q_x$  et aussi aux mots PCM, produisant des mots de correction d'erreurs retardés  $P_y$  et  $Q_y$  et des canaux retardés  $Y_0 \dots Y_{11}$  dans lesquels les mots retardés de correction d'erreurs et les mots PCM présentent entre eux une relation dans le temps interfoliée. Les mots PCM interfoliés dans le temps dans les canaux  $Y_0 \dots Y_{11}$  forment un bloc de données interfolié. Ces mots PCM interfoliés dans les canaux  $Y_0 \dots Y_{11}$  sont délivrés en parallèle au générateur de code correcteur d'erreurs 70.

Dans l'exemple de la fig. 1, le générateur 70 est similaire au générateur 40 décrit précédemment et il comprend en conséquence un générateur de mot de parité 71 relativement simple et une matrice génératrice de parité 72. Le générateur 71 fait la somme modulo 2 des mots PCM compris dans le bloc de données interfolié dans les canaux  $Y_0 \dots Y_{11}$  pour produire un second mot de parité  $R_y$ . La matrice de parité 72 sert à multiplier les mots PCM respectifs compris dans ce bloc de données interfolié par une matrice de génération prédéterminée puis à effectuer la somme modulo 2 des produits de cette multiplication pour produire un second mot de parité de matrice  $S_y$ . Ainsi, les mots de correction d'erreurs  $P_x$  et  $Q_x$  sont associés aux blocs de données primitifs formés à la sortie du circuit 30 et les mots de correction d'erreurs  $R_y$  et  $S_y$  sont associés aux blocs de données interfoliés.

Si désiré, le générateur 70 de code de correction d'erreurs peut comprendre des circuits de codage différents pour produire des mots de correction d'erreurs  $R_y$  et  $S_y$  d'un autre type ou d'une distribution différente de celui de celle des mots de correction d'erreurs  $P_x$  et  $Q_x$  produit par le générateur 40 de code de correction d'erreurs. Néanmoins, le générateur 70 peut être d'exécution conventionnelle.

Dans le circuit de la fig. 1, des circuits de retard additionnels 80, 81 ... 87 sont prévus pour impartir des retards additionnels aux mots de correction d'erreurs sélectionnés  $P_y, Q_y, R_y$  et  $S_y$  et aussi aux mots PCM interfoliés sélectionnés délivrés dans les canaux  $Y_0 \dots Y_{11}$ . Ces circuits de retard additionnels impartissent tous un même retard  $d$  qui est une fonction de la période  $D$  du mot de données. A titre d'exemple,  $d$  peut être égal à  $D/8$ . Il est visible que dans le cas où chaque mot PCM comprend 16 bits, le retard additionnel  $d$  est égal à la période occupée par 2 bits. Dans la forme d'exécution de la fig. 1, les

mots PCM et les mots de correction d'erreurs sont tous interfoliés entre eux dans le temps et le retard additionnel  $d$  est imparti alternativement à un mot sur deux. Plus précisément, les mots de parité  $P_y$  et  $R_y$  sont soumis au retard  $d$  respectivement par les circuits de retard 80 et 81 et les mots PCM interfoliés dans les canaux  $Y_0, Y_2, Y_4, Y_6, Y_8$  et  $Y_{10}$  sont soumis au retard  $d$  respectivement par les circuits de retard 82, 83, 84, 85, 86 et 87. Il résulte de ce qui précède que la série des mots de correction d'erreurs est représentée par  $P_z, Q_z, R_z$  et  $S_z$ . De même, la série des mots PCM interfoliés est représentée par  $Z_0, Z_1 \dots Z_{11}$ . Tous ces mots de correction d'erreurs et ces mots PCM présentent une relation d'interfoliage dans le temps entre eux et leur combinaison constitue un bloc de transmission. Ce dernier est délivré avec tous les mots en parallèle au multiplexeur 90.

Le multiplexeur 90 délivre séquentiellement à sa sortie les mots compris dans chaque bloc de transmission qu'il reçoit. Le multiplexeur fonctionne donc comme un convertisseur parallèle-série. La fig. 2 montre un exemple d'une transmission séquentielle des mots. Bien que non représenté en fig. 1, un signal de synchronisation SYNC est inséré au préalable dans le bloc de transmission en série, ce signal de synchronisation étant suivi par les quatre mots de correction d'erreurs  $R_z, S_z, P_z$  et  $Q_z$  suivis à leur tour par douze mots PCM interfoliés  $Z_0, Z_1, \dots, Z_{11}$ . Ainsi, chaque bloc de transmission comprend seize mots et, si chaque mot est formé de 16 bits, le bloc de transmission en série comprend 256 bits plus le mot de synchronisation.

Revenant à la fig. 1, il est admis que le bloc de données primitif délivré à la sortie du circuit de distribution 30 est formé des mots PCM du canal de gauche et du canal de droite ( $L_0, R_0, L_1, R_1, L_2, R_2, L_3, R_3, L_4, R_4, L_5, R_5$ ) délivrés respectivement dans les canaux  $X_0 \dots X_{11}$ , de sorte que lorsque ce bloc de données apparaît, les mots PCM correspondant au canal de gauche et du canal de droite compris dans le bloc de transmission dans les canaux  $Z_0 \dots Z_{11}$  à l'entrée du multiplexeur 90 peuvent être exprimés par  $[L_{0-6(3D+d)}, R_{0-24D}, L_{1-6(5D+d)}, R_{1-36D}, L_{2-6(7D+d)}, R_{2-48D}, L_{3-6(9D+d)}, R_{3-60D}, L_{4-6(11D+d)}, R_{4-72D}, L_{5-6(13D+d)}, R_{5-48D}]$ . La relation ci-dessus représente la relation de temps entre le bloc de transmission délivré au multiplexeur 90 et le bloc de données produit à la sortie du circuit 30.

De même, si l'on admet que le bloc de transmission ( $L_0, R_0 \dots L_5, R_5$ ) est produit à la sortie du circuit de distribution 30 et si le mot de parité  $P_x$  est égal à  $P_0$ , que le mot de parité de matrice  $Q_x$  est égal à  $Q_0$ , que le mot de parité  $R_y$  est égal à  $R_0$  et que le mot de parité de matrice  $S_y$  est égal à  $S_0$ , les mots correcteurs d'erreurs  $P_z, Q_z, R_z$  et  $S_z$  compris dans le bloc de transmission délivré au multiplexeur 90 peuvent alors être respectivement représentés par  $P_{0-6(D+d)}, Q_{0-12D}, R_{0-6D}$  et  $S_0$ . Ceci représente la relation de temps retardée ou l'interfoliage dans le temps des mots correcteur d'erreurs compris dans un bloc de transmission donné.

Comme indiqué plus haut, le multiplexeur 90 est de préférence utilisé pour rendre séquentiel chaque bloc de transmission selon la distribution représentée en fig. 2. Cependant, si désiré, chaque mot PCM de correction d'erreurs compris dans le bloc de transmission peut être enregistré directement dans un enregistreur PCM adéquat ayant, par exemple, une tête multiple fixe. Le bloc de transmission peut donc être enregistré sur des pistes parallèles dans un milieu d'enregistrement par une tête multiple ou par une tête multi-fentes de type conventionnel. Toutefois, pour l'utilisation du multiplexeur 90, le bloc de transmission peut être enregistré sur un seul canal, par exemple, d'une bande magnétique, d'un disque d'enregistrement adéquat ou d'autres milieux utilisés de manière conventionnelle dans les systèmes d'enregistrement PCM.

En retardant de manière sélective les mots alternés (par exemple les mots alternés de correction d'erreurs et les mots PCM) d'un montant  $d$ , avec  $d = D/8$ , un mot de 16 bits compris dans le bloc de transmission, tel que le mot de 16 bits dans

le canal  $Z_0$ , ne correspond pas bit à bit à l'échantillon du signal audio. Ce mot de 16 bits est néanmoins désigné par mot PCM.

Bien que non représenté, lorsque le bloc de transmission qui a été enregistré dans le milieu d'enregistrement est ultérieurement reproduit, les retards sélectifs  $d$  sont annulés en retardant par exemple d'un montant  $d$  les mots auxquels le retard additionnel  $n \cdot a$  pas été imparti. Comme alternative, les mots qui ont été retardés par le retard additionnel  $d$  peuvent être retardés, lors de la reproduction, par le montant  $(D-d)$  et les autres mots par le montant  $D$ . Dans tous les cas, le bloc de données interfolié  $Y_0 \dots Y_{11}$  ainsi que les mots de correction d'erreurs  $R_y$  et  $S_y$  sont recouverts avec les relations de temps correctes. Si n'importe quel mot PCM interfolié est erroné, il peut être corrigé à l'aide des techniques de correction d'erreurs conventionnelles en utilisant les mots de correction d'erreurs  $R_y$  et  $S_y$ . Ensuite, les mots PCM interfoliés dans les canaux  $Y_0 \dots Y_{11}$  sont désinterfoliés en retardant par exemple ces mots PCM d'un montant en relation inverse des retards impartis par les circuits de retard 50 ... 63. De même, les mots de correction d'erreurs  $P_y$  et  $Q_y$  sont retardés de manière adéquate afin de recouvrir les mots de correction d'erreurs  $P_x$  et  $Q_x$  avec la même relation de temps qui se présentait entre ces mots et le bloc de données primitives. Ensuite, toute erreur dans les mots PCM désinterfoliés peut être corrigée en utilisant les mots de correction d'erreurs désinterfoliés  $P_x$  et  $Q_x$  et les techniques de correction connues.

La fig. 1 montre un aspect important de l'invention: l'utilisation d'un code de détection d'erreurs, utilisé jusqu'ici dans les techniques de codage de correction d'erreurs est évitée. Ceci signifie que l'intervalle de temps occupé antérieurement par exemple par un mot de code CRC peut être maintenant occupé par un mot PCM. En éliminant la nécessité d'un code de détection d'erreurs, la redondance du signal de correction d'erreurs codé est diminuée ou, en d'autres termes, la densité d'information ou d'enregistrement de l'information utile est augmentée.

La fig. 3 montre une autre forme d'exécution de l'invention. Il s'agit d'une amélioration de la forme d'exécution de la fig. 1.

La forme d'exécution de la fig. 3 diffère de celle de la fig. 1 en ce que le mot de parité retardé  $P_y$  et le mot de parité de matrice retardé  $Q_y$  sont tous deux délivrés au générateur 70 de code de correction d'erreurs. En particulier, le mot de parité  $P_y$  est délivré au générateur 71' de mot de parité et le mot de parité de matrice  $Q_y$  est délivré au générateur 72' de matrice de parité. En conséquence, le mot de parité  $R_y$  est obtenu par l'addition modulo 2 des mots PCM interfoliés dans les canaux  $Y_0 \dots Y_{11}$  avec le mot de parité  $P_y$ . Le mot de parité de matrice  $S_y$  est aussi obtenu comme résultat de la multiplication du mot de parité de matrice  $Q_y$  avec la matrice de génération prédéterminée et l'addition modulo 2 de ce produit avec le produit obtenu par multiplication des mots PCM interfoliés avec la matrice de génération. Ainsi, le mot de parité  $R_y$  est fonction du mot de parité  $P_y$  et aussi des mots PCM interfoliés et le mot de parité de matrice  $S_y$  est fonction du mot de parité de matrice  $Q_y$  et aussi des mots PCM interfoliés.

Si, pendant la reproduction ou la réception du bloc de transmission, le mot de parité  $P_y$  ou le mot de parité  $Q_y$  est erroné, cette erreur est corrigable en utilisant respectivement le mot de parité  $R_y$  ou le mot de parité de matrice  $S_y$ , comme dans les techniques de correction d'erreurs conventionnelles. Lorsque les mots  $P_y$  et  $Q_y$  sont corrigés, toute erreur présente dans le bloc de données primitif recouvert peut donc être corrigée. Si par contre, les mots de correction d'erreurs  $P_y$  et  $Q_y$  ne peuvent pas être corrigés, comme dans l'exemple de la fig. 1, une erreur dans le bloc de données primitif recouvert ne peut pas être corrigée. L'exemple de la fig. 3 présente donc un pouvoir de correction supérieur à celui de la fig. 1.

La fig. 4 montre un circuit améliorant celui de la fig. 3. En fig. 4, le mot de parité  $R_y$  produit par le générateur 71' de mot de parité dans le générateur 70' de code de correction d'erreurs est d'abord soumis au retard additionnel  $d$  puis renvoyé et délivré comme mot de parité  $R_x$  au générateur 41' de mot de parité compris dans le générateur 40' de code de correction d'erreurs. Plus particulièrement, le mot de parité retardé et renvoyé,  $R_z$ , est délivré à travers un circuit de retard 88 supplémentaire de manière à être retardé d'un montant  $(D-d)$ . De même, le mot de parité de matrice  $S_y$  produit par le générateur 72' de matrice de parité du générateur 70' de code de correction d'erreurs est renvoyé et délivré au générateur 42' de matrice de parité du générateur 40' de code de correction d'erreurs. En conséquence, le mot de parité  $P_x$  est produit en fonction des mots PCM compris dans le bloc de données délivré au générateur 40' et aussi du mot de parité  $R_x$  renvoyé. De même, le mot de parité de matrice  $Q_x$  est produit en fonction des mots PCM compris dans le bloc de données délivré au générateur 40' et aussi du mot de parité de matrice  $S_y$  renvoyé. Il résulte de ce «croisement» de mots de correction d'erreurs entre les générateurs respectifs de code de correction d'erreurs, que des erreurs présentes dans les mots correcteur d'erreurs  $R_y$  et  $S_y$  reproduits ou reçus sont corrigées respectivement en utilisant les mots de correction d'erreurs  $P_x$  et  $Q_x$ . De même, des erreurs présentes dans des mots correcteurs d'erreurs  $P_y$  et  $Q_y$  reproduits ou reçus sont corrigées en utilisant respectivement les mots  $R_y$  et  $S_y$ . En conséquence, et puisque des mots erronés de correction d'erreurs peuvent être corrigés, des mots PCM erronés qui ne seraient autrement pas corrigéable, peuvent être corrigés. Le circuit de la fig. 4 a donc un pouvoir de correction supérieur à celui de la fig. 3.

La fig. 5 montre une autre forme d'exécution de l'invention. Dans cette figure, les éléments semblables aux éléments décrits précédemment sont désignés par les mêmes nombres commençant par le chiffre «1». Le générateur 170 de code correcteur d'erreurs reçoit les mots de correction d'erreurs  $P_y$  et  $Q_y$  délivrés par le générateur 140 de code de correction d'erreurs. Le générateur 140 reçoit les mots de correction d'erreurs  $R_x$  et  $S_x$  délivrés tous deux par le générateur 170. Ce «croisement» de mots de correction d'erreurs est donc similaire à celui mentionné dans l'exemple de la fig. 4. Le circuit de distribution 130 reçoit les mots PCM successifs du canal de gauche sur sa borne 110 et les mots PCM successifs du canal de droite sur sa borne 120. Les canaux  $X_0 \dots X_{11}$  sont couplés aux circuits de retard 150, 151 ... 160 et, comme précédemment, ces canaux sont tous couplés au générateur de mot de parité 141 et au générateur 142 de matrice de parité compris tous deux dans un générateur 140 de code de correction d'erreurs. Les circuits de retard 150 ... 160 diffèrent de ceux (52 ... 63) décrits précédemment par les retards qu'ils impartissent. Aucun retard n'est imparté aux mots PCM du canal  $X_0$ .

Le canal  $X_1$  est couplé au circuit de retard 150 produisant un retard  $(D-d)$  imparté aux mots PCM  $R_0, R_6, R_{12} \dots$ . Le canal  $X_2$  est couplé au circuit de retard 151 produisant un retard  $2(D-d)$  imparté aux mots PCM  $L_1, L_7, L_{13} \dots$ . De manière similaire, les mots PCM dans les canaux  $X_3 \dots X_{11}$  sont respectivement soumis aux retards des circuits 152 ... 160, chacun de ces retards étant un multiple de  $(D-d)$  où  $D$  est égal à la période d'un mot de données et  $d$  est une fraction prédéterminée (par exemple  $D/8$ ) de  $D$ . Les circuits de retard 150 ... 160 permettent d'interfolier les mots PCM de manière à former un bloc de données interfolié de mots PCM délivrés dans les canaux  $Y_0 \dots Y_{11}$ . Comme indiqué plus haut, les mots PCM dans le canal  $X_0$  ne sont pas retardés.

La série des mots de parité  $P_x$  est retardée par le circuit 161 pour produire les mots de parité retardés  $P_y$ . Ce retard est égal à  $12(D-d)$ . La série des mots de parité de matrice  $Q_x$  est retardée par le circuit 162 pour produire les mots de parité de

matrice retardés  $Q_y$ . Le circuit 162 impartit un retard de  $13(D-d)$ . Les circuits de retard 150 ... 162 impartissent donc des retards sélectifs, chacun de ceux-ci étant un multiple de  $(D-d)$ , produisant un interfoliage des mots PCM et des mots de correction d'erreurs pour former un bloc de données interfolié.

Les mots PCM interfoliés dans les canaux  $Y_0 \dots Y_{11}$  sont délivrés à la fois au générateur 171 de mot de parité et au générateur 172 de matrice de parité, ces générateurs recevant aussi respectivement le mot de parité retardé  $P_y$  et le mot de parité de matrice retardé  $Q_y$ . De cette manière, le générateur 171 produit la série des mots de parité  $R_y$  et le générateur 172 la série des mots de parité de matrice  $S_y$ . Les mots de parité  $R_y$  sont renvoyés au générateur 141 dans le générateur 140 de code de correction d'erreurs à travers le circuit de retard 195. Celui-ci impartit un retard de  $14(D-d)$ , le mot de parité retardé étant désigné par  $R_x$ . De manière similaire, les mots de parité de matrice  $S_y$  sont renvoyés au générateur 142 de matrice de parité à travers le circuit de retard 196. Celui-ci impartit un retard de  $15(D-d)$ , le mot de parité de matrice étant désigné par  $S_x$ .

Les mots PCM interfoliés dans les canaux  $Y_0 \dots Y_{11}$  sont soumis à des retards additionnels sélectifs par les circuits de retard 180 ... 190. En particulier, les mots PCM dans le canal  $Y_0$  ne sont soumis à aucun retard. Les mots PCM dans le canal  $Y_1$  sont retardés par le circuit 180 d'un montant  $d$ , les mots PCM dans le canal  $Y_2$  sont retardés par le circuit 181 d'un montant  $2d$ , etc., les mots PCM dans le canal  $Y_{11}$  étant retardés d'un montant  $11d$  par le circuit 190. Les circuits 180 ... 190 tendent donc à annuler une partie des retards impartis respectivement par les circuits de retard 150 ... 160, pour produire des mots PCM interfoliés dans les canaux  $Z_0 \dots Z_{11}$ , chacun de ceux-ci présentant un retard respectif égal à un multiple entier (0, 1, 2 ... 11) de la période  $D$  d'un mot de données.

De manière similaire, les mots de parité retardés  $P_y$  sont retardés par le circuit de retard 191 d'un montant  $12d$ , les mots de parité de matrice retardés  $Q_y$  sont retardés par le circuit 192 d'un montant  $13d$ , les mots de parité  $R_y$  étant retardés par le circuit 193 d'un montant  $14d$  et les mots de parité de matrice  $S_y$  étant retardés par le circuit 194 d'un montant  $15d$ . Le circuit 191 tend à annuler une partie du retard imparté par le circuit 161, ce qui produit des mots de parité  $P_z$  retardés de  $12D$ . Le circuit 192 tend à annuler une partie du retard imparté par le circuit 162, ce qui produit des mots de parité de matrice  $Q_z$  retardés de  $13D$ . De manière similaire, les circuits 193 et 194 tendent à annuler une partie des retards impartis par les circuits 195 et 196.

En conséquence, le multiplexeur 200, qui peut être semblable au multiplexeur 90, reçoit un bloc de transmission formé de mots interfoliés. En particulier, ce bloc de transmission est formé de mots PCM interfoliés dans les canaux  $Z_0 \dots Z_{11}$  ainsi que les mots de correction d'erreurs interfoliés  $P_z, Q_z, R_z$  et  $S_z$ . Le multiplexeur 200 permet de convertir en série le bloc de transmission à ses entrées formé de mots en parallèle, ce qui produit le bloc de transmission illustré en fig. 2.

La description détaillée précédente montre que les différentes formes d'exécution de la présente invention évitent la nécessité d'un code détecteur d'erreurs, tel que le code CRC. Toutefois, si un tel code CRC est désirable, afin de permettre l'identification de mots particuliers pouvant être erronés pendant la reproduction ou la réception du bloc de transmission, le code CRC ou un autre code détecteur d'erreur, peut être introduit dans le bloc de transmission de la fig. 2. Par exemple, le code CRC peut être introduit avant les mots de correction d'erreurs.

En raison des avantages obtenus par la présente invention, le taux d'erreurs (plus petit que l'unité) est remarquablement amélioré après la correction d'erreurs. Il en résulte que le nombre d'erreurs subsistant après l'opération de correction d'erreurs est beaucoup moins grand que celui obtenu par les

techniques connues. Par exemple, si le taux d'erreurs de mots après correction est désigné par  $P_w$  (ce taux étant inférieur à l'unité), le taux d'erreurs de mots obtenu par la présente invention est de l'ordre de grandeur de  $P_w^8$  à  $P_w^{12}$ . En comparaison, avec les techniques connues utilisant un code détecteur d'erreurs, tel que le code CRC, on obtient un taux de  $P_w^3$ . En

conséquence, le pouvoir correcteur d'erreurs de la présente invention est remarquablement amélioré.

La présente invention a été décrite à l'aide d'exemples représentant des formes préférées de l'invention. Cependant, il est possible de prévoir différents changements ou modifications sans s'écarter de l'esprit ni sortir du cadre de l'invention.

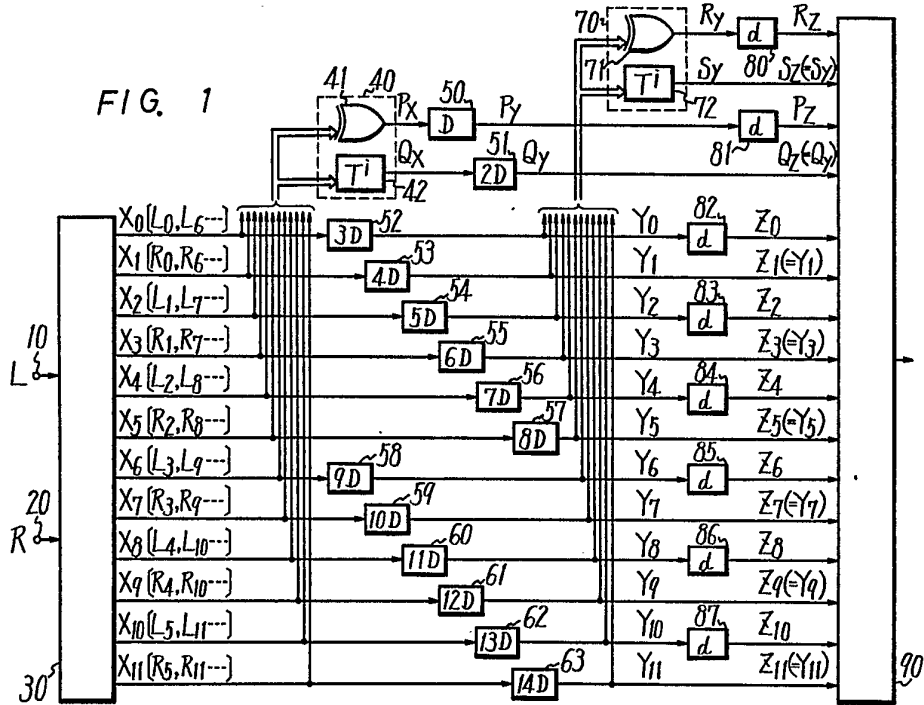
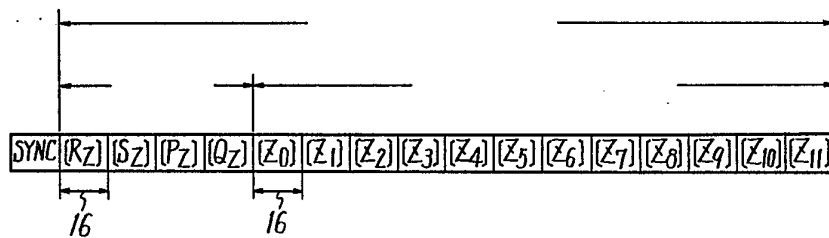


FIG. 2





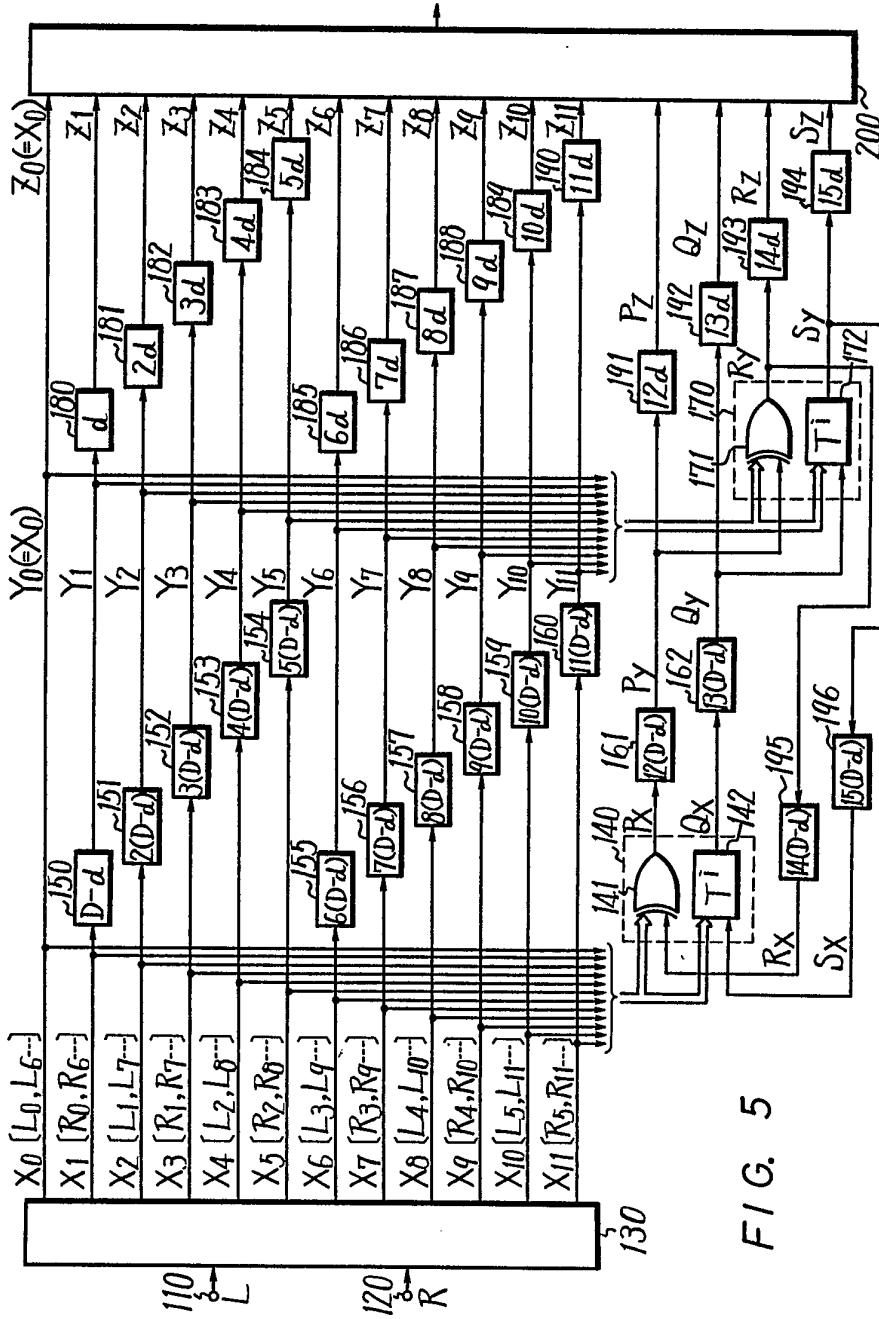


FIG. 5