

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-17767

(P2017-17767A)

(43) 公開日 平成29年1月19日(2017.1.19)

|                             |            |             |
|-----------------------------|------------|-------------|
| (51) Int.Cl.                | F I        | テーマコード (参考) |
| <b>HO2M 3/155 (2006.01)</b> | HO2M 3/155 | H 5H006     |
| <b>HO2M 7/12 (2006.01)</b>  | HO2M 7/12  | Q 5H730     |

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2015-128825 (P2015-128825)  
 (22) 出願日 平成27年6月26日 (2015. 6. 26)

(71) 出願人 000005234  
 富士電機株式会社  
 神奈川県川崎市川崎区田辺新田1番1号  
 (74) 代理人 100074099  
 弁理士 大菅 義之  
 (72) 発明者 丸山 宏志  
 神奈川県川崎市川崎区田辺新田1番1号  
 富士電機株式会社内  
 Fターム(参考) 5H006 AA02 CB01 CC02 DA02 DB01  
 DC02 DC05  
 5H730 AA14 AA18 AS04 BB14 BB57  
 CC01 DD04 EE58 EE59 FD01  
 FD11 FD41 FG05

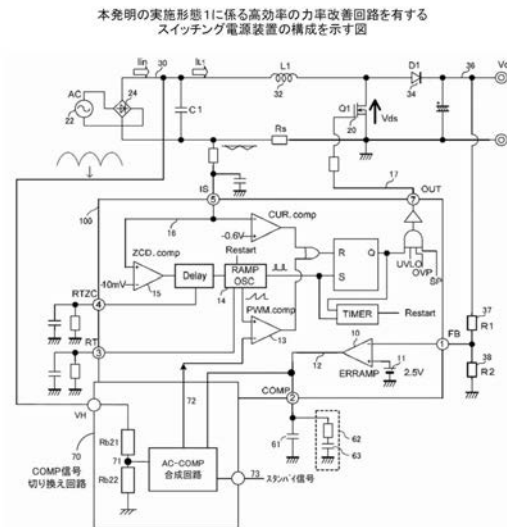
(54) 【発明の名称】 高効率パワー改善回路およびスイッチング電源装置

(57) 【要約】

【課題】スイッチング電源装置の負荷が軽負荷時及び無負荷時にスイッチング素子をパースト動作させてスイッチング損失を減らし、以って効率を向上させる高効率パワー改善回路およびスイッチング電源装置を提供する。

【解決手段】スタンバイ信号73がハイであると、COMP信号切り替え回路70のAC-COMP合成回路からAC波形が重畳されたComp\_stb信号が出力されてコンパレータ(PWM.com p)13に入力され、ランプ発振器(RAMP OSC)14の出力波形と比較される。その場合、ランプ発振器14の最低電圧よりComp\_stb信号87のピークが高くなった時のみ、制御IC 100からOUT端子出力信号17は出力されて、パースト動作が行われる。Comp\_stb信号がランプ発振器14の最低電圧より下になると、RSFFのリセット信号がハイのままとなるため、制御IC 100からOUT端子出力信号17は出ない。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

スイッチング電源装置の負荷が軽負荷時及び無負荷時にスイッチング素子をバースト動作させる制御機能を含む制御 IC において、スイッチング電源装置の出力電圧の検出値と基準値の差を増幅するエラーアンプの出力電圧に、スタンバイ時には商用電源を整流して得た前記スイッチング電源装置への入力電圧の検出値を加重加算することにより加算出力電圧を生成する手段と、

該加算出力電圧を生成する手段が生成した加算出力電圧とキャリア信号とを比較する手段と、を備え、

該比較する手段の出力に基づいて前記スイッチング電源装置のスイッチング素子をオンオフする信号を生成することを特徴とする力率改善回路。 10

## 【請求項 2】

前記加算出力電圧が前記キャリア信号の最小値より小さい場合は、前記スイッチング素子をオンオフする信号は前記スイッチング素子をオフする信号となるように設定されていることを特徴とする請求項 1 に記載の力率改善回路。

## 【請求項 3】

前記キャリア信号は、ランプ発振器からのランプ出力であることを特徴とする請求項 1 または 2 に記載の力率改善回路。

## 【請求項 4】

前記入力電圧が印加される直列接続された複数の抵抗を有する分圧回路と、該分圧回路の出力と前記エラーアンプの出力電圧とを合成する合成回路を含み、 20

該合成回路内に設けられたオペアンプを使って加重加算することを特徴とする請求項 1 に記載の力率改善回路。

## 【請求項 5】

前記入力電圧の大きさによって、前記分圧回路の分圧比を変化させることを特徴とする請求項 4 に記載の力率改善回路。

## 【請求項 6】

前記入力電圧が印加される直列接続された複数の抵抗を有する分圧回路の出力電圧と、前記エラーアンプの出力電圧とを加重加算した場合に、出力のオン幅が狭くなる方向に制御レベルを変化させることを特徴とする請求項 1 ないし 5 のいずれか一項に記載の力率改善回路。 30

## 【請求項 7】

前記制御 IC 内に最小オン幅切り替え回路を設け、前記スタンバイ時に、前記スイッチング電源装置のスイッチング素子の最小オン幅を切り替えることを特徴とする請求項 1 ないし 6 のいずれか一項に記載の力率改善回路。

## 【請求項 8】

外部信号によりスタンバイとなることを特徴とする請求項 1 ないし 7 のいずれか一項に記載の力率改善回路。

## 【請求項 9】

前記請求項 1 ないし 8 のいずれか一項に記載の力率改善回路を備えていることを特徴とするスイッチング電源装置。 40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スイッチング電源装置の負荷が軽負荷時及び無負荷時にスイッチング素子をバースト動作させることによりスイッチング損失を減らし、以って効率を向上させる力率改善回路およびスイッチング電源装置に関する。

## 【背景技術】

## 【0002】

10

20

30

40

50

商用交流電源(AC100V~240V)が供給される多くの電子機器では、内部の電子回路を駆動する直流電源を得るためにスイッチング電源回路を用いている。そのため、スイッチング電源回路では商用交流電源を直流に変換する整流回路が必要になる。

【0003】

力率改善を行わない場合、整流回路の後段に接続されている平滑コンデンサに、入力電圧が平滑コンデンサの電圧を超えるピーク近傍になる時だけ電流が流れることから、整流回路に高周波の電流成分が発生して高周波ノイズ源となるとともに、力率が低下するという問題があった。

【0004】

力率とは、交流回路における入力電圧と入力電流の積の時間平均である入力有効電力 $P_i$ (W)を、皮相電力(入力電圧の実効値と入力電流の実効値の積)で割った値であり、有効電力は皮相電力に負荷で決まる係数(力率)を掛けたものとなる。

10

【0005】

AC100Vに単なる負荷抵抗を付けた場合には、電圧波形と電流波形は同相になり力率は1となる。

しかし、スイッチング電源では、抵抗以外にコンデンサやチョークコイルなどの負荷要因があると、電圧位相に対して電流位相がずれてくる。

【0006】

その場合、そのずれた分だけ力率が減少することを補償するために入力電流を大きくする必要があり、これが送電線などの入力ラインの電力ロスを増大させてしまう。

20

そこで、力率改善回路によって力率の低下を防止してこの電力ロスを抑えるとともに、上記高周波ノイズを抑制する必要がある。

【0007】

下記に示す非特許文献1には、出力電圧を検出し基準電圧と比較し増幅するエラーアンプ(誤差増幅器)を内蔵し、一定の負荷に対してスイッチング素子のオン幅をエラーアンプの出力に応じた一定の大きさに制御する、いわゆるオン幅固定制御(オン時間一定制御)による力率改善回路(PFC(Power Factor Correction)回路)が記載されている。

【0008】

図8は、下記の非特許文献1に記載されている、従来のPFC回路を有するスイッチング電源装置の構成を示すものである。また図9は、図8に示した従来の力率改善回路の動作波形を示す図である。

30

【0009】

図8のPFC回路は、昇圧コンバータを構成するものであって、スイッチング素子としてのMOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属酸化膜電界効果トランジスタ)(Q1)220がオンすると、インダクタ(L1)232の電流 $I_{L1}$ はゼロから上昇する。

【0010】

同時に制御IC(Integrated Circuit)200の内部のランプ発振器(RAMP OSC)214の出力 $V_{ramp}$ (キャリア信号)がRT端子に接続されている抵抗の抵抗値で決まる傾きで上昇する。

【0011】

40

そしてランプ発振器(RAMP OSC)214の出力 $V_{ramp}$ とエラーアンプ(ERRAMP)210の出力 $V_{comp}$ (212)をコンパレータ(PWM.comp)213が比較し、 $V_{ramp} > V_{comp}$ となるとMOSFET Q1(220)がオフし、ランプ発振器(RAMP OSC)214の出力 $V_{ramp}$ は低下する。

【0012】

MOSFET Q1(220)がオフすると、インダクタL1(232)の両端電圧は反転し、ダイオードD1(234)を通して出力電圧236側へ電流を供給しながら、インダクタL1(232)の電流 $I_{L1}$ は減少する。

【0013】

インダクタL1(232)の電流 $I_{L1}$ がゼロになるタイミングをIS端子における電圧216に基づいて電流コンパレータ(ZCD.comp)215で検出する。そしてRTZC端子に外付けされている抵

50

抗の抵抗値で決まる遅延時間の後にMOSFET Q1(220)がオンし、次のスイッチングサイクルに移行する。

【 0 0 1 4 】

この点をさらに説明すると、ゼロ電流を検出してすぐにターンオンした場合には、MOSFET Q1(220)のVds電圧(ドレイン・ソース間電圧)が高い状態でオンすることになるためスイッチング損失が大きくなるが、図8に示したDelay(遅延)回路により次のオンタイミングを遅らせるようにすることでインダクタL1(232)とMOSFET Q1(220)の図示しない寄生容量の共振動作によりVds電圧が下がり、適切なタイミングでターンオンさせることができるので、スイッチング損失を減らすことが可能となる。制御IC200は、この動作を繰り返し行わせることにより動作(臨界動作)を継続させる。

10

【 0 0 1 5 】

上述のスイッチング動作において、PFC回路の負荷が一定の場合、エラーアンプ(ERRAMP)210の出力Vcomp(212)の値は一定となり、MOSFET Q1(220)のオン幅は一定になる。このときインダクタL1(232)のピーク電流は次の式で与えられる。すなわち、

$$I_{max} = (V_{in} / L) * t_{on}$$

ここで、I<sub>max</sub>はインダクタL1のピーク電流、V<sub>in</sub>は入力電圧、LはインダクタL1のインダクタンス値、t<sub>on</sub>はオン幅である。

【 0 0 1 6 】

上記において、L、t<sub>on</sub>は一定のため、L1(232)のピーク電流I<sub>max</sub>はV<sub>in</sub>(入力電圧)230に比例する。その波形は入力電圧230と同じAC(Alternate Current)波形となり、この動作により力率改善が可能となる。

20

【 0 0 1 7 】

この制御方式は、一般に“オン幅固定制御(オン時間一定制御)”と呼ばれており、入力電圧を検出する必要がないので、待機時に入力電圧検出抵抗により入力電圧を検出する従前の制御方式よりも電力が削減されるという効果を有している。

【 0 0 1 8 】

図8に示される昇圧コンバータ構成のPFC回路の動作を説明する。PFCの出力電圧236は、分圧抵抗R1(237)、R2(238)で分圧され、制御IC200のFB端子に入力される。この分圧と制御IC200内に設けられた基準電圧源211の直流電圧2.5Vとの差に応じた電流をエラーアンプ(ERRAMP)210が出力し(エラーアンプ(ERRAMP)210はトランスコンダクタンスアンプにより構成される)、これをエラーアンプ(ERRAMP)210の出力端子に接続されているキャパシタ261が積分・平滑することにより信号Vcomp(212)が生成される。

30

【 0 0 1 9 】

制御IC200は、このエラーアンプ(ERRAMP)210の出力Vcomp(212)を用いてPFC回路の出力電圧236が一定になるように(出力電圧236の分圧が基準電圧源211の直流電圧2.5Vに等しくなるように)MOSFET Q1(220)のスイッチング動作を制御する。

【 0 0 2 0 】

一方でPFC回路の出力電圧236には、通常、商用電源に基づく交流(AC: Alternate Current)入力222に同期したリップル分が含まれているが、エラーアンプ(ERRAMP)210の出力Vcomp(212)にこのリップル分が現れると、PFC回路は安定動作しない。

40

【 0 0 2 1 】

そのため、エラーアンプ(ERRAMP)210の出力でもあるCOMP端子に接続されたCR(Capacitor and Resistor)の位相補償回路262で、入力周波数の2倍の周波数より高い帯域をカットして(当該帯域のゲインを0dBより落として)使用するようにしている。この結果、エラーアンプ(ERRAMP)210の出力でもあるCOMP端子の電圧は、定常状態ではほぼ直流電圧となっている。

【 0 0 2 2 】

そしてエラーアンプ(ERRAMP)210の出力Vcomp(212)は、制御IC200内のコンパレータ(PWM.comp)213でランプ発振器(RAMP OSC)214の出力Vrampと比較され、比較結果をOUT端子217からスイッチング素子Q1(220)のゲートに出力し、スイッチング素子Q1(220)のオン

50

幅を制御することでPFC回路の出力電圧236が調整される。

【0023】

図8に示したPFC回路は、臨界モード(Critical Mode)で使用されるようにされており、重負荷時にはスイッチング周波数が低く、軽負荷時にはスイッチング周波数が高くなるものの、図8に示されるPFC回路は、軽負荷状態から重負荷状態において、OUT(Output)端子217からスイッチングパルスが継続して出力される(図9のOUT波形参照)ため、負荷が軽いほどMOSFET Q1(220)のスイッチング損失が増え、効率が低下するという課題がある。

【0024】

また下記特許文献1には、交流電源に接続され直流電圧を得る力率改善回路と、力率改善回路の直流電圧をトランスの1次巻線に入力しスイッチング素子によりオン/オフして別の直流電圧に変換し無負荷又は軽負荷時にスイッチング周波数が低下又は間欠発振に移行するDC-DCコンバータとを備えたスイッチング電源装置において、トランスの2次巻線に発生する電圧を整流し第1平滑コンデンサで平滑して負荷へ供給する第1整流平滑回路と、トランスの制御巻線に発生する電圧を整流し第2平滑コンデンサで平滑する第2整流平滑回路と、この第1整流平滑回路の出力リップルが所定値以上になったことを検知したときに、スイッチング周波数が低下又は間欠発振に移行したとして力率改善回路を停止させる軽負荷検出回路とを備えるスイッチング電源装置が記載されている。

10

【0025】

そしてこのスイッチング電源装置は、第2整流平滑回路の出力リップルが所定値以上になったことを検知したときに、スイッチング周波数が低下又は間欠発振に移行したとして力率改善回路を停止させることで待機時の消費電力を低減することを教示している。

20

【0026】

具体的には、特許文献1においては、軽負荷時にはDC-DCコンバータの制御IC72が待機時動作モードになり、通常時のスイッチング周波数より遥かに低い周波数でスイッチング素子Q2が間欠発振する(特許文献1の図6の $t_1 \sim t_7$ 区間)。このとき、上記第1平滑コンデンサに相当する平滑コンデンサC5の電圧 $V_{C5}$ は、重負荷時及び軽負荷時においても、ほぼ一定の電圧となるように制御される。一方、軽負荷になると通常時のスイッチング周波数より遥かに低い周波数でスイッチング素子Q2が間欠発振するため、上記第2平滑コンデンサに相当する平滑コンデンサC4の電圧 $V_{C4}$ は、発振していない期間(特許文献1の図6の $t_1 \sim t_3$ 区間、 $t_5 \sim t_7$ 区間)に、平滑コンデンサC4とその負荷インピーダンス(軽負荷検出回路15のインピーダンス)による時定数で放電して低下していき、大きなリップルが現れる。

30

【0027】

軽負荷検出回路15は、基準電圧Vrefと平滑コンデンサC4の電圧 $V_{C4}$ を比較して、平滑コンデンサC4の電圧 $V_{C4}$ が基準電圧Vref以下になった時(特許文献1の図6の $t_2 \sim t_4$ 区間、 $t_6 \sim t_8$ 区間)に、Lレベルとなる電圧信号Vse1をPFC制御回路6aに出力してPFC制御回路6aを停止させる。このため、間欠発振のほとんどの期間で力率改善回路5を停止させることができる。また、間欠発振の期間(特許文献1の図6の $t_1 \sim t_7$ )では、平滑コンデンサC4の電圧 $V_{C4}$ を基準電圧Vrefまで上昇しないように、軽負荷検出回路15の内部の時定数をさらに大きくすると、軽負荷検出回路15からPFC制御回路6aに出力される信号は、特許文献1の図6に示す電圧信号Vse2のようになり、間欠発振の期間では、力率改善回路5を継続して停止させることができる。このように実施例のスイッチング電源装置によれば、軽負荷検出回路15は、平滑コンデンサC4の出力リップルが所定値以上になったことを検知したときに、間欠発振に移行したとしてPFC制御回路6aを停止させるので、DC-DCコンバータが待機時動作に移行したことを安価に外部から判断でき、確実に力率改善回路5を停止させて待機時の消費電力を低減できる。

40

【先行技術文献】

【特許文献】

【0028】

【特許文献1】特開2005-348560号公報

50

## 【非特許文献】

【0029】

【非特許文献1】菅原敬人、外2名、「第2世代臨界モードPFC制御IC「FA5590シリーズ」」、富士時報、富士電機ホールディングス株式会社、平成22年11月10日、第83巻、第6号、p.405-410

## 【発明の概要】

【発明が解決しようとする課題】

【0030】

このように図8に示された従来技術の場合には、軽負荷時に、スイッチング周波数が高くなり、スイッチング素子の損失は増加してしまうため、(1)効率が悪化する、(2)スイッチング素子の温度が上昇してしまう、といった問題があった。

10

【0031】

また、特許文献1に開示されているスイッチング電源装置は、軽負荷時にPFCをON/OFFするため、PFC回路の出力電圧が変動し後段コンバータの設計が難しくなるという課題があった。

【0032】

そこで本発明は、スイッチング電源装置の負荷が軽負荷時及び無負荷時にスイッチング素子をバースト動作させてスイッチング損失を減らし以って効率を向上させる高効率の力率改善回路およびスイッチング電源装置を提供することを目的とするものである。

【課題を解決するための手段】

20

【0033】

上記の課題を解決するために本発明の力率改善回路は、スイッチング電源装置の負荷が軽負荷時及び無負荷時にスイッチング素子をバースト動作させる制御機能を含む制御ICにおいて、スイッチング電源装置の出力電圧の検出値と基準値の差を増幅するエラーアンプの出力電圧に、スタンバイ時には商用電源を整流して得た前記スイッチング電源装置への入力電圧の検出値を加算加算することにより加算出力電圧を生成する手段と、該加算出力電圧を生成する手段が生成した加算出力電圧とキャリア信号とを比較する手段と、を備え、該比較する手段の出力に基づいて前記スイッチング電源装置のスイッチング素子をオンオフする信号を生成することを特徴とする。

【0034】

30

上記において前記加算出力電圧が前記キャリア信号の最小値より小さい場合は、前記スイッチング素子をオンオフする信号は前記スイッチング素子をオフする信号となるように設定されていることを特徴とする。

【0035】

上記のいずれかにおいて前記キャリア信号は、ランプ発振器からのランプ出力であることを特徴とする。

また上記において前記入力電圧が印加される直列接続された複数の抵抗を有する分圧回路と、該分圧回路の出力と前記エラーアンプの出力電圧とを合成する合成回路を含み、該合成回路内に設けられたオペアンプを使って加重加算することを特徴とする。

【0036】

40

上記において前記入力電圧の大きさによって、前記分圧回路の分圧比を変化させることを特徴とする。

上記において前記入力電圧が印加される直列接続された複数の抵抗を有する分圧回路の出力電圧と、前記エラーアンプの出力電圧とを加重加算した場合に、出力のオン幅が狭くなる方向に制御レベルを変化させることを特徴とする。

【0037】

また上記いずれかの記載において前記制御IC内に最小オン幅切り替え回路を設け、前記スタンバイ時に、前記スイッチング電源装置のスイッチング素子の最小オン幅を切り替えることを特徴とする。

【0038】

50

上記いずれかの記載において外部信号によりスタンバイとなることを特徴とする。

上記の課題を解決するために本発明のスイッチング電源装置は、上記いずれかに記載の力率改善回路を備えていることを特徴とする。

【発明の効果】

【0039】

本発明によれば、スイッチング電源装置の軽負荷時及び無負荷時にバースト動作させることができるため、スイッチング損失が減り効率が向上する。

また本発明によれば、AC波形のCOMP端子電圧への重畳においてカップリングコンデンサを使用せずにバースト動作を行わせることができるため、制御IC内に納めることが可能となり、外部部品数を削減することが可能となる。

【0040】

また本発明によれば、制御IC内に最小オン幅切り替え回路が設け、スタンバイモード時にOUT端子の最小オンパルス幅を広げるように切り替えることが可能となり、バースト動作時のスイッチング回数をさらに減らすことでスイッチング損失の低減が可能となる。

【図面の簡単な説明】

【0041】

【図1】本発明の実施形態1に係る高効率の力率改善回路を有するスイッチング電源装置の構成を示す図である。

【図2】本発明の実施形態1に係るCOMP信号切り替え回路の構成例を示す図である。

【図3】図2に示したCOMP信号切り替え回路の動作波形を示す図である。

【図4】本発明の実施形態1に係る力率改善回路の動作波形を示す図である。

【図5】本発明の実施形態1に係るVH電圧検出回路の構成例を示す図である。

【図6】本発明の実施形態2に係る高効率の力率改善回路を有するスイッチング電源装置の構成を示す図である。

【図7】本発明の実施形態2に係る最小オン幅信号切り替え回路の構成例を示す図である。

【図8】従来の力率改善回路を有するスイッチング電源装置の構成を示す図である。

【図9】図8に示した従来の力率改善回路の動作波形を示す図である。

【発明を実施するための形態】

【0042】

本件出願人は、本件に関連する特許願（特願2014-177099）（以下、“先行出願”と称す）を出願済みであります。

上記“先行出願”の概略を以下に記述すると、軽負荷時および無負荷時に、スイッチング電源装置の出力電圧の検出値と基準電圧源の基準値との差を増幅したエラーアンプの出力電圧に、商用電源を整流して得たスイッチング電源装置への入力電圧の検出値をコンデンサを用いて加重加算することにより加算出力電圧を生成し、該加算出力電圧とキャリア信号とを比較することにより、前記スイッチング電源装置のスイッチング素子をオンオフする信号を生成し、商用電源を整流した波形のピーク部分でスイッチング動作を行いその他の部分ではスイッチング動作を停止するバースト動作を行うことで軽負荷時におけるスイッチング損失を減らして効率を向上させるようにしたものである。

【0043】

そこで本件発明は、上述した“先行出願”を改善することを念頭に創案されたものであり、以下、本件発明の実施の形態について詳細に説明する。

[実施形態1]

図1は、本発明の実施形態1に係る高効率の力率改善回路を有するスイッチング電源装置の構成を示す図である。図1に示す本発明の実施形態1に係るスイッチング電源装置の構成は、COMP信号切り替え回路70を備えるようにして、“先行出願”における、AC入力電圧を整流した電圧に接続される、分圧抵抗Rb1と分圧抵抗Rb2及びキャパシタCbからなるバースト回路を不要とするものである。

【0044】

10

20

30

40

50

本発明の実施形態に係るCOMP信号切り替え回路70の詳細な構成については後述するが、AC入力電圧を整流回路24で整流した電圧30を入力する制御IC100のVH端子、外部からのスタンバイ信号73が入力される制御端子を有している。

【0045】

スタンバイ信号73は、COMP端子電圧12の電圧信号に、VH端子からのAC電圧波形成分を重畳するか、しないかを切り替える制御信号である。その切り替えは、COMP信号切り替え回路70内のAC-COMP合成回路で行う。

【0046】

COMP信号切り替え回路70のAC-COMP合成回路は、AC-COMP合成回路の出力をコンパレータ(PWM.comp)13の反転入力端子に入力し、ランプ発振器(RAMP OSC)14の出力Vramp(キャリア信号)と比較して、その比較出力をRSFFのR(リセット)端子に入力することで、MOSFET Q1(20)のオン/オフのスイッチング動作を制御する構成を採用している。この点の詳細は後述する。

10

【0047】

図1に示す力率改善回路は、“先行出願”と同様に昇圧コンバータを構成するものであって、スイッチング素子としてMOSFET Q1(20)がオンすると、インダクタ(L1)32の電流 $I_{L1}$ はゼロから上昇する。

【0048】

同時に、制御IC100内のランプ発振器(RAMP OSC)14の出力VrampがRT端子に外付けされている抵抗の抵抗値で決まる傾きで上昇する。そしてランプ発振器(RAMP OSC)14の出力VrampとAC-COMP合成回路の出力72(すなわちCOMP信号切り替え回路70の出力72)とをコンパレータ(PWM.comp)13で比較し、 $V_{ramp} > AC-COMP合成回路の出力72$ となるとMOSFET Q1(20)がオフし、これに従ってランプ発振器(RAMP OSC)14の出力Vrampが低下する。

20

【0049】

MOSFET Q1(20)がオフすると、インダクタL1(32)の両端電圧は反転し、ダイオードD1(34)を通して出力電圧36側へ電流を供給しながら、インダクタL1(32)の電流 $I_{L1}$ は減少する。

インダクタL1(32)の電流 $I_{L1}$ がゼロになるタイミングをIS端子における電圧16に基づいて電流コンパレータ(ZCD.comp)15で検出する。そしてRTZC端子に外付けされている抵抗の抵抗値で決まる遅延時間の後にMOSFET Q1(20)がオンし、次のスイッチングサイクルに移行する。

30

【0050】

この点をさらに説明すると、ゼロ電流を検出してすぐにターンオンした場合には、MOSFET Q1(20)のVds電圧(ドレイン・ソース間電圧)が高い状態でオンすることになるためスイッチング損失が大きくなるが、図1に示したDelay(遅延)回路により次のオンタイミングを遅延させるようにすることでインダクタL1(32)とMOSFET Q1(20)の図示しない寄生容量の共振動作によりVds電圧が下がり、適切なタイミングでターンオンさせることができるので、スイッチング損失を減らすことができる。制御IC100は、この動作を繰り返し行わせることで動作(臨界動作)を継続させる。

【0051】

その一方、図1に示される力率改善回路の出力電圧36は、分圧抵抗R1(37)、R2(38)で分圧され、制御IC100のFB端子に入力される。この分圧と制御IC100内に設けられた基準電圧源11の直流電圧2.5Vとの差に応じた電流をエラーアンプ(ERRAMP)10が出力し、このエラーアンプ(ERRAMP)10の出力をエラーアンプ(ERRAMP)10の出力端子に接続されているキャパシタ61が積分・平滑することにより信号Vcomp(12)を生成する。

40

【0052】

制御IC100は、このエラーアンプ(ERRAMP)10の出力Vcomp(12)を、本実施形態1により導入したCOMP信号切り替え回路70のAC-COMP合成回路に取り込み、上述のようにCOMP信号切り替え回路70で信号処理したうえで本実施形態1に係る力率改善回路の出力電圧36が一定(出力電圧36の分圧が基準電圧源11の直流電圧2.5Vに等しくなる)になるようにMOSFET Q1(20)のスイッチング動作を制御する。

50

## 【 0 0 5 3 】

本実施形態 1 に係る力率改善回路の出力電圧36には、通常、商用電源（AC電源）22に基づく交流(AC)入力に同期したリップル分が含まれているが、エラーアンプ(ERRAMP)10の出力Vcomp（12）にこのリップル分が現れると、本実施形態 1 に係る力率改善回路は安定動作しなくなるため、通常では、エラーアンプ(ERRAMP)10の出力に直結されるCOMP端子に接続されたCR(Capacitor and Resistor)の位相補償回路62で、入力周波数の2倍の周波数より高い帯域のゲインを0dBより落として使用するようになっている。

## 【 0 0 5 4 】

このように本発明の実施形態 1 の構成により導入されたCOMP信号切り替え回路70のAC-COMP合成回路(詳細構成は後述する図 2 参照)には、COMP端子に供給されるエラーアンプ(ERRAMP)10の出力12が供給され、AC-COMP合成回路はこれを取り込んで信号処理を行う。

10

## 【 0 0 5 5 】

またCOMP信号切り替え回路70には、上述したようにAC入力電圧を整流した電圧30がVH端子を介して入力され、入力された電圧30は抵抗Rb21と抵抗Rb22により分圧され、5V系の制御回路で扱える電圧71となって、AC-COMP合成回路に入力される。

## 【 0 0 5 6 】

なお、抵抗Rb21と抵抗Rb22を用いて分圧し所定の電圧71を取り出す構成は、例えば、スイッチング電源装置の起動時にVH端子から制御IC100の電源となる不図示のコンデンサに電流を供給する既存の起動回路に採用されているものを流用することができる。

## 【 0 0 5 7 】

図 2 は、図 1 に示したCOMP信号切り替え回路70の構成例を示す図である。図 2 において、AC入力電圧を整流した電圧30がVH端子に入力されると、この電圧30は、抵抗Rb21と抵抗Rb22により分圧され、5V系の制御回路で扱える電圧71となる。

20

## 【 0 0 5 8 】

図 2 の回路例では、分圧点の電圧71がVH端子電圧の1/150になるように抵抗Rb21と抵抗Rb22の抵抗値の比率が設定されている。

この抵抗Rb21+抵抗Rb22の抵抗値は、20MΩ 以上の高抵抗値であっても制御IC100内に内蔵することができるものである。外付けの抵抗では抵抗値が高すぎると耐ノイズ性に問題が生じるが、制御IC100内にこの抵抗を内蔵することで、耐ノイズ性に問題を発生させることなく抵抗値を上げることができ、抵抗での損失を抑えることができる。

30

## 【 0 0 5 9 】

抵抗Rb21と抵抗Rb22による分圧点の電圧71は、図示のようにVH電圧検出回路80に入力され、AC入力電圧がAC100V系の場合は出力のVHmode信号88がLowを、AC230Vなどの200V系の場合は出力のVHmode信号88がHighを出力する。VH電圧検出回路80の構成は後述する。

## 【 0 0 6 0 】

また分圧点の電圧71は、図示のように電圧バッファ（ボルテージフォロワ）接続されたオペアンプOp1に入力され、分圧点の電圧71をインピーダンス変換して出力端81に出力する。これによって、抵抗R11,R12,R13に電流を供給してさらに分圧を行って、分圧点の電圧を以下のように利用する。すなわち、

分圧点の電圧82は、オペアンプOp1の出力端81の電圧を1/3に分圧し、分圧点の電圧83は、オペアンプOp1の出力端81の電圧を1/4.34に分圧するように設定される。これら分圧点の電圧82,83は、VHmode信号で制御されるアナログスイッチASW1、ASW2によって選択される。

40

## 【 0 0 6 1 】

AC入力電圧が100V系の場合は、オペアンプOp1の出力端81の電圧に対する分圧比が1/3の電圧82の分圧点を選択されるようにアナログスイッチASW1がオン、ASW2がオフして、アナログスイッチASW1の出力84が電圧バッファ（ボルテージフォロワ）接続されたオペアンプOp2に入力される。

## 【 0 0 6 2 】

その結果、オペアンプOp2の出力85は、VH電圧の1/450の電圧となり、VHmode信号でAC10

50

0V系を選択する場合の最大入力電圧の場合に、ランプ発振器(RAMP OSC)14の出力であるVrampのスタート電圧(最低電圧)を超えない(下回る)ように設定することができる。

【0063】

たとえばVrampのスタート電圧(最低電圧)を0.6Vに設定すると、AC190V時のピーク電圧269Vのときに出力85は0.6Vとなり、VHmode信号でAC100V系を選択する場合の最大電圧はAC170Vのため出力85は0.6V以下となる。

【0064】

AC入力電圧が200V系の場合は、オペアンプOp1の出力端81の電圧に対する分圧比が1/4.34の電圧83の分圧点を選択されるようにアナログスイッチASW1がオフ、ASW2がオンして、アナログスイッチASW2の出力84が電圧バッファ接続されたオペアンプOp2に入力される。

【0065】

この場合の4.34分の1は、200V系入力電圧の最大値AC274V(=AC240V\*1.15倍)のピーク電圧390.3VのときにオペアンプOp2の出力85を0.6Vにできる設定である。ここで、VHmode信号でAC200V系を選択する場合の最大電圧はAC240Vのため、出力85は0.6V以下となる。

【0066】

COMP信号切り替え回路70のAC-COMP合成回路(図1参照)に入力されたCOMP端子電圧12は、電圧バッファ(ボルテージフォロワ)接続されたオペアンプOp3に入力され、インピーダンス変換された同じ電圧が出力端86に出力される。

【0067】

抵抗R31,R32は同じ抵抗値を有するように設定され、VH電圧を分圧した、電圧バッファ接続されたオペアンプOp2の出力電圧波形85と電圧バッファ接続されたオペアンプOp3の出力であるCOMP電圧86の中間電圧がComp\_stb信号87として出力される。

【0068】

COMP信号切り替え回路70のAC-COMP合成回路(図1参照)に入力されたスタンバイ信号73は、アナログスイッチASW3,ASW4を制御し、スタンバイ信号73がHighのときアナログスイッチASW3がオン、ASW4がオフしてComp\_stb信号87が、COMP信号切り替え回路70の出力信号72となる。

【0069】

逆に、スタンバイ信号73がLowのときには、アナログスイッチASW3がオフ、ASW4がオンしてCOMP信号12が、そのままCOMP信号切り替え回路70の出力信号72となる。

図3は、図2に示したCOMP信号切り替え回路の動作波形を示す図である。図3に示されるように、VH端子電圧波形(図3最上部参照)を抵抗分割した、 $VH * 1/450$ (100V入力時)で示される波形85(図3中段部破線波形参照)とCOMP端子電圧波形86の中間電圧がComp\_stb信号87として生成される。

【0070】

スタンバイ信号73がHighで、Comp\_stb信号87がCOMP信号切り替え回路70のAC-COMP合成回路(図1参照)からの出力72として出力されて、コンパレータ(PWM.comp)13に入力され、ランプ発振器(RAMP OSC)14の出力波形と比較される場合、ランプ発振器14の最低電圧(この場合0.6V)より下にComp\_stb信号87がある場合は、RSFF(RSフリップフロップ)のリセット端子の入力がHighのままになるため、制御IC100からOUT端子出力信号17(以下、OUT端子およびOUT端子出力信号に同じ符号17を付す)は出ない。ランプ発振器14の最低電圧(この場合0.6V)よりComp\_stb信号87のピークが高くなった時のみ制御IC100からOUT端子出力信号17が出力される。この動作により、パースト動作(図3下段部波形参照)が行われることになる。

【0071】

図4は、本発明の実施形態1に係る力率改善回路の動作波形を示す図である。図4においてスタンバイ信号73がLowの通常動作時は、COMP信号切り替え回路70の出力は、COMP端子電圧の波形12がそのまま使用(図1に示すコンパレータ(PWM.comp)13の入力信号72として使用)され、ランプ発振器の最低電圧(出力停止電圧)より高い一定電圧となるため、OUT端子17は連続的に出力波形(図4下段部左部波形参照)を出力する。

## 【 0 0 7 2 】

スタンバイ信号73がHighに切り替わりスタンバイモードになると、COMP信号切り替え回路70の出力は、COMP端子電圧波形86にVH端子電圧を抵抗分割した波形 ( $VH * 1/450$ (100V入力時)) 85(図4中段部破線波形参照)が重畳された、図2及び図3に示すComp\_stb信号87に切り替わる。その場合、VH端子電圧を抵抗分割した電圧値は、必ずランプ発振器の最低電圧(0.6V)より小さい設定となり、COMP信号切り替え回路70の出力(周期単位の波形)は切り替え直後に一旦低下してその後再び上昇して安定する動作(図4中段部実線の後半の波形参照)となる。

## 【 0 0 7 3 】

このときVH端子電圧の分圧点の電圧71がランプ発振器の最低電圧(0.6V)より大きい設定になっていると、スタンバイ信号73が切り替わった場合に、COMP信号切り替え回路70の出力が一旦上昇する場合が発生してPFC回路の出力電圧が過電圧状態となる場合が想定される。これを回避するためにVH端子電圧の分圧点の電圧71がランプ発振器の最低電圧(0.6V)より小さい設定とする必要がある。

10

## 【 0 0 7 4 】

また、逆にスタンバイ信号73がHighからLowに切り替わって通常動作に戻る場合は、COMP信号切り替え回路70の出力72は一旦上昇する。しかし通常動作に復帰する場合は、負荷が急に重くなった状態でCOMP端子電圧を早く上げて出力の低下を防止しなければならない状態のため、このタイミングでのCOMP信号切り替え回路70の出力72の上昇は極端に大きな上昇でないかぎり問題とならない。

20

## 【 0 0 7 5 】

本実施形態1では、VH端子電圧の抵抗分圧比を100V系と200V系の2段階で想定しているが、さらに多くの段階に分けて、スタンバイ切り替え時の電圧変化を小さくするように変更することも可能である。

## 【 0 0 7 6 】

図5は、本発明の実施形態1に係るVH電圧検出回路の構成例を示す図である。本発明の実施形態1に係るVH電圧検出回路は、上記したように図2のCOMP信号切り替え回路70の構成において、図示番号80で記載したブロックに相当するものである。

## 【 0 0 7 7 】

図5を用いてVH電圧検出回路80の構成を詳しく説明すると、VH電圧検出回路80は、VH端子電圧を1/150に分圧した電圧( $VH/150$ )71を検出するコンパレータ(Comparator)と2つの遅延タイマー回路(Delay timer)およびRSFF(RS Flip-Flop)から構成される。

30

## 【 0 0 7 8 】

コンパレータ(Comparator)には、その非反転入力端子にVH端子電圧を1/150に分圧した電圧71が入力され、反転入力端子に基準電圧(1.6V/1.5V)が入力される。基準電圧は回路例では、1.6Vが入力され、図には示していないがヒステリシスを持ち、VH/150電圧が1.6Vを超えて出力が反転した後は、基準電圧を1.5Vに切り替える機能を持つ。基準電圧の1.6VはVH=240V(AC170V入力時のピーク電圧に相当)、また1.5VはVH=226V(AC160V入力時のピーク電圧に相当)をそれぞれ検出する。

## 【 0 0 7 9 】

AC入力波形の電圧が基準電圧を超える時間が5 $\mu$ s以上になると、遅延タイマー5 $\mu$ s(Delay timer 5 $\mu$ s)の出力102がHighレベルとなってRSFF(RS Flip-Flop)をセットしてVHmode信号88をHighとする。この5 $\mu$ sの遅延タイマーはノイズによる誤動作を防止するためのものである。

40

## 【 0 0 8 0 】

AC入力波形の電圧が基準電圧を下回る時間が50ms以上になると、遅延タイマー50ms(Delay timer 50ms)の出力104がHighレベルとなってRSFF(RS Flip-Flop)をリセットしてVHmode信号88をLowとする。この50msの遅延タイマーはAC波形を整流した波形のピーク5サイクル分(AC周期50Hz時)AC入力AC150Vより下がると100V系に切り替える動作を行うためのものである。

50

【 0 0 8 1 】

[ 実施形態 2 ]

図 6 は、本発明の実施形態 2 に係る高効率の力率改善回路を有するスイッチング電源装置の構成を示す図である。

【 0 0 8 2 】

本発明の実施形態 2 は、上述した実施形態 1 に示された力率改善回路に、スタンバイ信号 73 が High 入力されてバースト動作を行うときに制御 IC 100 の OUT 端子の出力波形の最小オン幅を広げる機能を追加したもので、OUT 出力用の RSFF の Q 出力信号と保護機能の出力を合成する AND ゲートへの入力の間に最小オン幅切り替え回路 90 を追加したものである。その余の構成は、図 1 の実施形態 1 に示した力率改善回路と同様であるのでその説明を省略することにする。

10

【 0 0 8 3 】

図 7 は、本発明の実施形態 2 に係る最小オン幅切り替え回路 90 の構成例を示す図である。図 7 において、図 6 の RSFF からの Q 出力信号が最小オン幅切り替え回路 90 に入力され、この信号が Low から High に切り替わると、最小オン幅切り替え回路 90 内の RSFF3 のセット端子 (S 端子) が High となり、図 6 に示す AND ゲートへの出力 114 が Low から High に切り替わる。

【 0 0 8 4 】

図 7 に示す図 6 の RSFF からの Q 出力信号 (RSFF\_Q) 111 が High から Low に切り替わる場合の動作は、スタンバイ信号 73 の Low/High で切り替えられ、スタンバイ信号 73 が Low で通常動作状態であれば、アナログスイッチ ASW5 がオンして、ASW6 がオフしている。

20

【 0 0 8 5 】

そのため RSFF の Q 出力信号 (RSFF\_Q) 111 が High から Low となると、インバータゲートで反転された信号 112 がアナログスイッチ ASW5 を通して RSFF3 のリセット端子 (R 端子) 113 が High となり、AND ゲートへの出力 114 が High から Low に切り替わる。

【 0 0 8 6 】

このとき OUT 端子のターンオン / ターンオフの信号にはほとんど遅延は発生せずに、RSFF の Q 出力信号 (RSFF\_Q) 111 の信号がそのまま OUT 端子 17 に出力される。

逆に、スタンバイ信号 73 が High でバースト動作状態であれば、アナログスイッチ ASW5 がオフして、ASW6 がオンしている。

【 0 0 8 7 】

30

そのため RSFF の Q 出力信号 (RSFF\_Q) 111 が High から Low となると、インバータゲートで反転された信号 112 が遅延回路 (Delay timer 1.5  $\mu$ s) を通して 1.5  $\mu$ s 遅れて立ち上がる。

1.5  $\mu$ s 遅延した信号がアナログスイッチ ASW6 を通して RSFF3 のリセット端子 (R 端子) 113 に伝えられて High となり、AND ゲートへの出力 114 が High から Low に切り替わる。

【 0 0 8 8 】

このとき RSFF の Q 出力信号 (RSFF\_Q) 111 のターンオン信号は遅延回路に関係なくほとんど遅延は発生せずに、AND ゲートへの入力の信号 114 を High とするが、ターンオフ側は遅延回路 (Delay timer 1.5  $\mu$ s) を通して信号が伝わるため、遅延時間分 RSFF3 のリセットが遅れ、最小オン幅として 1.5  $\mu$ s が OUT 端子 17 に High 出力される。

【 0 0 8 9 】

40

[ まとめ及び応用例 ]

以上における説明を纏めると、以下ようになる。すなわち、

本件発明は、AC 入力を整流した電圧 30 から VCC 端子に充電する高耐圧起動電流回路を内蔵する制御 IC で、PFC 回路のバースト回路を構成する場合、制御 IC は AC 入力を整流した電圧を入力する VH 端子を持ち、入力電圧が入力される 20M 以上の高抵抗を IC 内に内蔵して抵抗分圧することが可能となり、AC 入力電圧の分圧抵抗での損失を低減することができる。

【 0 0 9 0 】

特に、PFC 回路を持つ力率改善コンバータを前段に、その後段となる電流共振コンバータ (LLC 回路) や擬似共振コンバータ (QR 回路) を同一制御 IC チップに内蔵するコンボ IC を構

50

成する場合に、スタンバイ時の高効率化を目的としてVH端子と高耐圧起動電流回路が内蔵され、起動時以外はAC系ラインからのVCC供給を遮断する際に有効となる。

【 0 0 9 1 】

さらに、入力電圧を高抵抗で分圧した電圧をオペアンプでバッファリング(インピーダンス変換)するようにしている。さらにCOMP端子電圧もオペアンプでバッファリング(インピーダンス変換)し、この2つのオペアンプの出力電圧を合成してCOMP端子電圧としたうえで、AC入力電圧を整流した波形を重畳させた合成信号を生成する。これにより、“先行出願”のようにキャパシタを使用せずにCOMP端子電圧にAC波形成分を重畳させることが可能である。なお、上記の実施形態では、抵抗R31,R32は同じ抵抗値としたが、両者の抵抗値を変えて、Comp\_stb信号87が電圧バッファ接続されたオペアンプOp2の出力電圧波形85と電圧バッファ接続されたオペアンプOp3の出力であるCOMP電圧86の加重平均となるようにしてもよい。

10

【 0 0 9 2 】

また、軽負荷時、無負荷時にはCOMP端子波形とランプ発振器(RAMP.OSC)の波形が入力されるコンパレータ(PWM.comp)に、COMP端子電圧の代わりに、AC入力波形が重畳された合成信号を入力するようにしている。そして負荷の重い通常モード時は、COMP端子電圧をそのままコンパレータ(PWM.comp)に入力できるように切り替えている。

【 0 0 9 3 】

このコンパレータ(PWM.comp)への入力切り替えは、スタンバイ信号73のHigh/Lowによって制御されるようにし、スタンバイ信号は、力率改善コンバータの後段に構成されるコン

20

バータから外部信号として入力される。(後段のコンバータの制御部も同一チップに内蔵している場合には、後段の制御部からスタンバイ信号をもらうことも可能である。)

或いは、電源装置の2次側に接続される負荷電流の検出回路、又は、電子機器から、絶縁手段(例、フォトカプラ、パルストランス等)を介して外部信号として入力することも可能である。

【 符号の説明 】

【 0 0 9 4 】

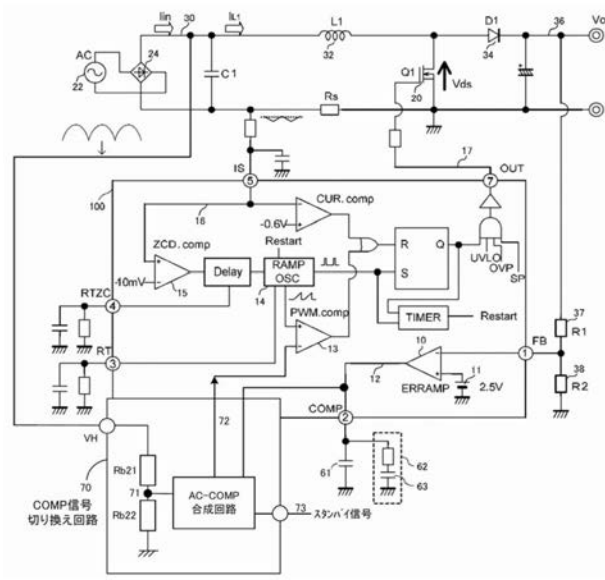
- 10 エラーアンプ
- 11 基準電圧源
- 12 エラーアンプの出力Vcomp
- 13 コンパレータ(PWM.comp)
- 14 ランプ発振器(RAMP.OSC)
- 15 電流コンパレータ(ZCD.comp)
- 16 電流値検出用電圧
- 17 OUT端子またはOUT端子から出力される信号
- 20 MOSFETQ1(スイッチング素子)
- 22 商用電源(AC電源)
- 24 整流回路
- 30 整流回路出力(入力電圧)
- 32 インダクタ(L1)
- 34 ダイオード(D1)
- 36 PFC回路出力電圧
- 37 分圧抵抗(R1)
- 38 分圧抵抗(R2)
- 62 位相補償回路
- 70 COMP信号切り替え回路
- 100 制御IC

30

40

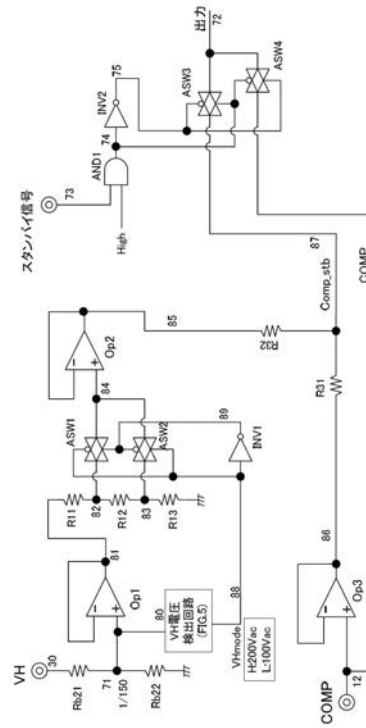
【 図 1 】

本発明の実施形態1に係る高効率の力率改善回路を有するスイッチング電源装置の構成を示す図



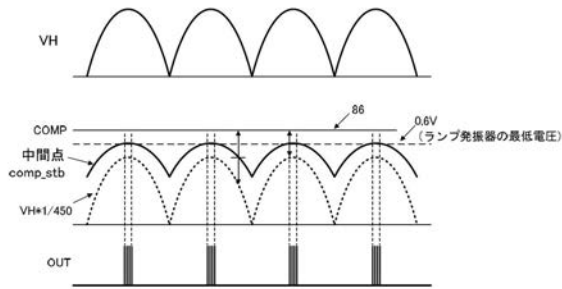
【 図 2 】

本発明の実施形態1に係るCOMP信号切り替え回路の構成例を示す図



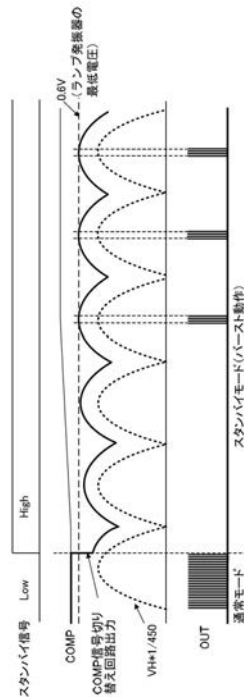
【 図 3 】

図2に示したCOMP信号切り替え回路の動作波形を示す図



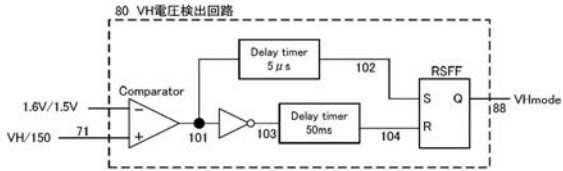
【 図 4 】

本発明の実施形態1に係る力率改善回路の動作波形を示す図



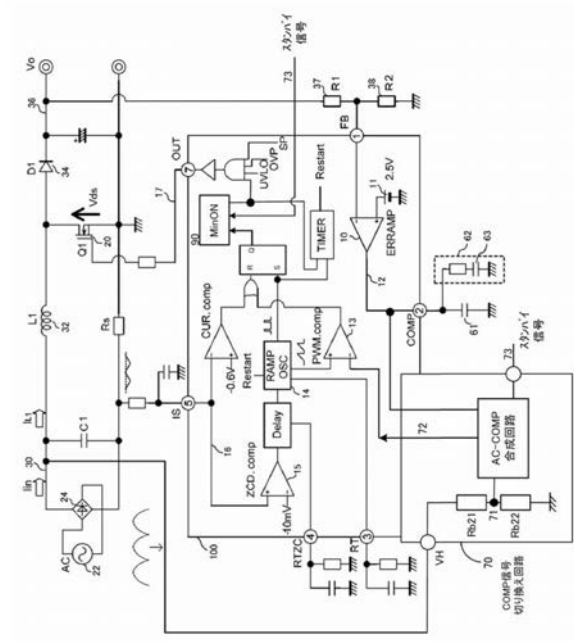
【 図 5 】

本発明の実施形態1に係るVH電圧検出回路の構成例を示す図



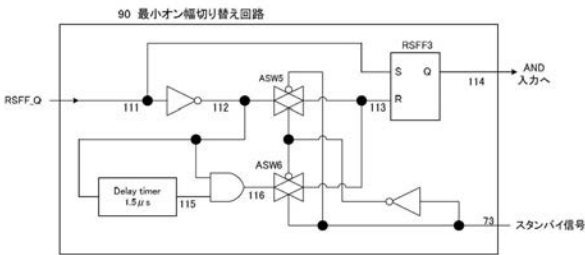
【 図 6 】

本発明の実施形態2に係る高効率の力率改善回路を有するスイッチング電源装置の構成を示す図



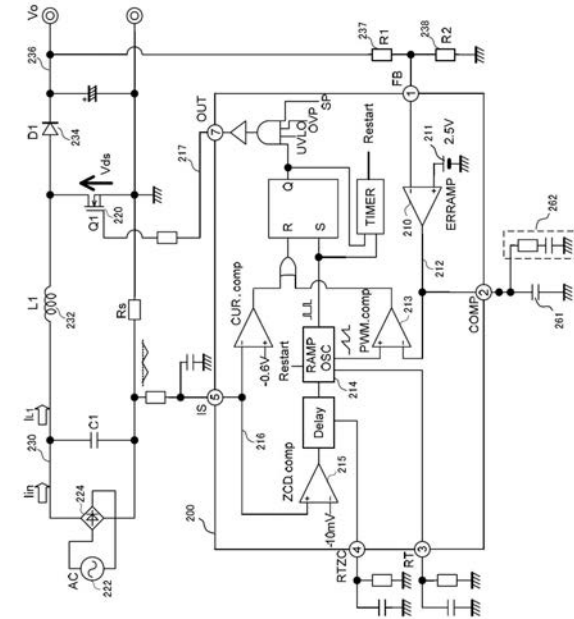
【 図 7 】

本発明の実施形態2に係る最小オン幅信号切り替え回路の構成例を示す図



【 図 8 】

従来の力率改善回路を有するスイッチング電源装置の構成を示す図



【 図 9 】

図8に示した従来の力率改善回路の動作波形を示す図

