



(12) 发明专利

(10) 授权公告号 CN 102257644 B

(45) 授权公告日 2014. 04. 30

(21) 申请号 201080003662. 4

代理人 李春晖 俞波

(22) 申请日 2010. 03. 24

(51) Int. Cl.

(30) 优先权数据

H01L 33/00(2006. 01)

09156957. 4 2009. 03. 31 EP

H01L 25/075(2006. 01)

(85) PCT国际申请进入国家阶段日

2011. 06. 20

(56) 对比文件

CN 1815766 A, 2006. 08. 09,

(86) PCT国际申请的申请数据

PCT/EP2010/053846 2010. 03. 24

WO 0205357 A1, 2002. 01. 17,

EP 0921568 A2, 1999. 06. 09,

(87) PCT国际申请的公布数据

W02010/112383 EN 2010. 10. 07

审查员 刘博

(73) 专利权人 欧司朗光电半导体有限公司

地址 德国雷根斯堡

(72) 发明人 王黎义 宗志南

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

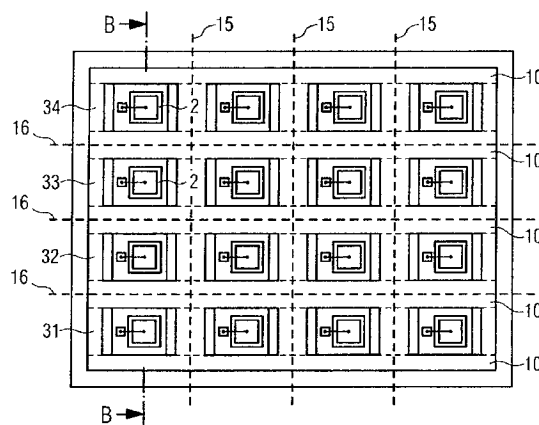
权利要求书2页 说明书8页 附图5页

(54) 发明名称

用于产生多个光电子半导体元件的方法以及光电子半导体元件

(57) 摘要

本发明公开了一种用于产生多个光电子半导体元件的方法。该方法包括形成多元件复合体(18)以及将多元件复合体分离成单独的半导体元件(20)。形成多元件复合体(18)包括为具有芯片装配表面(101)的载体(1)提供多个芯片装配区域(2),每个芯片装配区域(2)被设置用于装配至少一个光电子半导体芯片(4),并被分配给一个光电子半导体元件(20)。形成多元件复合体(18)包括在芯片装配表面(101)上形成至少两个第一不透明脊(3),这两个第一脊(3)横向地将至少一个芯片装配区域(2)夹在中间。将多元件复合体(18)分离成单独的半导体元件(20)包括沿第一不透明脊(3)的主延伸方向进行穿过载体(1)和第一脊的第一切割(15)。另外,公开了一种光电子半导体元件。



1. 一种用于产生多个光电子半导体元件的方法,包括形成多元件复合体(18)以及将多元件复合体分离成单独的半导体元件(20),其中

形成多元件复合体(18)包括为具有芯片装配表面(101)的载体(1)提供多个芯片装配区域(2),每个芯片装配区域(2)被设置用于装配至少一个光电子半导体芯片(4),并被分配给一个光电子半导体元件(20);

形成多元件复合体(18)包括在芯片装配表面(101)上形成至少两个第一不透明脊(3),所述两个第一脊(3)横向地将至少一个芯片装配区域(2)夹在中间;

将多元件复合体(18)分离成单独的半导体元件(20)包括沿第一不透明脊(3)的主延伸方向进行穿过载体(1)和第一脊的第一切割(15);

形成多元件复合体(18)包括在第一脊(3)中形成至少两个横向沟道(8);

形成多元件复合体(18)还包括在芯片装配表面产生至少两个第二不透明脊(10);以及

每个第二脊(10)的至少一部分形成在一个横向沟道(8)中并填充各横向沟道(8)。

2. 根据权利要求1所述的方法,其中两个第一脊(3)和载体(1)形成凹槽(6),所述凹槽(6)包括被夹在中间的芯片装配区域(2),形成多元件复合体(18)还包括利用发射辐射的封装材料(7)来填充凹槽(6)。

3. 根据权利要求1或2所述的方法,其中第二脊(10)将至少一个芯片装配区域(2)横向夹在中间,并以和第一脊(3)的主延伸方向成 $> 0^\circ$ 的角度延伸。

4. 根据权利要求1或2所述的方法,其中将多元件复合体(18)分离成单独的半导体元件(20)包括沿第二不透明脊(10)的主延伸方向进行穿过载体(1)和第二不透明脊(10)的第二切割(16)。

5. 根据权利要求1或2所述的方法,其中第一脊(3)配备有衍射和/或散射微结构。

6. 根据权利要求1或2所述的方法,其中每个第一脊(3)具有至少一个倾斜或弯曲的侧面(301),并且每个第二脊(10)具有至少一个侧面(1001),该侧面面向被夹在中间的芯片装配区域(2)并与芯片装配表面(101)垂直地延伸。

7. 根据权利要求1或2所述的方法,其中第一脊和/或第二脊(3,10)包括反射材料。

8. 根据权利要求1或2所述的方法,其中形成多元件复合体(18)包括至少在由第一脊或由第一脊和第二脊(3,10)夹在中间的芯片装配区域(2)中装配至少一个光电子半导体芯片(4)。

9. 根据权利要求1或2所述的方法,其中进行第一切割和/或第二切割(15,16),所述第一切割或第二切割在第一脊或第二脊(3,10)的区域具有比在载体(1)的区域更大的横截面。

10. 一种光电子半导体元件(20),包括:

载体基底(100),具有包括芯片装配区域(2)的芯片装配表面(101);

芯片装配区域(2)上的光电子半导体芯片(4,4R,4G,4B);以及

载体基底(100)上的不透明的框架部件(25),该框架部件(25)横向围绕其中安排有芯片装配区域(2)的开口(250),其中

框架部件(25)至少具有:第一侧壁(31A,31B),其具有倾斜或弯曲的、面向半导体芯片(4,4R,4G,4B)的侧面(301);以及第二侧壁(10A,10B),其具有面向与芯片装配表面(101)

垂直延伸的半导体芯片 (4, 4R, 4G, 4B) 的侧面 (1001), 并且

框架部件 (25) 包括两个第一侧壁 (31A, 31B) 和两个第二侧壁 (10A, 10B), 每个侧壁 (31A, 31B, 10A, 10B) 被框架部件 (25) 的单独部分包含。

11. 根据权利要求 10 所述的光电子半导体元件 (20), 其中倾斜或弯曲的侧面 (301) 配备有衍射微结构。

12. 根据权利要求 10 或 11 所述的光电子半导体元件, 其中框架部件 (25) 和载体基底 (100) 至少在一侧横向平齐。

用于产生多个光电子半导体元件的方法以及光电子半导体元件

技术领域

[0001] 本申请涉及光电子半导体元件,以及用于产生多个光电子半导体元件的方法。

发明内容

[0002] 公开了一种用于产生多个光电子半导体元件的方法。该方法包括形成多元件复合体。以随后的处理步骤将多元件复合体分离成单独的半导体元件。

[0003] 在本文中,“多元件复合体”的表达具体表示以该方法产生的中间产物。多元件复合体优选为一个连续体,其包括多个将来的半导体元件。

[0004] 形成多元件复合体包括提供载体。在将多元件复合体分离成单独的半导体元件的过程中,该载体具体被划分成多个载体基底,每个载体基底被分配给一个半导体元件。

[0005] 载体具有芯片装配表面,该芯片装配表面具有多个芯片装配区域。每个芯片装配区域被分配给一个光电子半导体元件。每个芯片装配区域被设置成用于装配至少一个光电子半导体芯片。

[0006] 优选地,载体无穿透部。换句话说,载体优选地不具有从芯片装配表面完全延伸通过载体至其与芯片装配表面相对侧的通孔。这样,液体或粘性材料(例如铸制材料或模制材料)可以在随后的处理步骤容易地应用于芯片装配表面。液体/粘性材料溢出载体的危险性很低。

[0007] 在一个实施例中,载体是载板,例如是电路板,具体为印刷电路板。在一种改进中,载板包括陶瓷材料。在另一个实施例中,载体包括引线框和连续膜,例如附着于引线框的塑料膜。连续膜例如在与芯片装配表面相对侧附着于引线框。

[0008] 光电子半导体芯片优选地为发光二极管芯片(LED芯片)。LED芯片具体被设置成用于发射红外光、可见光或紫外光。或者,光电子半导体芯片或至少一个光电子半导体芯片可以是光接收半导体芯片。

[0009] 形成多元件复合体还包括在芯片装配表面上形成至少一个第一脊。具体地,在芯片装配表面上形成至少两个第一脊。优选地,第一脊侧向设置在两个相邻的芯片装配区域之间。

[0010] 具体而言,至少两个第一脊形成在芯片装配表面上。至少一个芯片装配区域侧向地夹在两个第一脊之间。换句话说,在载体的顶视图中,两个第一脊被安排成在至少一个芯片装配区域的相对侧。在有利的改进中,两个第一脊彼此平行。

[0011] 在优选实施例中,芯片装配区域被安排成具有至少两行和两列的矩阵。在这种情况下,至少一个第一脊优选地在芯片装配区域的两个相邻列之间延伸。在具有至少两个第一脊的实施例中,优选地,两个连续的第一脊侧向地将芯片装配区域的一个列夹在中间。

[0012] 将多元件复合体分离成单独的半导体元件包括沿第一脊的主延伸方向实现通过载体和至少一个脊的至少一个第一切割。优选地,对于每个第一脊,沿第一脊的主延伸方向实现通过载体和各第一脊的各第一切割。在具有平行的第一脊的实施例中,第一切割也有

利地平行。

[0013] 利用该方法,在产生多元件复合体的过程中可以实现芯片装配区域之间的小距离,并且快速机器周期是可能的。这使得能够实现有成本效益的制造过程。

[0014] 在一个实施例中,两个第一脊和载体限定凹槽,该凹槽包括被夹在中间的芯片装配区域。在一个改进中,形成多元件复合体还包括利用封装材料如环氧树脂或硅树脂来填充凹槽。

[0015] 例如,封装材料是透辐射的。优选地,其是透明或半透明的。具体来说,其至少对于具有适于通过光电子半导体芯片来发射或接收的波长的电磁辐射是透明或半透明的。在一个实施例中,半透明封装材料包括荧光物粒子和 / 或扩散体粒子。作为半透明或透明封装材料的可替代方案,可以提供波长偏移封装材料。波长偏移封装材料吸收由基本完全进入封装材料的半导体芯片发射的辐射,即,其吸收该辐射的至少 90%,具体为该辐射的至少 95%,并发射波长转换的二次辐射。

[0016] 在另一个实施例中,形成多元件复合体包括在第一脊中形成至少一个横向沟道。形成至少一个横向沟道例如包括切割步骤。具体来说,横向沟道具有主延伸方向,该主延伸方向与第一脊的主延伸方向或第一脊的公共主延伸方向垂直。在两个第一脊和载体围绕部分或完全填充封装材料的凹槽的实施例中,横向沟道优选地还延伸通过封装材料。

[0017] 如果可用,该至少一个横向沟道 (trench) 具体将第一脊和封装材料分离成至少两个分离的段区,这两个分离的段区沿第一脊的主延伸方向彼此跟随。如果芯片装配区域按行和列安排,则沟道优选地在芯片装配区域的两个相邻的行之间延伸。具体来说,两个横向沟道被形成为将芯片装配区域的一行侧向地夹在中间。

[0018] 在另一个实施例中,形成多元件复合体还包括在芯片装配表面产生至少一个第二脊,该第二脊优选地被安排在两个相邻芯片装配区域之间。具体来说,在芯片装配表面产生至少两个第二脊,该第二脊侧向地将至少一个芯片装配区域夹在中间。该至少两个第二脊优选地彼此平行地延伸。在有利的改进中,第二脊是不透明的。

[0019] 第二脊以一定角度延伸到第一不透明脊,即,第二脊与第一脊不平行。具体来说,第二脊的主延伸方向或第二脊的公共主延伸方向与第一脊的主延伸方向或第一脊的公共主延伸方向垂直。如果芯片装配区域被安排成行和列,则至少一个第二脊优选地在芯片装配区域的两行之间延伸,以及 / 或者芯片装配区域的一行被两个连续的第二脊侧向地夹在中间。在优选改进中,第一和第二脊形成具有多个网格单元的网格,每个网格单元包括一个芯片装配区域。

[0020] 第一和 / 或第二脊例如可以由塑料材料形成。原则上,第一和第二脊可以在一个工艺步骤中形成,例如通过利用具有与第一和第二脊相反形状的腔体的单个模子的铸制或模制。然而,在优选实施例中,第二脊在形成第一脊之后的方法步骤中形成。能够有利地、特别节省成本地实现第一和第二脊的连续形成。例如,可以利用挤压工艺来形成第一和 / 或第二脊。也可以想到利用铸制工艺或模制工艺 (如喷射模制或转移模制工艺) 来形成第一和 / 第二脊。在这种情况下,该模子可以有利地具有相对简单的形式。例如,其可以具有一个或多个沟槽形式的腔体。在一个改进中,一次仅形成一个第一 / 第二脊或第一 / 第二脊的一个子集,该子集包括多个第一 / 第二脊。

[0021] 在一个有利改进中,至少一个第二脊的至少一部分,尤其是每个第二脊的至少一

部分形成在一个横向沟道中。第二脊的该部分至少部分地填充各横向沟道。优选地,每个横向沟道完全由一个第二脊填充,以及/或者每个第二脊完全包含在一个横向沟道中。具体来说,横向沟道充当用于形成第二脊的模子。该第二脊例如可以通过利用塑料材料填充横向沟道以简单且节省成本的方式有利地形成。

[0022] 在优选实施例中,将多元件复合体分离成单独的半导体元件包括沿第二脊的主延伸方向实现通过载体和至少一个第二脊的至少一个第二切割。具体来说,多个第二切割被实现,每个第二切割沿第二脊的主延伸方向延伸通过载体和一个第二脊。

[0023] 在另一个实施例中,第一脊配备有微结构。例如,利用模子通过铸制或模制来形成第一脊,并且模子的表面被设置成具有相反的微结构。该微结构被有利地设置成用于散射和/或衍射由光电子半导体芯片发射或接收的辐射。微结构的基本元素的尺度例如为200nm或更大,以及/或5 μ m或更小。本领域技术人员在原理上知道这种散射和/或衍射的微结构。

[0024] 在一个实施例中,每个第一脊具有至少一个倾斜或弯曲的侧面。该倾斜或弯曲的侧面具体为与夹在中间的芯片装配区域接近。倾斜或弯曲的侧面可以有利地充当反射体,用于在元件操作中由光电子半导体芯片发射和/或接收的辐射。在一个实施例中,倾斜或弯曲的侧面的倾斜角或曲率、第一侧壁的材料以及封装材料被选择成使得入射到封装材料和倾斜或弯曲侧面之间的界面上的至少一些辐射(具体为从光电子半导体芯片发射的辐射)通过全内反射来反射。

[0025] 在另一个实施例中,两个第二脊中的每个具有至少一个侧面,其面向被夹在中间的芯片装配区域并与芯片装配表面垂直。这种第二脊可以通过形成横向沟道并利用第二脊的材料填充该横向沟道而以简单并节省成本的方式有利地形成。

[0026] 在一个实施例中,第一脊和/或第二脊是不透明的。至少对于具有适于通过光电子半导体芯片发射或接收的波长的电磁辐射来说,不透明的脊具体传送最多10%,优选为5%或更少的入射到该脊上的电磁辐射。

[0027] 在优选实施例中,第一和/或第二脊包括反射材料。例如,第一和/或第二脊包括白色塑料材料。可替代地或另外,第一和/或第二脊包括矩阵中的粒子,这些粒子具有比矩阵更高的折射率。例如,矩阵包括塑料材料,如环氧树脂或硅树脂。粒子例如是TiO₂或SiO₂粒子。

[0028] 有利地,根据本申请的方法允许产生具有反射体凹部的半导体元件,其具体由第一脊的各部分和第二脊的各段区构成,同时具有特别小的尺寸。例如,半导体元件具有6mm或更小的侧向尺度,优选为3mm或更小的横向尺度。根据本申请的半导体元件尤其适合用于蜂窝电话。

[0029] 在该方法的优选实施例中,形成多元件复合体包括将至少一个光电子半导体芯片装配在至少一个芯片装配区域,优选地装配在被第一脊或被第一和第二脊夹在中间的芯片装配区域中。半导体芯片优选地在形成第一脊之后装配在芯片装配区域中。具体来说,在利用封装材料填充凹槽之前和/或在形成第二脊之前装配半导体芯片。

[0030] 在一个实施例中,第一和/或第二切割被实现,该切割在它们切入第一或第二脊的位置比它们切入载体的位置更宽。换句话说,该切割在第一或第二脊的区域具有比载体的区域更大的横截面。这样,载体中在形成多元件复合体时被第一或第二脊覆盖的部分在

该复合体被分离时由于切割而被暴露。

[0031] 此外,公开了一种光电子半导体元件。该光电子半导体元件包括具有芯片装配表面的载体基底,该芯片装配表面包括芯片装配区域。载体基底具体是分配给半导体元件的载体的一部分。半导体元件还包括芯片装配区域上的光电子半导体芯片。

[0032] 表述“光电子半导体元件”是指提供用于通过光电子半导体芯片的方式发射和/或检测电磁辐射的电子元件。电子元件是以具有两个或多个外部电接点引线或接触焊盘的分形式包装的基本电子元件。电子元件具体希望例如通过焊接到印刷电路板而被连接在一起,用以建立具有具体功能的电子电路。

[0033] 一种框架部件,具体为不透明的框架部件被安排在载体基底上。该框架部件侧向地围绕其中安排有芯片装配区域的开口。具体来说,在芯片装配表面的顶视图中,该框架部件完全围绕芯片装配区域。有利地,框架部件包括两个第一脊的部分。优选地,框架部件还包括两个第二脊的段区。

[0034] 在一个实施例中,框架部件由两个第一侧壁和两个第二侧壁构成。每个侧壁由框架部件的单独部分包含。单独部分具体为分离的部分,其优选地分离地制造。至少两个单独部分优选地在公共接口彼此毗连。公共接口例如可以具有像锯痕一样的不规则性。

[0035] 在另一个实施例中,框架部件至少具有第一侧壁,该第一侧壁具有面向半导体芯片的倾斜或弯曲的侧面。第一侧壁具体由第一脊的一部分包含。在优选的改进中,框架部件具有第二侧壁,该第二侧壁具有面向垂直于芯片装配表面延伸的半导体芯片的侧壁。该第二侧壁具体由第二脊的段区包含。

[0036] 在一种改进中,倾斜或弯曲的侧壁配备有散射和/或衍射微结构。在另一种改进中,面向芯片装配区域的第二侧壁的侧面没有和/或衍射微结构。

[0037] 在另一个实施例中,框架部件和载体基底至少在一侧侧向齐平。

[0038] 对于利用根据本申请的方法制造的半导体元件,半导体芯片与框架部件的距离可以有利地被选择为特别小。例如,至少一个第一侧壁和 LED 芯片之间的距离和/或至少一个第二侧壁和 LED 芯片之间的距离的值为 0.2mm 或更小,尤其为 0.1mm 或更小。

[0039] 在一个实施例中,半导体元件由蜂窝电话包含。例如,半导体元件代表蜂窝电话的闪光灯。

附图说明

[0040] 根据以下结合附图所描述的示例性实施例,方法和半导体元件的有利实施例以及改进将变得明显,

[0041] 在附图中:

[0042] 图 1 示出了在根据示例性实施例的方法的第一步骤期间多元件复合体的细节的示意性顶视图;

[0043] 图 2A 示出了在根据示例性实施例的方法的第二步骤期间多元件复合体的细节的示意性横截面;

[0044] 图 2B 示出了在根据示例性实施例的变型的方法的第二步骤期间多元件复合体的细节的示意性横截面;

[0045] 图 3 示出了在根据示例性实施例的方法的第三步骤期间多元件复合体的细节的

示意性横截面；

[0046] 图 4 示出了在根据示例性实施例的方法的第四步期间多元件复合体的细节的示意性顶视图；

[0047] 图 5 示出了在根据示例性实施例的方法的第五步期间多元件复合体的示意性透视图；

[0048] 图 6 示出了在根据示例性实施例的方法的第六步期间多元件复合体的示意性顶视图；

[0049] 图 7 示出了在根据示例性实施例的方法的第七步期间多元件复合体的示意性横截面图；

[0050] 图 8A-8H 示出了第一脊的不同实施例的示意性横截面图；以及

[0051] 图 9 示出了根据第二示例性实施例半导体元件的示意性顶视图。

具体实施方式

[0052] 在示例性实施例和附图中，相似或相似行为的组成部分被设置成具有相同的附图标记。图中所示的元件以及它们彼此之间的尺寸关系不应被认为是真实比例。此外，为了更好的表示性和/或为了更好的理解，单独的元件可以利用夸大的尺寸来表示。

[0053] 如图 1 中所示，其示出了在根据一个示例性实施例的方法的第一步期间多元件复合体 18 的细节的示意性顶视图，提供了载体 1。本实施例中的载体 1 是印刷电路板。多元件复合体 18 例如具有 101.6mm 或更小、具体为 50.8mm 或更小的最大横向尺度，即，具体为载体的顶视图中的最大尺度，该尺度也适于其它实施例。

[0054] 电路板 1 的芯片装配表面 101 上具有第一导体轨迹 110 和第二导体轨迹 120。例如，载体可以具有基本平坦的表面，具体为离开导体轨迹的平坦表面。在其与芯片装配表面 101 相对的一侧，电路板 1 具有第一和第二外部电接触焊盘 130、140（参见图 2A）。每个第一外部电接触焊盘 130 被电连接到第一导体轨迹 110，每个第二外部电接触焊盘 140 被电连接到第二导体轨迹 120。外部电接触焊盘 130、140 被设置成用于在其操作期间将操作电流馈送到将来的半导体元件中。

[0055] 芯片装配区域 2 被设置在芯片装配表面 101 上。在本实施例中，芯片装配区域 2 由电路板 1 的第一导体轨迹 110 表示。在本实施例中，芯片装配区域 2 被设置成具有多个行和列的矩阵形式。

[0056] 多个第一不透明脊 3 形成在载体 1 的芯片装配表面 101 上。例如，第一脊 3 由白色塑料材料形成。形成第一脊 3 具体包括模制工艺。此外，脊 3 可以通过沉积工艺如喷射模制或挤压的方式形成在芯片装配表面。沉积工艺可以包括将模子定位到芯片装配表面上。

[0057] 在本实施例中，具有多个腔体的模子被按压到芯片装配表面 101 上。每个腔体具有沟槽（channel）的形态，该沟槽具有与第一脊 3 相反模型。该模型被设置成使得两个连续的沟槽横向围绕芯片装配区域 2 的一个列。

[0058] 随后，粘性塑料材料被注入沟槽并被硬化，使得形成第一脊 3。之后，模板被移除，留下芯片装配表面 101 上的第一脊 3。每两个连续的第一脊 3 横向围绕，或换句话说，侧向地将芯片装配区域 2 的一列夹在中间。

[0059] 在本实施例中，第一脊 3 具有如图 8B 所示的梯形横截面。更明确地，横截面具有

等腰梯形的形式,两个平行边中较长的一边与芯片装配表面 101 紧接。

[0060] 图 8A 和 8C-8H 示出了第一脊 3 的可替代实施例的示意性横截面图。根据图 8A 的横截面具有三角形的形式,具体为等腰三角形。根据图 8C 和 8E 的横截面具有等腰三角关系的形式,其具有紧接于芯片装配表面 101 的直线底边和非直线但具有凹入(图 8C)或凸出(图 8E)曲率的边。根据图 8D 和 8F 的横截面基本上与具有等腰梯形形式的图 8B 的横截面对应。与后一种横截面比较,根据图 8D 和 8F 的梯形的边具有凹入(图 8D)或凸出(图 8F)的曲率。根据图 8G 的横截面为半圆形。根据图 8H 的横截面为椭圆形的一部分的形式。

[0061] 具有根据图 8A 或 8B 的横截面的第一脊 3 具有倾斜的侧面 301。具有根据图 8C 到 8H 的横截面的第一脊 3 具有弯曲侧面 301。

[0062] 在每种情况下,第一脊 3 的侧面 301(与其横截面的边对应)可以配备有辐射散射和/或衍射微结构 3010。作为实例,具有辐射散射微结构 3010 的侧面 301 在图 8H 中示出。

[0063] 图 2A 是沿图 1 的线 A-A 的示意性横截面,在图 2A 中,示出了根据示例性实施例的方法的第二步骤。在第二步骤中,光电子半导体芯片 4(具体为 LED 芯片)被装配在一个芯片装配区域 2 中。具体来说,至少一个光电子半导体元件 4 被装配到每个芯片装配区域 2 中。

[0064] 在一个实施例中,第一脊的侧面 301 的倾斜角被选择成使得至少一些由工作中的 LED 芯片 4 发射的光能够在侧面 301 被全内反射。

[0065] LED 芯片 4 例如被焊接或粘合性地结合到第一导体轨迹 110,使得 LED 芯片 4 被电连接到且机械地固定到第一导体轨迹 110。第二电连接通过接合线 5 在 LED 芯片 4 和接近第一导体轨迹 110 的第二导体轨迹 120 之间建立。接合线 5 附着到 LED 芯片 4 远离载体 1 的一侧。接合线 5 例如是金线或铝线。

[0066] 可替代地,光电子半导体芯片 4 可以被设计成在一侧具有两个电连接。例如,其可以被提供用于所谓的“倒装芯片”的装配。在这种情况下,芯片装配区域 2 例如可以包括一个第一导体轨迹 110 和一个第二导体轨迹 120。这在图 2B 的示意性横截面中以示例方式示出,图 2B 示出了在根据示例性实施例的变型的方法的第二步骤期间多元件复合体 18 的细节。

[0067] 根据图 2B 所示的变型,载体 1 不是电路板。取而代之的是,载体 1 由引线框 11 和连续膜 12 构成。连续膜 12 优选地包括塑料膜。在本方法变型中,其在芯片装配表面的相对侧被附着(例如粘合性地结合)到引线框 11。连续膜 12 有利地封闭引线框 11 的开口,使得塑料材料在形成第一脊 3 期间不能溢出载体 1。

[0068] 如图 3 中的示意性横截面所示,根据该方法的示例性实施例的多元件复合体 18 的形成继续进行:利用透明封装材料 7 来填充凹槽(groove)6,该凹槽 6 由连续的第一脊 3 和载体 1 的对来限定。在一种变型中,封装材料 7 可以包括荧光物粒子,如 YAG:Ce 粒子和/或扩散体粒子。封装材料 7 为串的形式,在芯片装配表面 101 的顶视图中,每个串覆盖芯片装配区域 2 的一列。

[0069] 图 4 示出了根据示例性实施例的方法的第四步骤期间多元件复合体 18 的细节的示意性顶视图。在该步骤中,横向沟道 8 例如通过利用锯条切割而形成于第一脊 3 和封装材料 7 的串中。

[0070] 在一种改进中,载体配备有对准标记 9(参见图 1)。对准标记 9 被设置于在第四

个方法步骤中形成的横向沟道 8 的区域中。例如,可以使用对准标记 9 来对准锯条,以便于切割横向沟道 8。这样,可以有利地降低在形成横向沟道 8 期间损坏所装配的半导体芯片 4 的风险。该对准标记 9 也适用于本方法的其它实施例。

[0071] 优选地,第一脊 3 的材料和封装材料 7 在横向沟道的区域中被完全移除,使得载体 1 被暴露。横向沟道 8 优选地不完全穿透载体 1,即,载体 1 优选地不会由于切割横向沟道 8 而被分开。

[0072] 在本实施例中,横向沟道 8 具有与第一脊 3 的主延伸方向垂直的主延伸方向。每个横向沟道 8 在芯片装配区域的相邻两行之间延伸。具体来说,每两个相邻的横向沟道 8 将芯片装配区域 2 的一行侧向地夹在中间。

[0073] 横向沟道 8 将第一脊 3 分成单独的段区 31、32、33、34。每个第一脊 3 的段区 31、32、33、34 沿第一脊 3 的主延伸方向彼此跟随。具体来说,每个段区 31、32、33、34 被分配给芯片装配区域 2 的一行。

[0074] 在随后的方法步骤中,如图 5 的示意性透视图所示,横向沟道 8 被白色塑料材料完全填满,使得形成第二不透明脊 10。优选地,在第一脊 3 的两端均形成附加的第二不透明脊 10。这样,每对连续的第二脊 10 将芯片装配区域 2 的一行侧向地夹在中间。第二脊 10 和第一脊 3 的段区 31、32、33、34 形成矩形网格。网格的每个单元包括一个芯片装配区域 2。

[0075] 图 6 示出了在根据示例性实施例的方法的第六个步骤期间示意性顶视图中的多元件复合体 18。在第六个步骤中,多元件复合体 18 被分离成单独的光电子半导体元件 20。

[0076] 分离借助于通过载体 1 和第一脊 3 的第一切割 15 以及通过载体 1 和第二脊 10 的第二切割 16 来实现。第一切割 15 沿第一脊 3 的主延伸方向延伸。第二切割 16 沿第二脊 10 的主延伸方向延伸。每个第一切割 15 将一个第一脊 3 的每个段区 31、32、33、34 分成两个部分,每个部分被分配给一个半导体元件 20。每个第二切割 16 将每个第二脊 10 分成两个部分,每个部分被分配给半导体元件的一行。第一切割 15 和 / 或第二切割 16 例如具有 0.2mm 或更小,具体为 0.1mm 或更小的宽度,即,具体为与第一 / 第二脊的主延伸方向垂直的侧向尺度。这些宽度也适用于其它实施例。

[0077] 图 7 示出了沿图 6 的线 B-B 的示意性横截面图。在图 7 中,示出了在通过第一切割 15 和第二切割 16 进行的多元件复合体 18 的分割之后的光电子半导体元件 20。

[0078] 每个元件 20 具有载体基底 100,该载体基底 100 是载体 1 的一部分,其是通过一组第一切割 15 和第二切割 16 而从载体 1 切割出来的。其还具有框架部件 25,该框架部件 25 由两个第一侧壁 31A、31B 以及两个第二侧壁 10A、10B 构成。每个第一侧壁 31A、31B 与第一脊 3 的段区 31 的各部分中的一个对应。每个第二侧壁 10A、10B 与第二侧壁 10 的一个部分的段区对应。

[0079] 框架部件 25 (即第一和第二侧壁 31A、31B、10A、10B) 侧向围绕其中安排有芯片装配区域 2 的开口 250。这样,框架部件 25 充当用于由 LED 芯片 5 发射的辐射的反射体凹部。开口 250 填充有封装材料 7。

[0080] 第一侧壁 31A、31B 每个具有倾斜的、面向 LED 芯片 4 的侧面。第二侧壁 10A、10B 的侧面 1001 与芯片装配表面 101 垂直。

[0081] 框架部件 25 和载体基底 100 至少在半导体元件的一侧横向齐平。具体来说,半导体元件 20 的至少一个侧面是平坦侧面,并包括载体基底 100 的侧面和第一或第二侧壁 31A、

31B、10A、10B 中的一个的侧面。

[0082] 图 9 示出了半导体元件 20 的示意性顶视图中光电子半导体元件的第二示例性实施例。

[0083] 与根据第一示例性实施例的半导体元件相比,根据第二示例性实施例的半导体元件 20 包括多个半导体芯片 4。例如,其包括至少一个设置用于发射红光的光电子半导体芯片 4R、至少一个设置用于发射绿光的光电子半导体芯片 4G 和 / 或至少一个设置用于发射蓝光的光电子半导体芯片 4B。在本实施例中,半导体元件包括一个发红光的 LED 芯片 4R、一个发绿光的 LED 芯片 4G 和一个发蓝光的 LED 芯片 4B。

[0084] 元件 20 例如包括公共第一外部电接触焊盘 130 和用于每个半导体芯片 4R、4G、4B 的单独的第二外部电接触焊盘 140R、140G、140B。

[0085] 第一和第二外部电接触焊盘 130、140R、140G、140B 并非必需如结合第一实施例示例性描述的那样,被安排在载体基底 100 的芯片装配表面 101 的相对侧。相反,它们还可以被安排在芯片装配表面 101 上的框架部件 25 的旁边,以及 / 或者被安排在载体基底 100 的至少一个侧面。在第二实施例中,第一和第二外部电接触焊盘 130、140R、140G、140B 被安排在第二侧壁 10A、10B 旁边的芯片装配表面 101 上以及载体基底 100 的两个相对侧面上。

[0086] 例如,通过进行第二切割 16 而暴露了芯片装配表面 101 上在第二侧壁 10A、10B 旁边的远离芯片装配区域 2 的部分,第二切割 16 在第二侧壁 10 的区域具有比在载体 1 的区域更宽的横截面。例如,利用具有台阶剖面的锯条进行第二切割 16。

[0087] 可以以相同方式来实现第一切割 15,以便于暴露载体基底 100 上在第一侧壁 31A、31B 旁边的部分。然而,在本实施例中,第一侧壁 31A、31B 和载体基底 100 横向平齐。

[0088] 本发明并非基于所述示例性实施例的描述而局限于示例性实施例。相反,本发明包含任何新的特征以及还包含这些特征的组合,这尤其包括专利的权利要求中的特征的任何组合以及示例性实施例中的特征的任何组合,即使该特征或该组合本身在专利的权利要求或示例性实施例中未被详细说明。

[0089] 本专利申请要求欧洲专利申请 09156957.4 的优先权,其公开的内容通过引用合并于此。

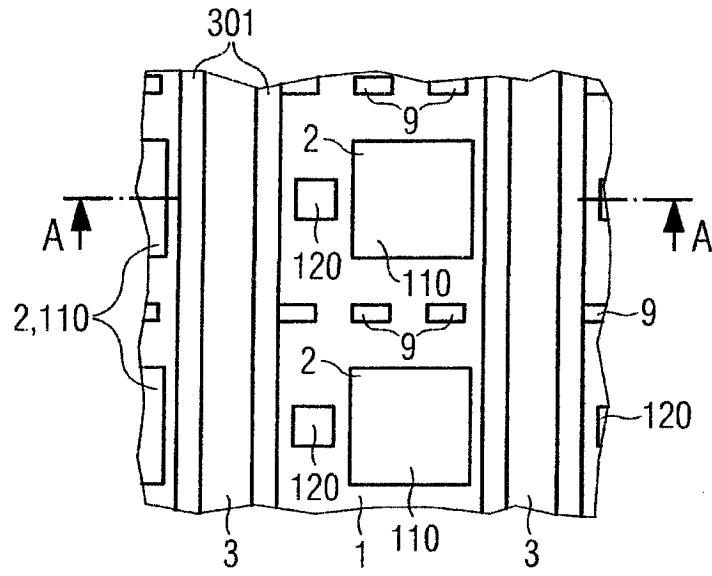


图 1

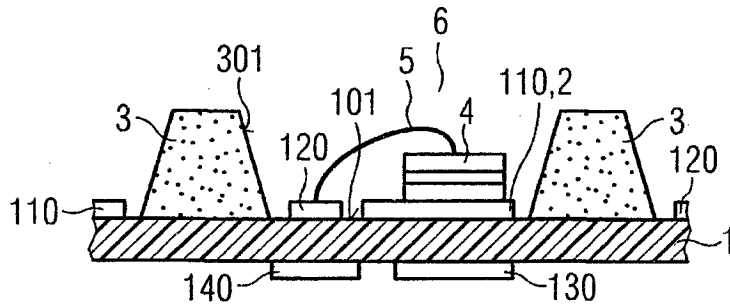


图 2A

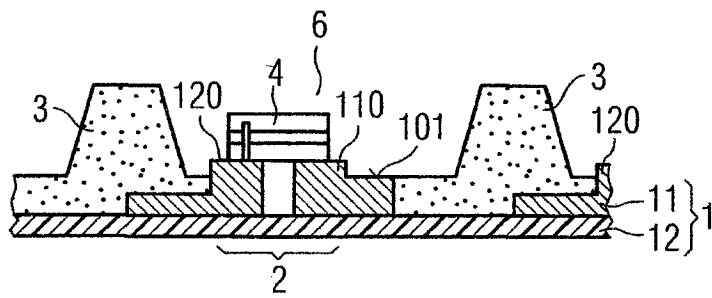


图 2B

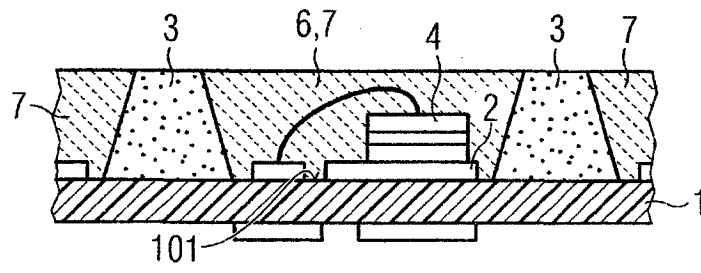


图 3

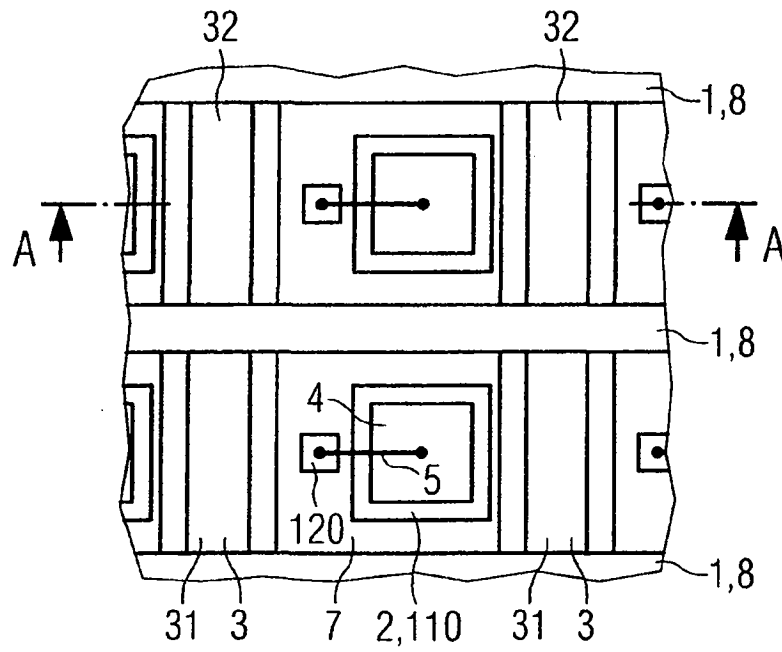


图 4

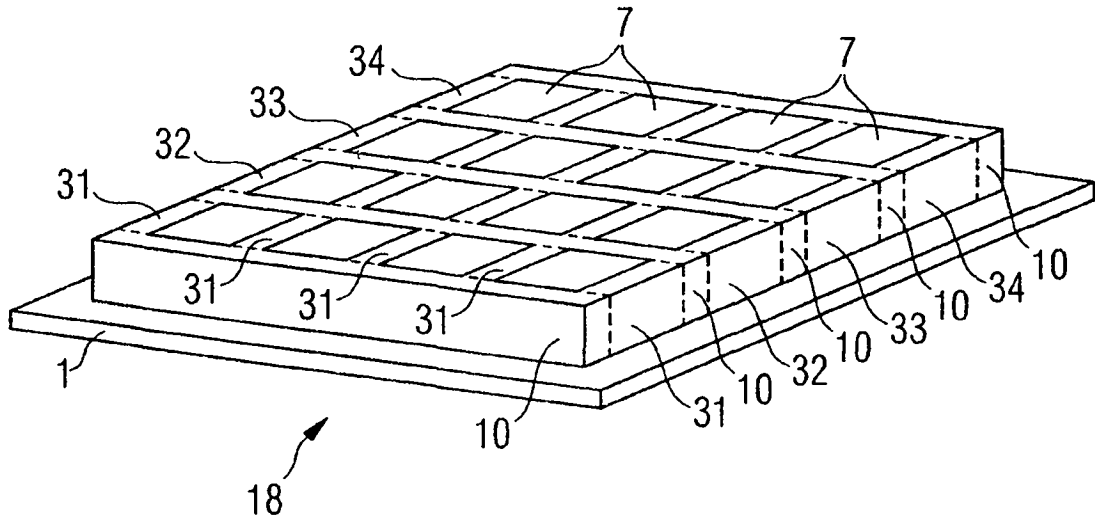


图 5

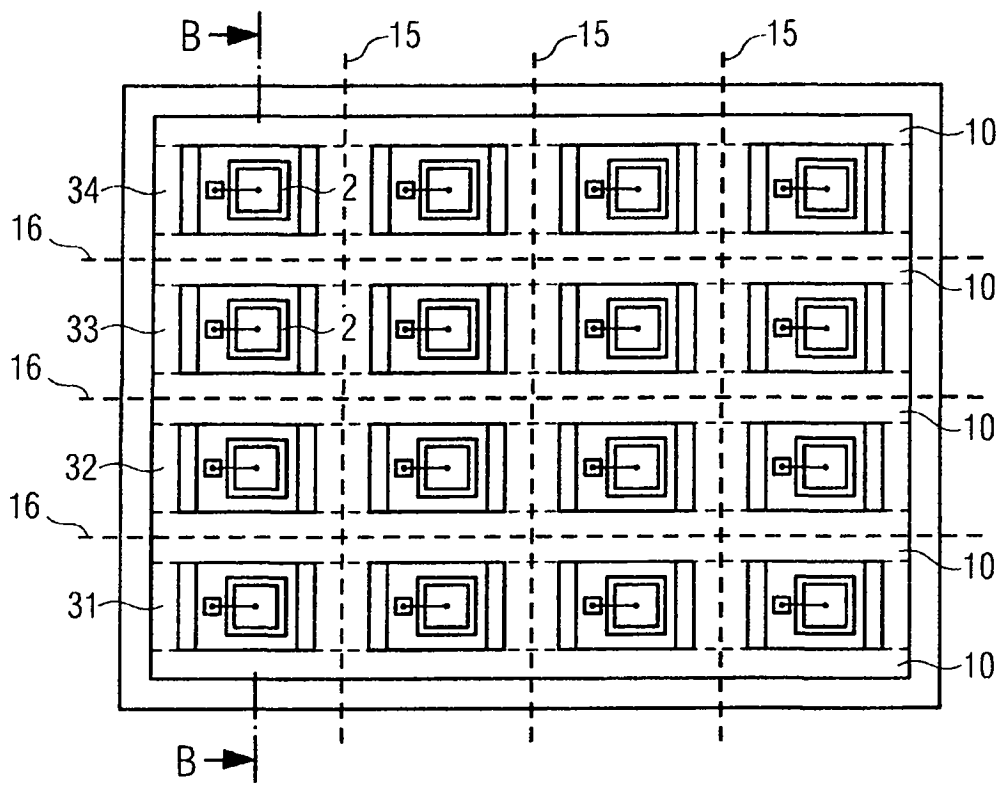


图 6

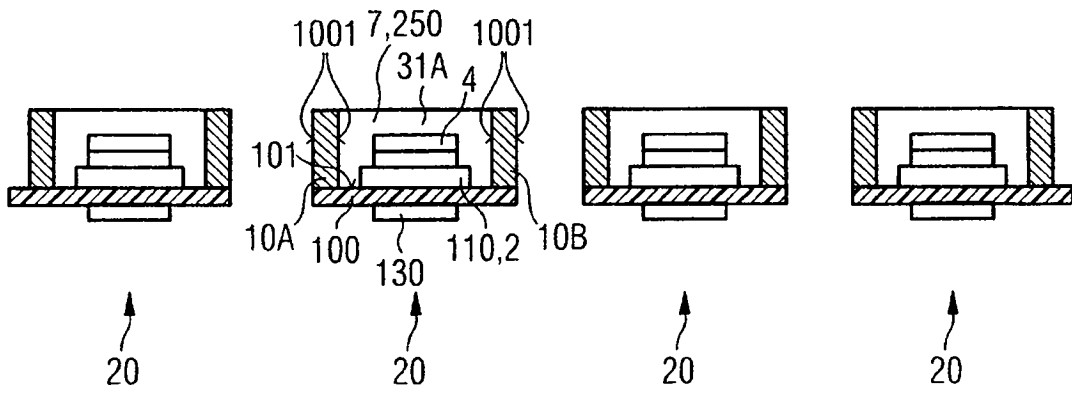


图 7

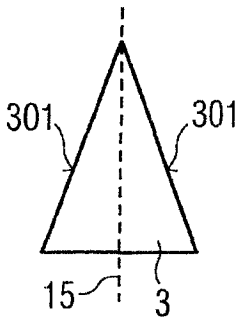


图 8A

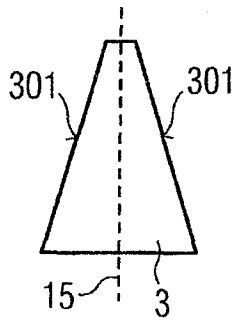


图 8B

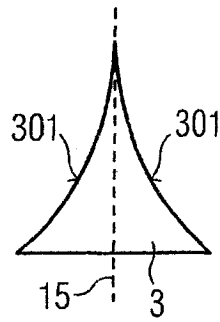


图 8C

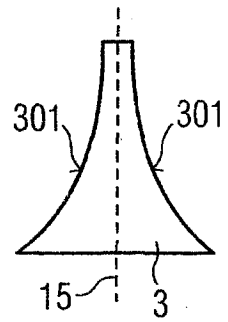


图 8D

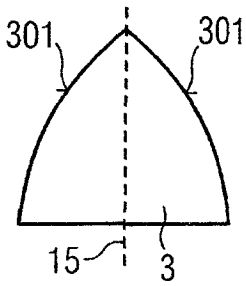


图 8E

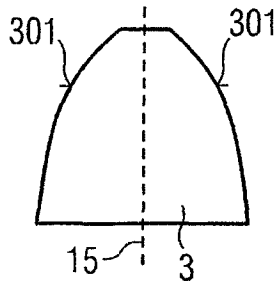


图 8F

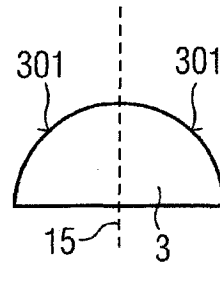


图 8G

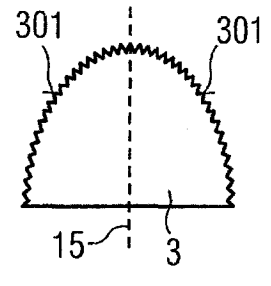


图 8H

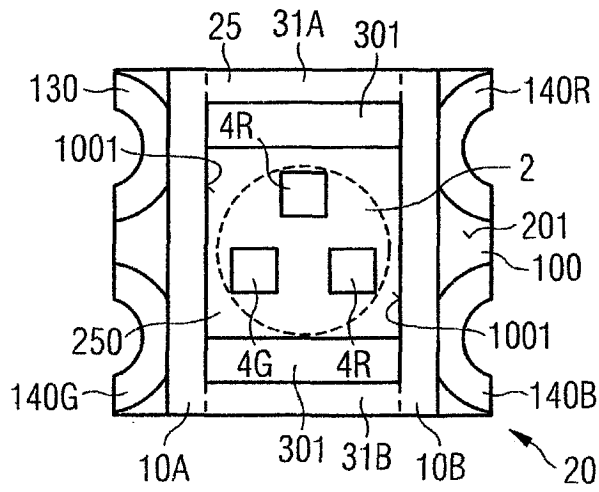


图 9