

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6809542号
(P6809542)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月14日(2020.12.14)

(51) Int.Cl.		F I			
HO4N	5/355	(2011.01)	HO4N	5/355	900
HO4N	5/347	(2011.01)	HO4N	5/347	
HO4N	5/374	(2011.01)	HO4N	5/374	

請求項の数 14 (全 22 頁)

(21) 出願番号	特願2018-565620 (P2018-565620)	(73) 特許権者	000004112
(86) (22) 出願日	平成30年1月31日(2018.1.31)		株式会社ニコン
(86) 国際出願番号	PCT/JP2018/003278		東京都港区港南二丁目15番3号
(87) 国際公開番号	W02018/143295	(74) 代理人	100084412
(87) 国際公開日	平成30年8月9日(2018.8.9)		弁理士 永井 冬紀
審査請求日	令和1年7月29日(2019.7.29)	(74) 代理人	100146709
(31) 優先権主張番号	特願2017-16286 (P2017-16286)		弁理士 白石 直正
(32) 優先日	平成29年1月31日(2017.1.31)	(72) 発明者	松本 繁
(33) 優先権主張国・地域又は機関	日本国(JP)		日本国東京都港区港南二丁目15番3号 株式会社ニコン内
		審査官	松永 隆志

最終頁に続く

(54) 【発明の名称】 撮像素子および撮像装置

(57) 【特許請求の範囲】

【請求項1】

画素を有する撮像素子であって、
光を通過させるマイクロレンズと、

前記マイクロレンズを通過した光を光電変換して電荷を生成する第1の光電変換部と、
前記第1の光電変換部で生成された電荷を蓄積する第1の蓄積部および第1の領域と、
前記第1の蓄積部および前記第1の領域と接続される第1の出力部と、を有する第1画素と、

前記マイクロレンズを通過した光を光電変換して電荷を生成する第2の光電変換部と、
前記第2の光電変換部で生成された電荷を蓄積する第2の蓄積部および第2の領域と、
前記第2の蓄積部および前記第2の領域と第2の接続部を介して接続切断される第2の出力部と、を有する第2画素と、

前記第1の光電変換部および前記第2の光電変換部で生成された電荷に基づく信号が前記第1の出力部から出力されるとき前記第1の領域および前記第2の領域の容量を減少させる調整部と、を備える撮像素子。

【請求項2】

請求項1に記載の撮像素子において、

前記第2の出力部と前記第2の蓄積部とは第2の接続部により接続され、前記調整部は、第2の接続部により前記第1の領域および前記第2の領域の容量を減少させる撮像素子

。

【請求項 3】

請求項 2 に記載の撮像素子において、

前記第 1 の光電変換部および前記第 2 の光電変換部で生成された電荷に基づく信号が前記第 1 の出力部から出力されるとき、前記第 2 の接続部は前記第 2 の出力部と前記第 2 の領域とを切断する撮像素子。

【請求項 4】

光を通過させるマイクロレンズと、

前記マイクロレンズを通過した光を光電変換して電荷を生成する第 1 の光電変換部と、前記第 1 の光電変換部で生成された電荷を蓄積する第 1 の蓄積部と、前記第 1 の蓄積部と接続される第 1 の接続部と、前記第 1 の蓄積部と前記第 1 の接続部を介して接続される第 1 の出力部と、を有する第 1 画素と、

前記マイクロレンズを通過した光を光電変換して電荷を生成する第 2 の光電変換部と、前記第 2 の光電変換部で生成された電荷を蓄積する第 2 の蓄積部と、前記第 2 の蓄積部と接続される第 2 の接続部と、前記第 2 の蓄積部と前記第 2 の接続部を介して接続切断される第 2 の出力部と、を有する第 2 画素と、
を備える撮像素子。

【請求項 5】

請求項 4 に記載の撮像素子において、

前記第 1 の接続部と第 1 の出力部に接続される第 1 の領域と、前記第 2 の接続部と第 2 の出力部に接続される第 2 の領域とをさらに備え、

前記第 1 の光電変換部で生成された電荷は前記第 1 の蓄積部および前記第 1 の領域に蓄積され、

前記第 2 の光電変換部で生成された電荷は前記第 2 の蓄積部および前記第 2 の領域に蓄積される撮像素子。

【請求項 6】

請求項 5 に記載の撮像素子において、

前記第 1 画素は、前記第 1 の光電変換部で生成された電荷を前記第 1 の蓄積部に転送する第 1 の転送トランジスタを有し、

前記第 2 画素は、前記第 2 の光電変換部で生成された電荷を前記第 2 の蓄積部に転送する第 2 の転送トランジスタを有し、

前記第 1 の蓄積部は、前記第 1 の転送トランジスタのドレインであり、

前記第 2 の蓄積部は、前記第 2 の転送トランジスタのドレインであり、

前記第 1 の出力部は、前記第 1 の光電変換部で生成された電荷に基づいた信号を出力する第 1 の増幅トランジスタであり、

前記第 2 の出力部は、前記第 2 の光電変換部で生成された電荷に基づいた信号を出力する第 2 の増幅トランジスタであり、

前記第 1 の領域は、前記第 1 の増幅トランジスタのゲートに接続され、

前記第 2 の領域は、前記第 2 の増幅トランジスタのゲートに接続され、

前記第 1 の光電変換部により生成された電荷に基づく信号と前記第 2 の光電変換部により生成された電荷に基づく信号とが前記第 1 の出力部から出力されるとき、前記第 1 の光電変換部で生成された電荷と前記第 2 の光電変換部で生成された電荷とは、前記第 1 の蓄積部及び前記第 2 の蓄積部及び前記第 1 の領域に蓄積される撮像素子。

【請求項 7】

請求項 4 から請求項 6 までのいずれか一項に記載の撮像素子において、

前記第 1 の出力部と接続され、前記第 1 の出力部から信号が出力される第 1 の信号線と、

前記第 2 の出力部と接続され、前記第 2 の出力部から信号が出力される第 2 の信号線と、
を備える撮像素子。

【請求項 8】

請求項 7 に記載の撮像素子において、

10

20

30

40

50

前記第 1 の光電変換部により生成された電荷に基づく信号と前記第 2 の光電変換部により生成された電荷に基づく信号とが前記第 1 の出力部から前記第 1 の信号線に出力される
とき、前記第 2 の接続部は前記第 2 の蓄積部と前記第 2 の出力部とを切断する撮像素子。

【請求項 9】

請求項 7 または請求項 8 に記載の撮像素子において、

前記第 1 の蓄積部に蓄積された電荷に基づく信号と前記第 2 の蓄積部に蓄積された電荷
に基づく信号とが前記第 1 の出力部から前記第 1 の信号線に出力されるとき、前記第 2 の
接続部は前記第 2 の蓄積部と前記第 2 の出力部とを切断する撮像素子。

【請求項 10】

請求項 7 から請求項 9 までのいずれか一項に記載の撮像素子において、

前記第 1 の光電変換部により生成された電荷に基づく信号と前記第 2 の光電変換部によ
り生成された電荷に基づく信号とが前記第 1 の出力部から前記第 1 の信号線に出力される
とき、前記第 1 の接続部は前記第 1 の蓄積部と前記第 1 の出力部とを接続する撮像素子。

【請求項 11】

請求項 7 から請求項 10 までのいずれか一項に記載の撮像素子において、

前記第 1 の蓄積部に蓄積された電荷に基づく信号と前記第 2 の蓄積部に蓄積された電荷
に基づく信号とが前記第 1 の出力部から前記第 1 の信号線に出力されるとき、前記第 1 の
接続部は前記第 1 の蓄積部と前記第 1 の出力部とを接続する撮像素子。

【請求項 12】

請求項 7 から請求項 11 までのいずれか一項に記載の撮像素子において、

前記第 1 の蓄積部と前記第 2 の蓄積部とを接続する第 3 の接続部を備え、
前記第 1 の蓄積部と前記第 2 の蓄積部とが前記第 3 の接続部により接続されるとき、前
記第 1 の蓄積部に蓄積された電荷に基づく信号と前記第 2 の蓄積部に蓄積された電荷に基
づく信号とは前記第 1 の出力部から前記第 1 の信号線に出力される撮像素子。

【請求項 13】

請求項 12 に記載の撮像素子において、

前記第 1 の蓄積部と前記第 2 の蓄積部とが前記第 3 の接続部により切断されるとき、前
記第 1 の蓄積部に蓄積された電荷に基づく信号は前記第 1 の出力部から前記第 1 の信号線
に出力され、前記第 2 の蓄積部に蓄積された電荷に基づく信号は前記第 2 の出力部から前
記第 2 の信号線に出力される撮像素子。

【請求項 14】

請求項 1 から請求項 13 までのいずれか一項に記載の撮像素子と、

前記撮像素子から出力される信号に基づいて画像データを生成する画像生成部と、
を備える撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子および撮像装置に関する。

【背景技術】

【0002】

2 つの受光素子の電荷を加算（混合）し、加算電荷に対応する電位を読み出す撮像装置
が知られている（特許文献 1）。しかし、従来の撮像装置は、加算電荷を電位に変換する
際の変換ゲインが小さくなるという問題がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】日本国特開 2016 - 139859 号公報

【発明の概要】

【0004】

本発明の第 1 の態様によると、撮像素子は、画素を有する撮像素子であって、光を通過

10

20

30

40

50

させるマイクロレンズと、前記マイクロレンズを通過した光を光電変換して電荷を生成する第1の光電変換部と、前記第1の光電変換部で生成された電荷を蓄積する第1の蓄積部および第1の領域と、前記第1の蓄積部および前記第1の領域と接続される第1の出力部と、を有する第1画素と、前記マイクロレンズを通過した光を光電変換して電荷を生成する第2の光電変換部と、前記第2の光電変換部で生成された電荷を蓄積する第2の蓄積部および第2の領域と、前記第2の蓄積部および前記第2の領域と第2の接続部を介して接続切断される第2の出力部と、を有する第2画素と、前記第1の光電変換部および前記第2の光電変換部で生成された電荷に基づく信号が前記第1の出力部から出力されるとき前記第1の領域および前記第2の領域の容量を減少させる調整部と、を備える。

本発明の第2の態様によると、撮像素子は、光を通過させるマイクロレンズと、前記マイクロレンズを通過した光を光電変換して電荷を生成する第1の光電変換部と、前記第1の光電変換部で生成された電荷を蓄積する第1の蓄積部と、前記第1の蓄積部と接続される第1の接続部と、前記第1の蓄積部と前記第1の接続部を介して接続される第1の出力部と、を有する第1画素と、前記マイクロレンズを通過した光を光電変換して電荷を生成する第2の光電変換部と、前記第2の光電変換部で生成された電荷を蓄積する第2の蓄積部と、前記第2の蓄積部と接続される第2の接続部と、前記第2の蓄積部と前記第2の接続部を介して接続切断される第2の出力部と、を有する第2画素と、を備える

本発明の第3の態様によると、撮像装置は、第1または第2の態様による撮像素子と、前記撮像素子から出力される信号に基づいて画像データを生成する画像生成部と、を備える。

【図面の簡単な説明】

【0005】

【図1】第1の実施の形態に係る撮像装置の構成を示すブロック図である。

【図2】第1の実施の形態に係る画素の構成を示す回路図。

【図3】第1の実施の形態に係る撮像素子の動作例を説明するための図。

【図4】第1の実施の形態に係る撮像素子の別の動作例を説明するための図。

【図5】第1の実施の形態に係る撮像素子の一部の構成を示す回路図。

【図6】第1の実施の形態に係る撮像素子の動作例を示すタイミングチャート。

【図7】第1の実施の形態に係る撮像素子の別の動作例を示すタイミングチャート。

【図8】第1の実施の形態に係る撮像素子の別の動作例を示すタイミングチャート。

【図9】変形例1に係る撮像素子の動作例を説明するための図。

【図10】変形例2に係る画素の構成を示す回路図。

【発明を実施するための形態】

【0006】

(第1の実施の形態)

図1は、第1の実施の形態に係る撮像装置の構成を示すブロック図である。図1では、第1の実施の形態に係る撮像装置の一例である電子カメラ1(以下、カメラ1と称する)の構成例を示す。カメラ1は、撮像光学系(結像光学系)2、撮像素子3、制御部4、メモリ5、表示部6、及び操作部7を備える。撮像光学系2は、焦点調節レンズ(フォーカスレンズ)を含む複数のレンズ及び絞りを有し、撮像素子3に被写体像を結像する。なお、撮像光学系2は、カメラ1から着脱可能にしてもよい。

【0007】

撮像素子3は、例えば、CMOSイメージセンサである。撮像素子3は、撮像光学系2の射出瞳を通過した光束を受光して、被写体像を撮像する。撮像素子3には、後に詳述するように、マイクロレンズと、複数の光電変換部(例えば2つの光電変換部)とを有する複数の画素が二次元状(行方向及びそれと交差する列方向)に配置される。光電変換部は、例えばフォトダイオード(PD)によって構成される。撮像素子3は、入射した光を光電変換して信号を生成し、生成した信号を制御部4に出力する。

【0008】

撮像素子3は、詳細は後述するが、画像データを生成するための信号すなわち撮像信号

10

20

30

40

50

と、撮像光学系 2 の焦点について位相差式焦点検出を行うための一对の焦点検出信号すなわち第 1 及び第 2 の焦点検出信号とを、制御部 4 に出力する。この第 1 及び第 2 の焦点検出信号は、撮像光学系 2 の射出瞳の第 1 及び第 2 の領域をそれぞれ通過した第 1 及び第 2 の光束による第 1 及び第 2 の像をそれぞれ光電変換した信号である。

【 0 0 0 9 】

メモリ 5 は、例えば、メモリカード等の記録媒体である。メモリ 5 には、画像データ等が記録される。メモリ 5 へのデータの書き込みや、メモリ 5 からのデータの読み出しは、制御部 4 によって行われる。表示部 6 は、画像データに基づく画像、シャッター速度や絞り値等の撮影に関する情報、及びメニュー画面等を表示する。操作部 7 は、リリースボタン、電源スイッチなどの各種設定スイッチ等を含み、それぞれの操作に応じた操作信号を制御部 4 へ出力する。

10

【 0 0 1 0 】

制御部 4 は、CPU、ROM、RAM等により構成され、制御プログラムに基づきカメラ 1 の各部を制御する。制御部 4 は、画像データ生成部 4 a と、焦点検出部 4 b とを有する。画像データ生成部 4 a は、撮像素子 3 から出力される撮像信号に各種の画像処理を行って画像データを生成する。画像処理には、例えば、階調変換処理、色補間処理、輪郭強調処理等の公知の画像処理が含まれる。

【 0 0 1 1 】

焦点検出部 4 b は、公知の位相差検出方式により、撮像光学系 2 の自動焦点調節 (AF) に必要な焦点検出処理を行う。具体的には、焦点検出部 4 b は、撮像素子 3 から出力される一对の焦点検出信号に基づき、第 1 及び第 2 の像の像ズレ量を検出し、検出した像ズレ量に基づいてデフォーカス量を算出する。焦点調節レンズがデフォーカス量に応じて駆動されることにより、焦点調節が自動で行われる。

20

【 0 0 1 2 】

制御部 4 は、撮像素子 3 の各画素の複数の光電変換部からの信号を個別に読み出す処理 (第 1 の制御モード) と、複数の光電変換部からの信号を加算して読み出す処理 (第 2 の制御モード) とを行う。本実施の形態では、詳細は後述するが、第 1 の制御モードの場合は、第 1 の光電変換部で生成された電荷による信号と第 2 の光電変換部で生成された電荷による信号を、一对の焦点検出信号として個別に、即ち独立に読み出す。

【 0 0 1 3 】

第 2 の制御モードでは、制御部 4 は、第 1 及び第 2 の光電変換部の各々からの信号を加算する処理を行って、撮像信号として読み出す。ここで、「加算する処理」とは、複数の信号を平均化する処理や、複数の信号に対して重み付けを行って加算する処理等を含む。制御部 4 は、位相差方式の AF を行う場合は第 1 の制御モードを行って撮像素子 3 から一对の焦点検出信号を読み出し、画像データの生成を行う場合は第 2 の制御モードを行って撮像素子 3 から撮像信号を読み出す。

30

【 0 0 1 4 】

図 2 は、第 1 の実施の形態に係る撮像素子 3 の画素の構成を示す回路図である。画素 10 は、マイクロレンズ ML と、第 1 の光電変換部 11 a と、第 2 の光電変換部 11 b と、第 1 の転送部 12 a と、第 2 の転送部 12 b と、第 1 のリセット部 13 a と、第 2 のリセット部 13 b と、第 1 の蓄積部 14 a と、第 2 の蓄積部 14 b とを有する。画素 10 は、さらに、第 1 の増幅部 15 a と、第 2 の増幅部 15 b と、第 1 の選択部 16 a と、第 2 の選択部 16 b と、加算スイッチ部 17 と、第 1 の接続スイッチ部 19 a と、第 2 の接続スイッチ部 19 b と、第 1 の領域 20 a と、第 2 の領域 20 b とを有する。

40

【 0 0 1 5 】

マイクロレンズ ML は、図 1 の撮像光学系 2 を介して入射された光を第 1 の光電変換部 11 a 及び第 2 の光電変換部 11 b に集光する。なお、マイクロレンズ ML は、マイクロレンズ ML を通過した光束が第 1 及び第 2 の光電変換部 11 a、11 b に入射することを示すために、第 1 及び第 2 の光電変換部 11 a、11 b を囲む楕円形状の線で示されている。この楕円形状がマイクロレンズ ML の実際の大きさや、実際の形状を表すものではな

50

い。

【 0 0 1 6 】

第 1 の光電変換部 1 1 a 及び第 2 の光電変換部 1 1 b は、フォトダイオード P D (P D a、P D b) であり、入射した光を電荷に変換し、光電変換された電荷を蓄積する機能を有する。第 1 の光電変換部 1 1 a 及び第 2 の光電変換部 1 1 b は、一つのマイクロレンズ M L に対応して配置され、撮像光学系 2 の射出瞳の互いに異なる領域を通過した光束を受光する。すなわち、第 1 の光電変換部 1 1 a 及び第 2 の光電変換部 1 1 b は、撮像光学系 2 の射出瞳の第 1 及び第 2 の領域をそれぞれ通過した第 1 及び第 2 の光束による第 1 及び第 2 の像をそれぞれ光電変換する。

【 0 0 1 7 】

第 1 の転送部 1 2 a は、信号 T X 1 により制御されるトランジスタ M 1 a から構成される。第 1 の転送部 1 2 a は、第 1 の接続スイッチ部 1 9 a のトランジスタ M 9 a がオフの場合は、第 1 の光電変換部 1 1 a で光電変換された電荷を第 1 の蓄積部 1 4 a に転送する。すなわち、第 1 の転送部 1 2 a は、第 1 の光電変換部 1 1 a 及び第 1 の蓄積部 1 4 a の間に電荷転送路を形成する。なお、第 1 の接続スイッチ部 1 9 a のトランジスタ M 9 a がオンの場合には、第 1 の転送部 1 2 a は、第 1 の光電変換部 1 1 a で光電変換された電荷を第 1 の蓄積部 1 4 a 及び第 1 の領域 2 0 a に転送する。トランジスタ M 1 a は、第 1 の転送トランジスタである。第 1 の蓄積部 1 4 a には、第 1 の蓄積部 1 4 a に接続される各トランジスタの容量 (寄生容量) や配線容量等の容量が付加される。第 1 の蓄積部 1 4 a は、第 1 の蓄積部 1 4 a に転送された電荷を蓄積 (保持) して、電荷を容量値で除算した電圧に変換する。

【 0 0 1 8 】

第 1 の接続スイッチ部 1 9 a は、信号 A D D _ F D 1 により制御されるトランジスタ M 9 a により構成され、第 1 の蓄積部 1 4 a と第 1 の増幅部 1 5 a とを接続 (結合) する。また、第 1 の接続スイッチ部 1 9 a が、第 1 の蓄積部 1 4 a と第 1 の領域 2 0 a とを接続するともいえる。第 1 の領域 2 0 a には、第 1 の領域 2 0 a に接続される第 1 の増幅部 1 5 a のゲート容量等の各トランジスタの容量や配線容量の容量が付加される。第 1 の領域 2 0 a は、第 1 の領域 2 0 a に転送された電荷を蓄積して、容量値で除算した電圧に変換する。

【 0 0 1 9 】

第 1 の増幅部 1 5 a は、光電変換部から転送された電荷による信号を増幅して出力する。第 1 の増幅部 1 5 a は、トランジスタ M 3 a により構成される。トランジスタ M 3 a のドレイン (端子) は、電源 V D D に接続され、トランジスタ M 3 a のゲート (端子) は、第 1 の接続スイッチ部 1 9 a のトランジスタ M 9 a のドレインに接続される。また、トランジスタ M 3 a のソース (端子) は、第 1 の選択部 1 6 a のトランジスタ M 4 a に接続される。第 1 の増幅部 1 5 a のトランジスタ M 3 a のソースは、第 1 の選択部 1 6 a を介して第 1 の垂直信号線 V L a に接続される。第 1 の増幅部 1 5 a は、図 3 に示す第 1 の電流源 2 5 a を負荷電流源としてソースフォロワ回路の一部として機能する。トランジスタ M 3 a は、第 1 の増幅トランジスタである。

【 0 0 2 0 】

第 1 のリセット部 1 3 a は、信号 R S 1 により制御されるトランジスタ M 2 a から構成され、第 1 の領域 2 0 a と第 1 の蓄積部 1 4 a の電荷をリセットし、第 1 の領域 2 0 a と第 1 の蓄積部 1 4 a の電圧をリセットする。トランジスタ M 2 a は、第 1 のリセットトランジスタである。第 1 の選択部 1 6 a は、信号 S E L 1 により制御されるトランジスタ M 4 a から構成され、第 1 の増幅部 1 5 a からの信号を第 1 の垂直信号線 V L a に出力する。トランジスタ M 4 a は、第 1 の選択トランジスタである。本実施の形態による第 1 の出力部は、第 1 の増幅部 1 5 a と第 1 の選択部 1 6 a と第 1 のリセット部 1 3 a とで構成され、第 1 の光電変換部 1 1 a により生成された電荷に基づく信号を生成し出力する。

【 0 0 2 1 】

第 2 の転送部 1 2 b は、信号 T X 2 により制御されるトランジスタ M 1 b から構成され

10

20

30

40

50

る。第2の転送部12bは、第2の接続スイッチ部19bのトランジスタM9bがオフの場合は、第2の光電変換部11bで光電変換された電荷を第2の蓄積部14bに転送する。すなわち、第2の転送部12bは、第2の光電変換部11b及び第2の蓄積部14bの間に電荷転送路を形成する。なお、第2の接続スイッチ部19bのトランジスタM9bがオンの場合には、第2の転送部12bは、第2の光電変換部11bで光電変換された電荷を第2の蓄積部14b及び第2の領域20bに転送する。トランジスタM1bは、第2の転送トランジスタである。第2の蓄積部14bには、第2の蓄積部14bに接続される各トランジスタの容量や配線容量等の容量が付加される。第2の蓄積部14bは、第2の蓄積部14bに転送された電荷を蓄積し、電荷を容量値で除算した電圧に変換する。

【0022】

第2の接続スイッチ部19bは、信号ADD_FD2により制御されるトランジスタM9bにより構成され、第2の蓄積部14bと第2の増幅部15bとを接続する。また、第2の接続スイッチ部19bが、第2の蓄積部14bと第2の領域20bとを接続するともいえる。第2の領域20bには、第2の領域20bに接続される第2の増幅部15bのゲート容量等の各トランジスタの容量や配線容量の容量が付加される。第2の領域20bは、第2の領域20bに転送された電荷を蓄積して、容量値で除算した電圧に変換する。

【0023】

第2の増幅部15bは、光電変換部から転送された電荷による信号を増幅して出力する。第2の増幅部15bは、トランジスタM3bにより構成される。トランジスタM3bのドレインは、電源VDDに接続され、トランジスタM3bのゲートは、第2の接続スイッチ部19bのトランジスタM9bのドレインに接続される。また、トランジスタM3bのソースは、第2の選択部16bのトランジスタM4bに接続される。第2の増幅部15bのソースは、第2の選択部16bを介して第2の垂直信号線VLbに接続される。第2の増幅部15bは、図3に示す第2の電流源25bを負荷電流源としてソースフォロワ回路の一部として機能する。トランジスタM3bは、第2の増幅トランジスタである。

【0024】

第2のリセット部13bは、信号RS2により制御されるトランジスタM2bから構成され、第2の領域20bと第2の蓄積部14bの電荷をリセットし、第2の領域20bと第2の蓄積部14bの電圧をリセットする。トランジスタM2bは、第2のリセットトランジスタである。第2の選択部16bは、信号SEL2により制御されるトランジスタM4bから構成され、第2の増幅部15bからの信号を第2の垂直信号線VLbに出力する。トランジスタM4bは、第2の選択トランジスタである。本実施の形態による第2の出力部は、第2の増幅部15bと第2の選択部16bと第2のリセット部13bとで構成され、第2の光電変換部11bにより生成された電荷に基づく信号を生成し出力する。

【0025】

加算スイッチ部17は、信号ADD_FD3により制御されるトランジスタM7から構成され、第1の蓄積部14aと第2の蓄積部14bとを接続する。また、加算スイッチ部17が、第1の転送部12aと第2の転送部12bとを接続するともいえる。

【0026】

第1の制御モードでは、制御部4は、撮像素子3を制御して、加算スイッチ部17のトランジスタM7をオフ(状態)、第1の接続スイッチ部19aのトランジスタM9aをオン、第2の接続スイッチ部19bのトランジスタM9bをオンとする。第1の光電変換部11aで光電変換された電荷は、第1の蓄積部14a及び第1の領域20aに転送される。そして、第1の光電変換部11aから転送された電荷に応じた信号(第1の画素信号)が、第1の増幅部15a及び第1の選択部16aによって第1の垂直信号線VLaに読み出される。また、第2の光電変換部11bで光電変換された電荷は、第2の蓄積部14b及び第2の領域20bに転送される。第2の光電変換部11bから転送された電荷に応じた信号(第2の画素信号)が、第2の増幅部15b及び第2の選択部16bによって第2の垂直信号線VLbに読み出される。

【0027】

10

20

30

40

50

このように、第1の制御モードでは、第1の光電変換部11aからの電荷に応じて生成された第1の画素信号が第1の垂直信号線VL aに出力され、第2の光電変換部11bからの電荷に応じて生成された第2の画素信号が第2の垂直信号線VL bに出力される。第1の画素信号及び第2の画素信号は、後述するカラム回路等による信号処理が施された後に、一対の焦点検出信号として制御部4に出力される。

【0028】

次に、第2の制御モードの基本動作を説明する。第2の制御モードにおいては、制御部4は、加算スイッチ部17のトランジスタM7をオンとする。制御部4は、例えば、第1の接続スイッチ部19aのトランジスタM9aをオン、第2の接続スイッチ部19bのトランジスタM9bをオフ、第1の選択部16aのトランジスタM4aをオン、第2の選択部16bのトランジスタM4bをオフとする。第1及び第2の光電変換部11a、11bでそれぞれ光電変換された電荷は、第1及び第2の転送部12a、12bによってそれぞれ転送され、加算スイッチ部17によって加算される。第1の増幅部15aと第1の選択部16aとによって、加算された電荷に応じて加算画素信号が生成されて、第1の垂直信号線VL aに読み出される。なお、第1の接続スイッチ部19aのトランジスタM9aをオフ、第2の接続スイッチ部19bのトランジスタM9bをオン、第1の選択部16aのトランジスタM4aをオフ、第2の選択部16bのトランジスタM4bをオンとした場合には、加算画素信号は、第2の垂直信号線VL bに読み出される。

【0029】

本実施の形態にあつては、第2の制御モードは、2次元配置された画素10の1行毎に信号を読み出す1行読み出し方式と、2行同時に信号を読み出す2行同時読み出し方式とを有する。以下では、第2の制御モードの「1行読み出し方式」を図3を用いて説明し、第2の制御モードの「2行同時読み出し方式」を図4を用いて説明する。

【0030】

図3は、2次元状に配置された複数の画素10のうちの一つの画素列を示したものである。撮像素子3には、列方向、すなわち縦方向に並んだ複数の画素10の列に対して、第1の垂直信号線VL a及び第2の垂直信号線VL bが設けられる。また、第1の垂直信号線VL aに対して第1の電流源25a及び第1のカラム回路部40aが設けられ、第2の垂直信号線VL bに対して第2の電流源25b及び第2のカラム回路部40bが設けられる。なお、図3に示す例では、説明を簡略化するために、画素10は行方向1画素×列方向3画素のみ図示しているが、撮像素子3は、例えば数百万画素～数億画素、又はそれ以上の画素を有する。

【0031】

第1の電流源25aは、第1の垂直信号線VL aを介して各画素10に接続され、第2の電流源25bは、第2の垂直信号線VL bを介して各画素10に接続される。第1の電流源25a及び第2の電流源25bは、各画素10から信号を読み出すための電流を生成する。第1の電流源25aは、生成した電流を第1の垂直信号線VL aと各画素10の第1の選択部16a及び第1の増幅部15aとに供給する。同様に、第2の電流源25bは、生成した電流を第2の垂直信号線VL bと各画素10の第2の選択部16b及び第2の増幅部15bとに供給する。

【0032】

第1のカラム回路部40a及び第2のカラム回路部40bは、それぞれアナログ/デジタル変換部(AD変換部)を含んで構成される。第1のカラム回路部40aは、各画素10から第1の垂直信号線VL aを介して入力される信号をデジタル信号に変換する。第2のカラム回路部40bは、各画素10から第2の垂直信号線VL bを介して入力される信号をデジタル信号に変換する。第1のカラム回路部40a及び第2のカラム回路部40bは、変換後のデジタル信号を後述する水平転送部に出力する。

【0033】

第2の制御モードの1行読み出し方式では、撮像素子3は、第1の光電変換部11aの電荷と第2の光電変換部11bの電荷とを加算した電荷に応じた信号(加算画素信号)を

10

20

30

40

50

、例えば第1の垂直信号線V L aに読み出す。図3に示す例では、1行目の画素10、即ち最下行の画素10から加算画素信号を読み出す例を示している。1行目の画素10では、加算スイッチ部17のトランジスタM7がオン、第1の接続スイッチ部19 aのトランジスタM9 aがオン、第2の接続スイッチ部19 bのトランジスタM9 bがオフとなっている。また、1行目の画素10において、第1の選択部16 aのトランジスタM4 aがオン、第2の選択部16 bのトランジスタM4 bがオフになっている。他方、2行目及び3行目等のその他の行の画素10においては、第1及び第2の選択部16 a、16 bのトランジスタM4 a、M4 bがオフになっている。なお、図3において、ONはトランジスタがオン（接続状態、導通状態、短絡状態）であることを示し、OFFはトランジスタがオフ（切断状態、非導通状態、開放状態、遮断状態）であることを示している。

10

【0034】

1行目の画素10において、加算スイッチ部17のトランジスタM7がオンとなり、第1の接続スイッチ部19 aのトランジスタM9 aがオンとなることで、第1の蓄積部14 aと第2の蓄積部14 bと第1の領域20 aとが互いに電氣的に接続される。また、第1の転送部12 aと第2の転送部12 bとが互いに電氣的に接続される。第2の接続スイッチ部19 bのトランジスタM9 bはオフであるため、第1の蓄積部14 a、第2の蓄積部14 b、及び第1の領域20 aに対して第2の領域20 bが電氣的に切り離される。これにより、第1の蓄積部14 a、第2の蓄積部14 b、及び第1の領域20 aにおいて、第1の光電変換部11 aから転送された電荷と第2の光電変換部11 bから転送された電荷とが加算される。第1の光電変換部11 a及び第2の光電変換部11 bの各々により生成された電荷が、混合（合成）されるともいえる。

20

【0035】

第1の蓄積部14 a、第2の蓄積部14 b、及び第1の領域20 aの各々の容量が電氣的に接続された状態となり、第1の光電変換部11 a及び第2の光電変換部11 bから転送された電荷がそれぞれの容量に分配される。第1の蓄積部14 aの電圧と第2の蓄積部14 bの電圧と第1の領域20 aの電圧とが平均化され、第1の増幅部15 aに入力される。即ち、第1の増幅部15 aには、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aの各々の蓄積電荷を加算した電荷を、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aの各々の容量の合成容量値で除算した電圧が入力される。

30

【0036】

1行目の画素10において、第1の選択部16 aのトランジスタM4 aがオンとなることで、第1の増幅部15 aは、第1の電流源25 aから電流が供給されて飽和領域での動作となる。第1の増幅部15 aのトランジスタM3 aが飽和領域での動作となるので、第1の増幅部15 aのゲート容量は略一定の容量値となる。第1の増幅部15 aのゲート容量が略一定値であるので、第1の蓄積部14 aの容量、第2の蓄積部14 bの容量、及び第1の領域20 aの容量の合成容量も、所定値のままである。第1の増幅部15 aは、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aの各々の蓄積電荷を加算した電荷を合成容量値で除算した電圧に基づき、加算画素信号を生成する。加算画素信号は、第1の選択部16 aを介して、第1の垂直信号線V L aに送られる。

40

【0037】

以上のように、第1の垂直信号線V L aに1行目の画素10から加算画素信号が読み出されると、その後、撮像素子3では、2行目、3行目と画素10が行単位で順次選択されて、画素10から第1の垂直信号線V L aに加算画素信号の読み出しが行われる。第1の垂直信号線V L aに出力された画素10の加算画素信号は、第1のカラム回路部40 aによりデジタル信号に変換された後に、撮像信号として制御部4に出力される。

【0038】

図3に示す例では、各行の画素10の加算画素信号は、第1の垂直信号線V L aに読み出される。このため、撮像素子3は、加算画素信号が読み出されない第2の垂直信号線V L bに接続される第2の電流源25 bによる電流の生成を停止させることができ、撮像素子3の消費電力を低減させることができる。なお、第1の選択部16 aのトランジスタM

50

4 aをオフ、第2の選択部16 bのトランジスタM4 bをオン、第1の接続スイッチ部19 aのトランジスタM9 aをオフ、第2の接続スイッチ部19 bのトランジスタM9 bをオンとした場合は、第2の垂直信号線VL bに画素10から加算画素信号を読み出すことができる。

【0039】

本実施の形態にあつては、第1及び第2の蓄積部14 a、14 b及び第1の領域20 aが電荷を電圧に変換する際の変換ゲインは、第1の蓄積部14 aの容量、第2の蓄積部14 bの容量、及び第1の領域20 aの容量の合成容量値の逆数となる。このため、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aに対して第2の領域20 bが電氣的に接続された場合と比較して、変換ゲインを大きくすることができる。この結果、S/N比を向上させて、ノイズの少ない加算画素信号を得ることができる。

10

【0040】

また、本実施の形態にあつては、電荷を電圧に変換する際の変換ゲイン、即ち第1の蓄積部14 aの容量、第2の蓄積部14 bの容量、及び第1の領域20 aの容量の合成容量値の逆数が、常に略一定である。このため、加算画素信号は、第1及び第2の蓄積部14 a、14 b及び第1の領域20 aの蓄積電荷に依存し、直線性(リニアリティ)が高い信号となる。以下に、第1及び第2の蓄積部14 a、14 b及び第1の領域20 aの変換ゲインが大きいこと、及び変換ゲインが常に略一定であることを、比較例と対比して説明する。

【0041】

20

本実施の形態では、上述のように第2の接続スイッチ部19 bのトランジスタM9 bがオフとなることで、第2の領域20 bが、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aから電氣的に切断される。このため、第1及び第2の光電変換部11 a、11 bから電荷が転送される領域の容量が小さくなる。すなわち、第1及び第2の光電変換部11 a、11 bにより生成された電荷は、第2の領域20 bの容量には蓄積されずに、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aの各々の容量に蓄積される。この結果、電荷電圧の変換ゲインを大きくすることができる。

【0042】

また、本実施の形態では、第2の増幅部15 bのトランジスタM3 bのゲート容量が、第1及び第2の蓄積部14 a、14 b及び第1の領域20 aから電氣的に切り離される。このため、転送された電荷を電圧に変化する際の変換ゲインは、第1の蓄積部14 aの容量、第2の蓄積部14 bの容量、及び第1の領域20 aの容量の合成容量値の逆数となり、トランジスタM3 bのゲート容量の変動の影響を受けることなく、略一定値となる。

30

【0043】

これに対して、比較例は、図3の画素10において、第1の接続スイッチ部19 a及び第2の接続スイッチ部19 bを削除したものである。この場合、第1の蓄積部14 aと第2の蓄積部14 bと第1の領域20 aと第2の領域20 bとが互いに電氣的に接続される。第1の増幅部15 aには、第1及び第2の蓄積部14 a、14 bと第1及び第2の領域20 a、20 bの蓄積電荷を加算した電荷を、第1及び第2の蓄積部14 a、14 bと第1及び第2の領域20 a、20 bの容量の合成容量値で除算した電圧が入力される。第1及び第2の蓄積部14 a、14 bと第1及び第2の領域20 a、20 bの変換ゲインは、第1の蓄積部14 aの容量、第2の蓄積部14 bの容量、第1の領域20 aの容量、及び第2の領域20 bの容量の合成容量値の逆数となる。このため、変換ゲインが低下し、S/N比が低下することとなる。

40

【0044】

また、第1の選択部16 aのトランジスタM4 aをオンし、第2の選択部16 bのトランジスタM4 bをオフにすると、第1の増幅部15 aには電流が供給されるが、第2の増幅部15 bには電流が供給されず、第2の増幅部15 bは弱反転領域での動作となる。この弱反転領域での動作により、第2の増幅部15 bのゲート容量は、ゲートに入力される信号に応じて変動する状態となる。比較例では、第2の増幅部15 bのゲート容量の変動

50

によって、第1の増幅部15aに付加される合成容量も変動し、電荷電圧の変換ゲインが変動してしまう。

【0045】

図4は、第2の制御モードの2行同時読み出し方式を説明するための図である。第2の制御モードの2行同時読み出し方式は、二つの行の画素について、一方の行の画素からは加算画素信号を第1の垂直信号線VL aに読み出し、これと同時に他方の行の画素からは加算画素信号を第2の垂直信号線VL bに読み出すものである。以下に詳細に説明する。

【0046】

最下行の1行目の画素10では、加算スイッチ部17のトランジスタM7がオン、第1の接続スイッチ部19aのトランジスタM9aがオン、第2の接続スイッチ部19bのトランジスタM9bがオフとなっている。1行目の画素10では、さらに、第1の選択部16aのトランジスタM4aがオン、第2の選択部16bのトランジスタM4bがオフとなっている。また、2行目の画素10では、加算スイッチ部17のトランジスタM7がオン、第1の接続スイッチ部19aのトランジスタM9aがオフ、第2の接続スイッチ部19bのトランジスタM9bがオンとなっている。2行目の画素10では、さらに、第1の選択部16aのトランジスタM4aがオフ、第2の選択部16bのトランジスタM4bがオンとなっている。

【0047】

1行目及び2行目の画素10の各々において、加算スイッチ部17のトランジスタM7がオン状態であるため、第1の光電変換部11aから転送された電荷と第2の光電変換部11bから転送された電荷とが加算される。また、1行目の画素10の各々において、第2の接続スイッチ部19bのトランジスタM9bのオフによって、第2の領域20bが、第2の蓄積部14bから電氣的に切断される。他方、2行目の画素10の各々において、第1の接続スイッチ部19aのトランジスタM9aのオフによって、第1の領域20aが、第1の蓄積部14aから電氣的に切断される。こうして、1行目及び2行目とも、電荷電圧の変換ゲインが大きくなると共に、変換ゲインは略一定値となる。

【0048】

第1の垂直信号線VL aには、1行目の画素10から加算された電荷に基づく加算画素信号が読み出され、これと同時に第2の垂直信号線VL bには、2行目の画素10から加算された電荷に基づく加算画素信号が読み出される。1行目及び2行目の画素の同時読み出しが終了すると、3行目及び4行目の画素からの同時読み出しが行われ、更にそれ以降の互いに隣接する奇数行目及び偶数行目の画素からの同時読み出しが順次行われる。

【0049】

このように、図4に示す2行同時読み出し方式では、2行分の画素の加算画素信号の読み出しを同時に行うことができる。このため、撮像素子3に配置された各画素10から高速に信号を読み出すことができる。

【0050】

図5～図8を参照して、第1の実施の形態に係る撮像素子3のより詳細な回路構成及び動作について説明する。図5は、第1の実施の形態に係る撮像素子3の画素10を2次元状に示すと共に、より詳細な回路構成を示す回路図である。図6は、第1の制御モードの場合の撮像素子3の動作例を示すタイミングチャートである。図7は、第2の制御モードの1行読み出し方式の場合の撮像素子3の動作例を示すタイミングチャートである。図8は、第2の制御モードの2行同時読み出し方式の場合の撮像素子3の動作例を示すタイミングチャートである。

【0051】

図5に示すように、撮像素子3は、行列状に配置される複数の画素10と、第1の電流源25a(第1の電流源25a1～第1の電流源25a3)と、第2の電流源25b(第2の電流源25b1～第2の電流源25b3)とを有する。また、撮像素子3は、第1の電流制御部30a(第1の電流制御部30a1～第1の電流制御部30a3)と、第2の電流制御部30b(第2の電流制御部30b1～第2の電流制御部30b3)とを有する

10

20

30

40

50

。撮像素子3は、さらに、第1のカラム回路部40a(第1のカラム回路部40a1~第1のカラム回路部40a3)と、第2のカラム回路部40b(第2のカラム回路部40b1~第2のカラム回路部40b3)と、垂直駆動部50と、水平転送部60とを有する。

【0052】

画素10の各列に対応して、第1の垂直信号線VL a(第1の垂直信号線VL a1~第1の垂直信号線VL a3)、及び第2の垂直信号線VL b(第2の垂直信号線VL b1~第2の垂直信号線VL b3)が設けられる。第1の垂直信号線VL aに対して、第1の電流源25a、第1の電流制御部30a、及び第1のカラム回路部40aが設けられる。また、第2の垂直信号線VL bに対して、第2の電流源25b、第2の電流制御部30b、及び第2のカラム回路部40bが設けられる。なお、図5に示す例では、説明を簡略化す

10

【0053】

垂直駆動部50は、信号TX、信号RS、信号SEL1、信号SEL2、信号ADD_FD1、信号ADD_FD2、及び信号ADD_FD3を各画素10に供給して、各画素10を制御する。第1の電流制御部30aは、スイッチ部31a、32a、及びインバータ部33aを有し、第2の電流制御部30bは、スイッチ部31b、32b、及びインバータ部33bを有する。垂直駆動部50は、信号CS1_EN、信号CS2_EN、及び電圧Vclipを、第1の電流制御部30a及び第2の電流制御部30bに供給する。なお、図5に示す例では、第1の転送部12a及び第2の転送部12bは、同一の信号TXにより制御され、第1のリセット部13a及び第2のリセット部13bは、同一の信号R

20

【0054】

水平転送部60は、第1のカラム回路部40a及び第2のカラム回路部40bにより変換されたデジタル信号を、不図示の信号処理部に順次転送する。信号処理部は、水平転送部60から入力された信号に対して相関二重サンプリングや信号量を補正する処理等の信号処理を行い、カメラ1の制御部4に出力する。

【0055】

図6に示すタイミングチャートにおいて、横軸は時刻を示しており、第1の制御モードの場合に図5の撮像素子3の各部に入力される制御信号を示している。また、図6において、制御信号がハイレベル(例えば電源電位)の場合に制御信号が入力されるトランジスタがオン状態となり、制御信号がローレベル(例えば接地電位)の場合に制御信号が入力されるトランジスタがオフ状態となる。

30

【0056】

垂直駆動部50は、信号ADD_FD1<2>~<0>をハイレベル、信号ADD_FD2<2>~<0>をハイレベル、及び信号ADD_FD3<2>~<0>をローレベルにして、第1の制御モードに設定する。信号ADD_FD1がハイレベルになることで、各画素10の第1の蓄積部14aと第1の増幅部15aとが互いに電氣的に接続され、信号ADD_FD2がハイレベルになることで、各画素10の第2の蓄積部14bと第2の増幅部15bとが互いに電氣的に接続される。また、信号ADD_FD3がローレベルになることで、各画素10の第1の蓄積部14aと第2の蓄積部14bとは電氣的に切断さ

40

【0057】

垂直駆動部50は、信号CS1_ENをハイレベルとし、信号CS2_ENもハイレベルとする。信号CS1_ENがハイレベルになることで、第1の電流制御部30aのスイッチ部31aがオンとなる。これにより、第1の垂直信号線VL aには、スイッチ部31aを介して第1の電流源25aから電流が供給される。また、信号CS2_ENがハイレベルになることで、第2の電流制御部30bのスイッチ部31bがオンとなる。これにより、第2の垂直信号線VL bには、スイッチ部31bを介して第2の電流源25bから電流が供給される。

【0058】

50

図6に示す時刻 t_1 では、信号RS<2>がハイレベルになることで、最上行の画素10において、それぞれの第1及び第2のリセット部13a、13bのトランジスタM2a、M2bがオンになる。第1の蓄積部14a、第2の蓄積部14b、第1の領域20a、及び第2の領域20bの電位がそれぞれリセット電位となる。

【0059】

また、時刻 t_1 において、信号SEL1<2>がハイレベルになることで、リセット電位に基づく信号が、第1の増幅部15a及び第1の選択部16aにより第1の垂直信号線VL aに出力される。すなわち、第1の蓄積部14a及び第1の領域20aの電位をリセット電位にリセットしたときの信号(第1のノイズ信号)が、第1の垂直信号線VL aに読み出される。第1の垂直信号線VL aに出力された各画素10からの第1のノイズ信号は、それぞれ第1のカラム回路部40a1~40a3に入力されてデジタル信号に変換される。また、時刻 t_1 において、信号SEL2<2>がハイレベルになることで、第2の蓄積部14b及び第2の領域20bの電位をリセット電位にリセットしたときの信号(第2のノイズ信号)が、第2の増幅部15b及び第2の選択部16bにより第2の垂直信号線VL bに読み出される。第2の垂直信号線VL bに出力された各画素10からの第2のノイズ信号は、それぞれ第2のカラム回路部40b1~40b3に入力されてデジタル信号に変換される。

10

【0060】

時刻 t_2 では、信号TX<2>がハイレベルになることで、第1及び第2の転送部12a、12bのトランジスタM1a、M1bがオンになる。これにより、第1の光電変換部11aで光電変換された電荷が、第1の蓄積部14a及び第1の領域20aに転送される。また、第2の光電変換部11bで光電変換された電荷が、第2の蓄積部14b及び第2の領域20bに転送される。

20

【0061】

また、時刻 t_2 では、信号SEL1<2>がハイレベルであるため、第1の画素信号が、第1の増幅部15a及び第1の選択部16aにより第1の垂直信号線VL aに出力される。第1の垂直信号線VL aに出力された各画素10からの第1の画素信号は、それぞれ第1のカラム回路部40a1~40a3に入力されてデジタル信号に変換される。また、時刻 t_2 では、信号SEL2<2>がハイレベルであるため、第2の画素信号が、第2の増幅部15b及び第2の選択部16bにより第2の垂直信号線VL bに出力される。第2の垂直信号線VL bに出力された各画素10からの第2の画素信号は、それぞれ第2のカラム回路部40b1~40b3に入力されてデジタル信号に変換される。デジタル信号に変換されたノイズ信号と画素信号とは、水平転送部60を介して信号処理部に入力される。信号処理部は、画素10のノイズ信号と加算画素信号との差分処理を行う相関二重サンプリングを行う。

30

【0062】

時刻 t_3 ~時刻 t_5 では、時刻 t_1 から時刻 t_3 までの期間の場合と同様にして、中央の行の画素からノイズ信号の読み出しと、画素信号の読み出しとが行われる。時刻 t_5 ~時刻 t_7 では、時刻 t_1 から時刻 t_3 までの期間の場合と同様にして、最下行の画素からノイズ信号の読み出しと、画素信号の読み出しとが行われる。このように、図6に示す第1の制御モードでは、第1の光電変換部11aで生成された電荷による信号を第1の垂直信号線VL aに読み出し、第2の光電変換部11bで生成された電荷による信号を第2の垂直信号線VL bに読み出すことができる。

40

【0063】

図7に示すタイミングチャートにおいて、横軸は時刻を示しており、第2の制御モードの1行読み出し方式の場合に図5の撮像素子3の各部に入力される制御信号を示している。垂直駆動部50は、信号ADD_FD1<2>~<0>をハイレベル、信号ADD_FD2<2>~<0>をローレベル、及び信号ADD_FD3<2>~<0>をハイレベルにして、第2の制御モードに設定する。信号ADD_FD1がハイレベルになることで、各画素10の第1の蓄積部14aと第1の増幅部15aとが互いに電氣的に接続され、信

50

号 A D D _ F D 2 がローレベルになることで、各画素 1 0 の第 2 の蓄積部 1 4 b と第 2 の増幅部 1 5 b とが互いに電氣的に切断される。また、信号 A D D _ F D 3 がハイレベルになることで、各画素 1 0 の第 1 の蓄積部 1 4 a と第 2 の蓄積部 1 4 b とが電氣的に接続される。

【 0 0 6 4 】

垂直駆動部 5 0 は、信号 C S 1 _ E N をハイレベルとし、信号 C S 2 _ E N をローレベルとする。信号 C S 1 _ E N がハイレベルになることで、第 1 の垂直信号線 V L a には、第 1 の電流源 2 5 a から電流が供給される。また、信号 C S 2 _ E N がローレベルになることで、第 2 の電流制御部 3 0 b のスイッチ部 3 1 b がオフとなり、スイッチ部 3 2 b はオンとなる。これにより、第 2 の垂直信号線 V L b には、第 2 の電流源 2 5 b からの電流の供給が停止され、スイッチ部 3 2 b を介して電圧 V c l i p が供給される。第 2 の垂直信号線 V L b は、所定の電圧に固定された状態となり、フローティング状態となることが回避される。

10

【 0 0 6 5 】

図 7 に示す時刻 t 1 では、信号 R S < 2 > がハイレベルになることで、最上行の画素 1 0 において、それぞれの第 1 及び第 2 のリセット部 1 3 a、1 3 b のトランジスタ M 2 a、M 2 b がオンになる。第 1 の蓄積部 1 4 a、第 2 の蓄積部 1 4 b、第 1 の領域 2 0 a、及び第 2 の領域 2 0 b の電位がそれぞれリセット電位となる。この場合、画素 1 0 の第 1 の蓄積部 1 4 a と第 2 の蓄積部 1 4 b と第 1 の領域 2 0 a が接続されているため、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 1 の領域 2 0 a の電位が平均化される。

20

【 0 0 6 6 】

また、時刻 t 1 において、信号 S E L 1 < 2 > がハイレベルになることで、リセット電位に基づく信号が、第 1 の増幅部 1 5 a 及び第 1 の選択部 1 6 a により第 1 の垂直信号線 V L a に出力される。すなわち、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 1 の領域 2 0 a の電位をリセット電位にリセットしたときのノイズ信号が、第 1 の垂直信号線 V L a に読み出される。第 1 の垂直信号線 V L a に出力された各画素 1 0 からのノイズ信号は、それぞれ第 1 のカラム回路部 4 0 a 1 ~ 4 0 a 3 に入力されてデジタル信号に変換される。

【 0 0 6 7 】

時刻 t 2 では、信号 T X < 2 > がハイレベルになることで、第 1 及び第 2 の転送部 1 2 a、1 2 b のトランジスタ M 1 a、M 1 b がオンになる。これにより、第 1 及び第 2 の光電変換部 1 1 a、1 1 b で光電変換された電荷が、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 1 の領域 2 0 a に転送される。

30

【 0 0 6 8 】

また、時刻 t 2 では、信号 S E L 1 < 2 > がハイレベルであるため、加算画素信号が、第 1 の増幅部 1 5 a 及び第 1 の選択部 1 6 a により第 1 の垂直信号線 V L a に出力される。第 1 の垂直信号線 V L a に出力された各画素 1 0 からの加算画素信号は、それぞれ第 1 のカラム回路部 4 0 a 1 ~ 4 0 a 3 に入力されてデジタル信号に変換される。デジタル信号に変換されたノイズ信号と加算画素信号とは、水平転送部 6 0 を介して信号処理部に入力される。信号処理部は、画素 1 0 のノイズ信号と加算画素信号との差分処理を行う相関二重サンプリングを行う。

40

【 0 0 6 9 】

時刻 t 3 ~ 時刻 t 5 では、時刻 t 1 から時刻 t 3 までの期間の場合と同様にして、中央の行の画素からノイズ信号の読み出しと、加算画素信号の読み出しとが行われる。時刻 t 5 ~ 時刻 t 7 では、時刻 t 1 から時刻 3 までの期間の場合と同様にして、最下行の画素からノイズ信号の読み出しと、加算画素信号の読み出しとが行われる。このように、図 7 に示す 1 行読み出し方式では、画素 1 0 を行単位で順次選択し、画素 1 0 の 2 つの光電変換部による信号を加算し、加算画素信号を第 1 の垂直信号線 V L a に読み出すことができる。また、第 2 の電流源 2 5 b からの電流の供給を停止することで、撮像素子 3 の消費電力を低減することができる。

50

【 0 0 7 0 】

図 8 に示すタイミングチャートにおいて、横軸は時刻を示しており、第 2 の制御モードの 2 行同時読み出し方式の場合に図 5 の撮像素子 3 の各部に入力される制御信号を示している。垂直駆動部 5 0 は、信号 A D D _ F D 1 < 2 >、< 0 > をハイレベル、信号 A D D _ F D 1 < 1 > をローレベルにする。また、垂直駆動部 5 0 は、信号 A D D _ F D 2 < 2 >、< 0 > をローレベル、信号 A D D _ F D 2 < 1 > をハイレベルにする。さらに、垂直駆動部 5 0 は、信号 A D D _ F D 3 < 2 > ~ < 0 > をハイレベルにする。信号 A D D _ F D 3 がハイレベルになることで、各画素 1 0 の第 1 の蓄積部 1 4 a と第 2 の蓄積部 1 4 b とが電氣的に接続される。

【 0 0 7 1 】

最上行及び最下行の各画素 1 0 では、信号 A D D _ F D 1 < 2 >、< 0 > がハイレベルになることで、第 1 の蓄積部 1 4 a と第 1 の増幅部 1 5 a とが互いに電氣的に接続される。また、信号 A D D _ F D 2 < 2 >、< 0 > がローレベルになることで、第 2 の蓄積部 1 4 b と第 2 の増幅部 1 5 b とが互いに電氣的に切断される。

【 0 0 7 2 】

中央行の各画素 1 0 では、信号 A D D _ F D 1 < 1 > がローレベルになることで、第 1 の蓄積部 1 4 a と第 1 の増幅部 1 5 a とが互いに電氣的に切断される。また、信号 A D D _ F D 2 < 1 > がハイレベルになることで、第 2 の蓄積部 1 4 b と第 2 の増幅部 1 5 b とが互いに電氣的に接続される。

【 0 0 7 3 】

垂直駆動部 5 0 は、信号 C S 1 _ E N をハイレベルとし、信号 C S 2 _ E N もハイレベルとする。これにより、第 1 の垂直信号線 V L a には、第 1 の電流源 2 5 a から電流が供給され、第 2 の垂直信号線 V L b には、第 2 の電流源 2 5 b から電流が供給される。

【 0 0 7 4 】

図 8 に示す時刻 t 1 では、信号 R S < 2 > がハイレベルになることで、最上行の画素 1 0 において、それぞれの第 1 及び第 2 のリセット部 1 3 a、1 3 b のトランジスタ M 2 a、M 2 b がオンになる。第 1 の蓄積部 1 4 a、第 2 の蓄積部 1 4 b、第 1 の領域 2 0 a、及び第 2 の領域 2 0 b の電位がそれぞれリセット電位となる。この場合、画素 1 0 の第 1 の蓄積部 1 4 a と第 2 の蓄積部 1 4 b と第 1 の領域 2 0 a が接続されているため、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 1 の領域 2 0 a の電位が平均化される。

【 0 0 7 5 】

また、時刻 t 1 において、信号 S E L 1 < 2 > がハイレベルになることで、最上行の画素 1 0 のリセット電位に基づく信号が、第 1 の増幅部 1 5 a 及び第 1 の選択部 1 6 a により第 1 の垂直信号線 V L a に出力される。すなわち、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 1 の領域 2 0 a の電位をリセット電位にリセットしたときのノイズ信号が、第 1 の垂直信号線 V L a に読み出される。第 1 の垂直信号線 V L a に出力された最上行の各画素 1 0 からのノイズ信号は、それぞれ第 1 のカラム回路部 4 0 a 1 ~ 4 0 a 3 に入力されてデジタル信号に変換される。

【 0 0 7 6 】

また、時刻 t 1 では、信号 R S < 1 > がハイレベルになることで、中央行の画素 1 0 において、それぞれの第 1 及び第 2 のリセット部 1 3 a、1 3 b のトランジスタ M 2 a、M 2 b がオンになる。第 1 の蓄積部 1 4 a、第 2 の蓄積部 1 4 b、第 1 の領域 2 0 a、及び第 2 の領域 2 0 b の電位がそれぞれリセット電位となる。この場合、画素 1 0 の第 1 の蓄積部 1 4 a と第 2 の蓄積部 1 4 b と第 2 の領域 2 0 b が接続されているため、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 2 の領域 2 0 b の電位が平均化される。

【 0 0 7 7 】

また、時刻 t 1 において、信号 S E L 2 < 1 > がハイレベルになることで、中央行の画素 1 0 のリセット電位に基づく信号が、第 2 の増幅部 1 5 b 及び第 2 の選択部 1 6 b により第 2 の垂直信号線 V L b に出力される。すなわち、第 1 及び第 2 の蓄積部 1 4 a、1 4 b、及び第 2 の領域 2 0 b の電位をリセット電位にリセットしたときのノイズ信号が、第

10

20

30

40

50

2の垂直信号線V L bに読み出される。第2の垂直信号線V L bに出力された中央行の各画素10からのノイズ信号は、それぞれ第2のカラム回路部40 b 1 ~ 40 b 3に入力されてデジタル信号に変換される。

【0078】

時刻t2では、信号TX<2>がハイレベルになることで、最上行の画素10において、第1及び第2の転送部12 a、12 bのトランジスタM1 a、M1 bがオンになる。これにより、第1及び第2の光電変換部11 a、11 bで光電変換された電荷が、第1及び第2の蓄積部14 a、14 b、及び第1の領域20 aに転送される。

【0079】

また、時刻t2では、信号SEL1<2>がハイレベルであるため、最上行の画素10の加算画素信号が、第1の増幅部15 a及び第1の選択部16 aにより第1の垂直信号線V L aに出力される。第1の垂直信号線V L aに出力された最上行の各画素10からの加算画素信号は、それぞれ第1のカラム回路部40 a 1 ~ 40 a 3に入力されてデジタル信号に変換される。

【0080】

時刻t2では、信号TX<1>がハイレベルになることで、中央行の画素10において、第1及び第2の転送部12 a、12 bのトランジスタM1 a、M1 bがオンになる。これにより、第1及び第2の光電変換部11 a、11 bで光電変換された電荷が、第1及び第2の蓄積部14 a、14 b、及び第2の領域20 bに転送される。

【0081】

また、時刻t2では、信号SEL2<1>がハイレベルであるため、中央行の画素10の加算画素信号が、第2の増幅部15 b及び第2の選択部16 bにより第2の垂直信号線V L bに出力される。第2の垂直信号線V L bに出力された中央行の各画素10からの加算画素信号は、それぞれ第2のカラム回路部40 b 1 ~ 40 b 3に入力されてデジタル信号に変換される。デジタル信号に変換されたノイズ信号と加算画素信号とは、水平転送部60を介して信号処理部に入力される。信号処理部は、画素10のノイズ信号と加算画素信号との差分処理を行う相関二重サンプリングを行う。

【0082】

時刻t3以降の期間では、時刻t1から時刻t3までの期間の場合と同様にして、互いに隣接する奇数行目及び偶数行目の画素からの同時読み出しが順次行われる。このように、図8に示す2行同時読み出し方式は、2行分の画素の信号の読み出しを同時に行うことができる。このため、撮像素子3に配置された各画素10から高速に信号を読み出すことができる。

【0083】

次に、第1の制御モードと、第2の制御モードの1行読み出し方式と、第2の制御モードの2行同時読み出し方式との使い分けについて、説明する。制御部4は、カメラ1が焦点調節動作を行う場合には、撮像素子3を第1の制御モードで制御する。また、制御部4は、カメラ1が、表示部6に被写体のスルー画像(ライブビュー画像)を表示する場合には、撮像素子3を第2の制御モードの1行読み出し方式又は2行同時読み出し方式で制御する。従って、カメラ1が表示部6に被写体のスルー画像(ライブビュー画像)を表示しながら、焦点調節動作を行う場合には、制御部4は、撮像素子3を時分割的に、第2の制御モードの1行読み出し方式又は2行同時読み出し方式で制御すると共に第1の制御モードで制御する。操作部7のリリース操作部材が操作された場合には、制御部4は、撮像素子3を第2の制御モードの1行読み出し方式又は2行同時読み出し方式で制御する。

【0084】

更に、カメラ1がフレームレートの高い撮影、例えば高速連写撮影や動画撮影を行う場合には、制御部4は、加算画素信号の高速読み出しの為に撮像素子3を第2の制御モードの2行同時読み出し方式で制御する。また、カメラ1に設けられた被写体移動速度検出部が被写体が比較的高速で移動していることを検出した場合にも、制御部4は、加算画素信号を高速に読み出して画像のブレを少なくするために、撮像素子3を第2の制御モードの

10

20

30

40

50

2行同時読み出し方式で制御する。他方、カメラ1の駆動電池の残量が少なくなったことを、電池残量検出部が検出した場合には、制御部4は電池の消費を少なくするために、撮像素子3を第2の制御モードの1行読み出し方式で制御する。

【0085】

上述した実施の形態によれば、次の作用効果が得られる。

(1) 撮像素子3は、入射光を光電変換して第1電荷を生成する第1の光電変換部11aと、入射光を光電変換して第2電荷を生成する第2の光電変換部11bと、第1の光電変換部11aで生成された第1電荷を蓄積する第1の蓄積部14aと、第2の光電変換部11bで生成された第2電荷を蓄積する第2の蓄積部14bと、第1の蓄積部14aと第2の蓄積部14bとを接続切断する第1のスイッチ(加算スイッチ部17)と、第1の蓄積部14aと接続される第1の出力部(第1の増幅部15a及び第1の選択部16a)と、第2の蓄積部14bと第2の接続部(第2の接続スイッチ部19b)を介して接続切断される第2の出力部(第2の増幅部15b及び第2の選択部16b)と、を有する画素10を備える。本実施の形態では、第2の接続スイッチ部19bのトランジスタM9bをオフとすることで、第2の領域20bが、第1及び第2の蓄積部14a、14b、第1の領域20a、及び第1の増幅部15aから電氣的に切断される。このため、電荷電圧の変換ゲインを大きくすることができる。この結果、S/N比を向上させて、ノイズの少ない加算画素信号を得ることができる。

10

【0086】

(2) 本実施の形態では、第2の接続スイッチ部19bのトランジスタM9bをオフとすることで、第1の増幅部15aが第2の増幅部15bのトランジスタM3bのゲート容量から電氣的に切り離される。このため、トランジスタM3bのゲート容量の変動の影響を受けて変換ゲインが変動することを防ぐことができる。この結果、直線性が高い加算画素信号を得ることができる。

20

【0087】

次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

【0088】

(変形例1)

上述した実施の形態では、画素10に第1の接続スイッチ部19a及び第2の接続スイッチ部19bが設けられる例について説明した。しかし、画素の構成を、第1の接続スイッチ部19a及び第2の接続スイッチ部19bのいずれか一方のみを有する構成としてもよい。図9に示すように、撮像素子3に、第1の接続スイッチ部19aを有する画素10Aと、第2の接続スイッチ部19bを有する画素10Bとを配置するようにしてもよい。

30

【0089】

画素10Aの第1の接続スイッチ部19aのトランジスタM9aがオフとなることで、第1の領域20aが、第1及び第2の蓄積部14a、14b、及び第2の領域20bから電氣的に切断される。このため、第1及び第2の蓄積部14a、14b及び第2の領域20bの変換ゲインを大きくすることができる。他方、画素10Bの第2の接続スイッチ部19bのトランジスタM9bがオフとなることで、第2の領域20bが、第1及び第2の蓄積部14a、14b、及び第1の領域20aから電氣的に切断される。このため、第1及び第2の蓄積部14a、14b及び第1の領域20aの変換ゲインを大きくすることができる。図9に示す例では、例えば、二つの行の画素について、一方の行の画素10Aからは加算画素信号を第2の垂直信号線VLbに読み出し、これと同時に他方の行の画素10Bからは加算画素信号を第1の垂直信号線VLaに読み出すことができる。

40

【0090】

(変形例2)

上述した実施の形態では、画素10毎に複数の光電変換部が配置される例について説明した。しかし、画素10の構成を、一つの光電変換部を有する構成としてもよい。この場合、例えば図10に示すように、画素10には、加算スイッチ部17と接続スイッチ部1

50

9 とが設けられる。加算スイッチ部 17 は、例えば行方向にそれぞれ配置される複数の画素 10 の各々の蓄積部 14 を接続する。接続スイッチ部 19 は、蓄積部 14 と増幅部 15 とを接続する。制御部 4 は、接続スイッチ部 19 をオンオフ制御することで、画素 10 の蓄積部 14 と増幅部 15 とを切り離すことができ、電荷電圧の変換ゲインを大きくすることができる。なお、接続スイッチ部 19 は、画素 10 毎に配置されなくてもよい。撮像素子 3 において、接続スイッチ部 19 を有する画素と接続スイッチ部 19 を有しない画素とを配置するようにしてもよい。例えば、撮像素子 3 において、接続スイッチ部 19 を有する画素と有しない画素とを交互に配置してもよい。また、加算スイッチ部 17 は、画素 10 毎に配置されなくてもよい。加算スイッチ部 17 を、複数の画素毎に配置して、複数の画素で共有する構成としてもよい。

10

【0091】

(変形例 3)

上述した実施の形態では、1 画素に 2 つの光電変換部を配置する例について説明したが、画素の構成はこれに限らない。画素の構成を、1 画素あたり 3 つ以上の光電変換部を有する構成にしてもよい。この場合には、例えば、第 1 の制御モードでは複数の光電変換部からの信号を個別に読み出し、第 2 の制御モードでは複数の光電変換部のうち 2 つ以上の光電変換部からの信号を加算して読み出すようにしてもよい。

【0092】

(変形例 4)

上述した実施の形態および変形例では、光電変換部としてフォトダイオードを用いる例について説明した。しかし、光電変換部として光電変換膜を用いるようにしてもよい。

20

【0093】

(変形例 5)

上述の実施の形態および変形例で説明した撮像素子 3 は、カメラ、スマートフォン、タブレット、PC に内蔵のカメラ、車載カメラ、無人航空機（ドローン、ラジコン機等）に搭載されるカメラ等に適用されてもよい。

【0094】

上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

30

【0095】

次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願 2017 年第 16286 号（2017 年 1 月 31 日出願）

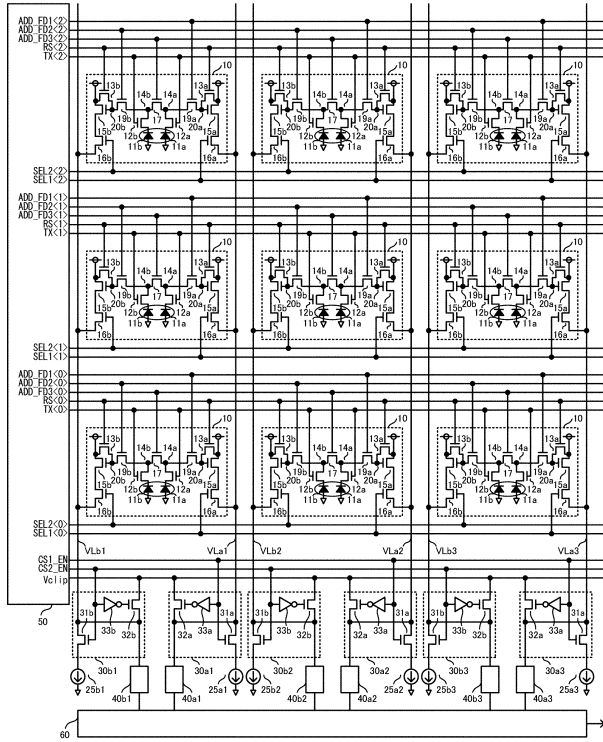
【符号の説明】

【0096】

3 撮像素子、4 制御部、10 画素、11a 第 1 の光電変換部、11b 第 2 の光電変換部、17 加算スイッチ部、19a 第 1 の接続スイッチ部、19b 第 2 の接続スイッチ部、50 垂直駆動部

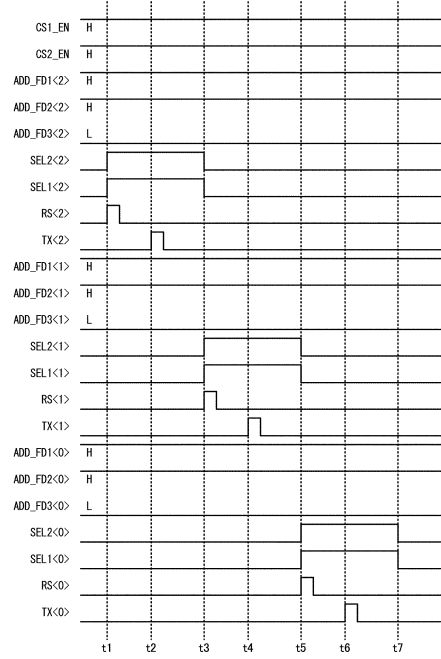
【図5】

【図5】



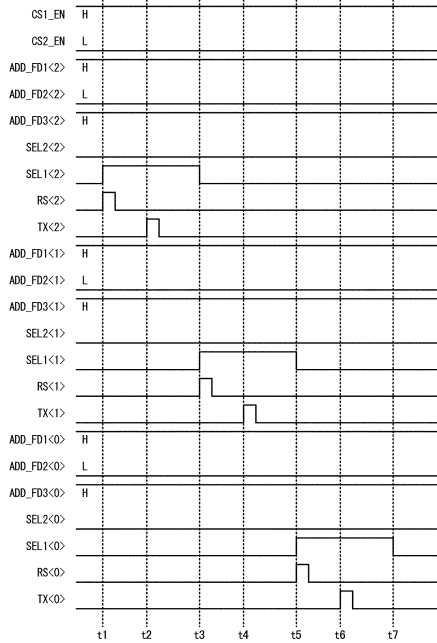
【図6】

【図6】



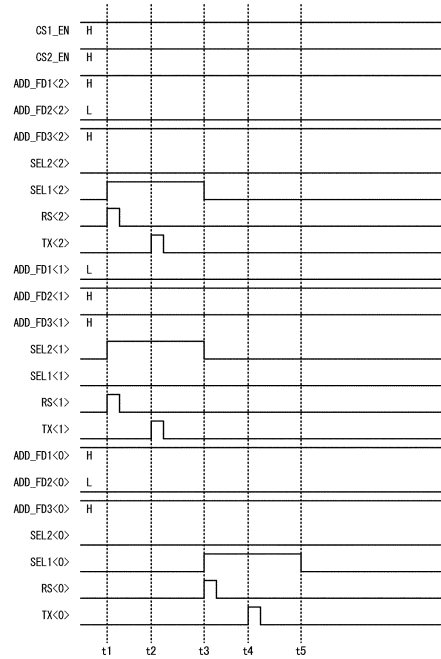
【図7】

【図7】



【図8】

【図8】



フロントページの続き

- (56)参考文献 特開2016-139859(JP,A)
特開2015-211257(JP,A)
特開2015-204469(JP,A)
特開2016-015680(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/225 - 5/378
H04N 9/00 - 9/11