(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102801420 A
(43)申请公布日 2012.11.28

(21)申请号 201210165573.0

(22)申请日 2012.05.25

(30)优先权数据
10-2011-0049807 2011.05.25 KR

(71)申请人 爱思开海力士有限公司
地址 韩国京畿道
申请人 西江大学校产学协力团

(72)发明人 黄元锡 李承勋 宋贞恩 黄东炫

(74)专利代理机构 北京弘权知识产权代理事务所(普通合伙) 11363
代理人 俞波 郭放

(51)Int.Cl.
H03M 1/12(2006.01)
H03F 1/02(2006.01)

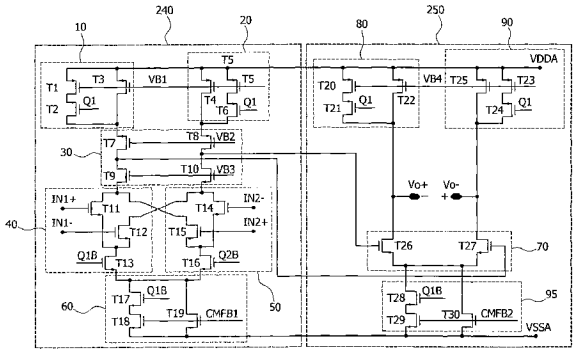
权利要求书 4 页 说明书 6 页 附图 4 页

(54)发明名称

放大电路和具有放大电路的模数转换电路

(57)摘要

提供了放大电路和具有放大电路的模数转换电路。模数转换器件包括:第一模数转换(ADC)电路,其被配置成将输入的模拟信号转换成第一数字信号;第一乘法数模转换(MDAC)电路,其被配置成将从第一数字信号转换而来的第一转换后的信号与输入的模拟信号之间的差放大;第二ADC电路,其被配置成将第一MDAC电路的输出转换成第二数字信号;第二MDAC电路,其被配置成将从第二数字信号转换而来的第二转换后的信号与第一MDAC电路的输出之间的差放大;第三ADC电路,其被配置成将第二MDAC电路的输出转换成第三数字信号;以及公共放大电路,其被第一MDAC电路和第二MDAC电路共享,其中,公共放大电路基于公共放大电路与哪个MDAC电路一起操作来消耗电流。



CN 102801420 A

1. 一种模数转换器件，包括：

第一模数转换即 ADC 电路，所述第一 ADC 电路被配置成接收模拟信号并将所述模拟信号的一部分转换成具有第一预定数目个比特的第一数字信号；

第一乘法数模转换即 MDAC 电路，所述第一 MDAC 电路被配置成将从所述第一数字信号转换成模拟值的第一转换后的信号与所述模拟信号之间的差放大；

第二 ADC 电路，所述第二 ADC 电路被配置成将由所述第一 MDAC 电路放大的信号转换成具有第二预定数目个比特的第二数字信号；

第二 MDAC 电路，所述第二 MDAC 电路被配置成将从所述第二数字信号转换成模拟值的第二转换后的信号与从所述第一 MDAC 电路输出的信号之间的差放大；

第三 ADC 电路，所述第三 ADC 电路被配置成将由所述第二 MDAC 电路放大的信号转换成具有第三预定数目个比特的第三数字信号；以及

公共放大电路，所述公共放大电路被所述第一 MDAC 电路和所述第二 MDAC 电路共享，其中，所述公共放大电路根据所述公共放大电路与哪个 MDAC 电路一起操作来消耗不同量的电流。

2. 如权利要求 1 所述的模数转换器件，其中，所述公共放大电路包括：

第一放大单元，所述第一放大单元被配置成将输入的信号放大；以及

第二放大单元，所述第二放大单元被配置成将所述第一放大单元的输出放大。

3. 如权利要求 2 所述的模数转换器件，其中，所述第一放大单元包括：

负载部分，所述负载部分包括第一电流路径和第二电流路径，所述第一电流路径被配置成提供第一电流量，所述第二电流路径被配置成提供第二电流量；

第一输入部分，所述第一输入部分被配置成接收所述第一转换后的信号与所述模拟信号之间的差，并通过控制从所述负载部分传送来的电流量而放大所述差；

第二输入部分，所述第二输入部分被配置成接收所述第二转换后的信号与从所述第一 MDAC 电路输出的信号之间的差，并通过控制从所述负载部分传送来的电流量而放大所述差；以及

恒定电流部分，所述恒定电流部分被配置成将从所述第一输入部分和所述第二输入部分中的一个传送来的恒定电流输出到第三电流路径中、第四电流路径中或第三电流路径和第四电流路径两个中。

4. 如权利要求 3 所述的模数转换器件，其中，所述第一输入部分包括：

第一晶体管，所述第一晶体管被配置成在栅极接收所述第一转换后的信号与所述模拟信号之间的差；以及

第一开关单元，所述第一开关单元与所述第一晶体管串联连接并响应于第一开关信号而导通；以及

其中，所述第二输入部分包括：

第二晶体管，所述第二晶体管与所述第一晶体管并联连接，并被配置成在栅极接收所述第二转换后的信号与从所述第一 MDAC 电路输出的信号之间的差；以及

第二开关单元，所述第二开关单元与所述第二晶体管串联连接，并响应于具有与所述第一开关信号相反相位的第二开关信号而导通。

5. 如权利要求 4 所述的模数转换器件，其中，所述第一开关信号和所述第二开关信号

即使具有相反的相位，仍具有不同的激活时段，所述不同的激活时段具有部分交叠的预定时段。

6. 如权利要求 3 所述的模数转换器件，其中，所述负载部分包括：

第一晶体管，所述第一晶体管被配置成传送流经所述第一电流路径的电流；以及

第二和第三晶体管，所述第二和第三晶体管彼此串联连接并与所述第一晶体管并联连接，所述第二和第三晶体管被配置成当被开关信号选择性地导通时传送流经所述第二电流路径的电流。

7. 如权利要求 6 所述的模数转换器件，其中，所述恒定电流部分包括：

第四晶体管，所述第四晶体管被配置成将电流传送到所述第三电流路径；以及

第五和第六晶体管，所述第五和第六晶体管彼此串联连接并与所述第四晶体管并联连接，所述第五和第六晶体管被配置成当被所述开关信号的反相信号选择性地导通时将电流传送到所述第四电流路径。

8. 如权利要求 6 所述的模数转换器件，其中，经由所述第一电流路径提供的恒定电流与输出到所述第三电流路径的恒定电流实质相似，并且经由所述第二电流路径提供的恒定电流与输出到所述第四电流路径的恒定电流实质相似。

9. 如权利要求 6 所述的模数转换器件，其中，分别经由所述第一电流路径和所述第二电流路径来传送预定操作电流的 85％和 15％的量。

10. 如权利要求 6 所述的模数转换器件，其中，分别经由所述第三电流路径和所述第四电流路径来输出预定操作电流的 85％和 15％的量。

11. 如权利要求 2 所述的模数转换器件，其中，所述第二放大单元包括：

负载部分，所述负载部分包括第一电流路径和第二电流路径，所述第一电流路径被配置成提供第一电流量，所述第二电流路径被配置成提供第二电流量；

输入部分，所述输入部分被配置成接收所述第一放大单元的输出，并通过控制从所述负载部分传送来的电流量来放大所述输出；以及

恒定电流部分，所述恒定电流部分被配置成将从所述输入部分传送来的恒定电流输出到第三电流路径和第四电流路径中的一个。

12. 如权利要求 11 所述的模数转换器件，其中，所述负载部分包括：

第一晶体管，所述第一晶体管被配置成传送流经所述第一电流路径的电流；以及

第二和第三晶体管，所述第二和第三晶体管彼此串联连接并与所述第一晶体管并联连接，所述第二和第三晶体管被配置成当被开关信号选择性地导通时传送流经所述第二电流路径的电流。

13. 如权利要求 12 所述的模数转换器件，其中，所述恒定电流部分包括：

第四晶体管，所述第四晶体管被配置成将电流传送到所述第三电流路径；以及

第五和第六晶体管，所述第五和第六晶体管彼此串联连接并与所述第四晶体管并联连接，所述第五和第六晶体管被配置成当被所述开关信号的反相信号选择性地导通时将电流传送到所述第四电流路径。

14. 如权利要求 1 所述的模数转换器件，其中，所述公共放大电路包括：

负载部分，所述负载部分包括第一电流路径和第二电流路径，所述第一电流路径被配置成提供第一电流量，所述第二电流路径被配置成提供第二电流量；

第一输入部分，所述第一输入部分被配置成接收所述第一转换后的信号与所述模拟信号之间的差，并通过控制从所述负载部分传送来的电流量而放大所述差；

第二输入部分，所述第二输入部分被配置成接收所述第二转换后的信号与从所述第一 MDAC 电路输出的信号之间的差，并通过控制从所述负载部分传送来的电流量而放大所述差；以及

恒定电流部分，所述恒定电流部分被配置成将从所述第一输入部分和所述第二输入部分中的一个传送来的恒定电流输出到第三电流路径中、第四电流路径中或所述第三电流路径和所述第四电流路径两个中。

15. 如权利要求 14 所述的模数转换器件，其中，所述第一输入部分包括：

第一晶体管，所述第一晶体管被配置成在栅极处接收所述第一转换后的信号与所述模拟信号之间的差；以及

第一开关单元，所述第一开关单元与所述第一晶体管串联连接并响应于第一开关信号而导通；以及

其中，所述第二输入部分包括：

第二晶体管，所述第二晶体管与所述第一晶体管并联连接，所述第二晶体管被配置成在栅极处接收所述第二转换后的信号与从所述第一 MDAC 电路输出的信号之间的差；以及

第二开关电路，所述第二开关电路与所述第二晶体管串联连接，并响应于具有与所述第一开关信号相反相位的第二开关信号而导通。

16. 如权利要求 14 所述的模数转换器件，其中，所述第一开关信号和所述第二开关信号即使具有相反的相位，仍具有不同的激活时段，所述不同的激活时段具有部分交叠的预定时段。

17. 如权利要求 14 所述的模数转换器件，其中，所述负载部分包括：

第一晶体管，所述第一晶体管被配置成传送流经所述第一电流路径的电流；以及

第二和第三晶体管，所述第二和第三晶体管彼此串联连接并与所述第一晶体管并联连接，所述第二和第三晶体管被配置成当被开关信号选择性地导通时传送流经所述第二电流路径的电流。

18. 如权利要求 17 所述的模数转换器件，其中，所述恒定电流部分包括：

第四晶体管，所述第四晶体管被配置成将电流传送到所述第三电流路径；以及

第五和第六晶体管，所述第五和第六晶体管彼此串联连接并与所述第四晶体管并联连接，所述第五和第六晶体管被配置成当被所述开关信号的反相信号选择性地导通时将电流传送到所述第四电流路径。

19. 如权利要求 18 所述的模数转换器件，其中，经由所述第一电流路径提供的恒定电流与输出到所述第三电流路径的恒定电流实质相似，以及经由所述第二电流路径提供的恒定电流与输出到所述第四电流路径的恒定电流实质相似。

20. 如权利要求 19 所述的模数转换器件，其中，分别经由所述第一电流路径和所述第二电流路径来传送预定操作电流的 85％和 15％的量。

21. 如权利要求 19 所述的模数转换器件，其中，分别经由所述第三电流路径和所述第四电流路径来输出预定操作电流的 85％和 15％的量。

22. 如权利要求 1 所述的模数转换器件，其中，第一预定个比特、第二预定个比特、第三

预定个比特是相同数目的比特。

23. 一种放大器件，包括：

第一负载部分，所述第一负载部分包括第一电流路径和第二电流路径，所述第一电流路径被配置成提供第一电流量，所述第二电流路径被配置成提供第二电流量；

第一输入部分，所述第一输入部分被配置成接收第一模拟信号并通过控制从所述第一负载部分传送来的电流量而放大所述第一模拟信号；

第二输入部分，所述第二输入部分被配置成接收第二模拟信号并通过控制从所述第一负载部分传送来的电流量而放大所述第二模拟信号；以及

恒定电流部分，所述恒定电流部分被配置成将从所述第一输入部分和所述第二输入部分中的一个传送来的恒定电流输出到第三电流路径中、第四电流路径中或第三电流路径和第四电流路径两个中。

24. 如权利要求 23 所述的放大器件，还包括：

第二负载部分，所述第二负载部分包括第五电流路径和第六电流路径，所述第五电流路径被配置成提供第五电流量，所述第六电流路径被配置成提供第六电流量；

第三输入部分，所述第三输入部分被配置成接收从所述第一输入部分和所述第二输入部分中的一个传送来的信号，并通过控制从所述第二负载部分传送来的电流量而放大所述信号；以及

恒定电流部分，所述恒定电流部分被配置成将从所述第三输入部分传送来的恒定电流输出到第七电流路径中、第八电流路径中或所述第七电流路径和所述第八电流路径两个中。

放大电路和具有放大电路的模数转换电路

[0001] 相关申请的交叉引用

[0002] 本申请要求2011年5月25日向韩国知识产权局提交的申请号为10-2011-0049807的韩国专利申请的优先权，其全部内容通过引用合并于此。

技术领域

[0003] 本发明涉及一种集成电路，更具体而言，涉及一种被配置成将模拟值转换为数字值的模数转换电路。

背景技术

[0004] 数字集成电路接收数字信号并执行操作以输出数字信号，然而，一些集成电路会接收模拟信号。为了处理模拟信号，集成电路一般包括被配置成将模拟信号转换为数字信号的模数转换电路(ADC)。例如，被输入到包括在用于处理图像的器件中的传感器的信号是模拟信号。所述信号应转换成用于内部信息处理的数字信号。因为通过图像处理器件的传感器接收到的信息通常是非常微弱的信号，所以图像处理器件应该包括具有高分辨率的ADC以识别非常微弱的信号。

[0005] 具有高分辨率和数千万Hz的采样速率的高性能ADC已经不仅在诸如数码照相机、数码摄像机以及数字电视的图像处理系统中需要，而且在诸如无线通信设备、异步数字用户环线(ADSL)设备以及国际移动通信-2000(IMT-2000)设备的通信系统中需要。

[0006] 对于ADC，已经建议一些类型的结构。例如，有闪存结构、折叠结构、分段结构、流水线结构等。近来，在这些结构中，流水线结构已被广泛使用，因为其可以满足高速数字处理条件和高分辨率条件，也可以优化操作速率、功耗和可扩展性。具有流水线结构的ADC包括多级流水线。在本发明中，每一级可以是决定1比特数据的单比特结构或决定两个或更多个比特数据的多比特结构。

[0007] 包括在具有流水线结构的ADC的多个单元电路每个都将模拟信号的一部分转换成预定比特的数字信号，并将模拟信号的其余部分传送到下一个单元电路。ADC需要被配置成在传送模拟信号的其余部分之前将所述其余部分放大的放大电路。然而，所述放大电路耗费很多功率，所以这是具有高分辨率的ADC的缺陷。

发明内容

[0008] 本发明的一个实施例涉及一种能优化功耗的放大电路；并涉及一种包括放大电路的具有流水线结构的模数转换器件。

[0009] 根据本发明的一个实施例，一种模数转换器件包括：第一模数转换电路(ADC)，所述第一ADC电路被配置成接收模拟信号并将模拟信号的一部分转换成具有第一预定数目个比特的第一数字信号；第一乘法数模转换(MDAC)电路，所述第一乘法数模转换(MDAC)电路被配置成将从第一数字信号转换成模拟值的第一转换后的信号与模拟信号之间的差放大；第二ADC电路，所述第二ADC电路被配置成将由所述第一MDAC电路放大的信号转换成

具有第二预定数目个比特的第二数字信号；第二 MDAC 电路，所述第二 MDAC 电路被配置成将从所述第二数字信号转换成模拟值的第二转换后的信号与从所述第一 MDAC 电路输出的信号之间的差放大；第三 ADC 电路，所述第三 ADC 电路被配置成将由所述第二 MDAC 电路放大的信号转换成具有第三预定数目个比特的第三数字信号；以及公共放大电路，所述公共放大电路被所述第一 MDAC 电路和所述第二 MDAC 电路共享，其中所述公共放大电路根据公共放大电路与哪个 MDAC 电路一起操作来消耗不同量的电流。

[0010] 根据本发明的另一个实施例，一种放大器件包括：第一负载部分，所述第一负载部分包括被配置成提供第一电流量的第一电流路径和被配置成提供第二电流量的第二电流路径；第一输入部分，所述第一输入部分被配置成接收第一模拟信号，并通过控制从所述第一负载部分传送来的电流量来放大所述第一模拟信号；第二输入部分，所述第二输入部分被配置成接收第二模拟信号并通过控制从第一负载部分传送来的电流量来放大第二模拟信号；以及恒定电流部分，所述恒定电流部分被配置成将从第一输入部分和第二输入部分中的一个传送来的恒定电流输出到第三电流路径中、第四电流路径中或第三电流路径和第四电流路径两个中。

附图说明

[0011] 图 1 是示出根据本发明的一个实施例的具有流水线结构的模数转换器件的框图；

[0012] 图 2 包括描述图 1 所示的第一放大电路和第二放大电路的框图；

[0013] 图 3 和图 4 是描述图 2 所示的第一放大电路和第二放大电路的操作的电路图。

具体实施方式

[0014] 下面将参照附图更详细地描述本发明的示例性实施例。但是，本发明可以用不同的方式实施，而不应解释为限定为本文所列的实施例。确切地说，提供这些实施例是为了使本说明书充分且完整，并向本领域技术人员充分传达本发明的范围。在说明书中，相同的附图标记在本发明的不同附图与实施例中表示相同的部分。

[0015] 图 1 是示出根据本发明的一个实施例的具有流水线结构的模数转换器件的框图。

[0016] 如图所示，模数转换 (ADC) 器件包括输入模块 100、乘法数模转换 (MDAC) 模块 200、第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、数字值校正模块 600、参考信号提供模块 700、以及定时发生模块 800。

[0017] 输入模块 100 接收从外部提供的模拟信号 AIN 并将模拟信号 AIN 传送到 MDAC 模模块 200 和第一快闪 ADC 模块 300。MDAC 模块 200 包括第一 MDAC 电路 200A 和第二 MDAC 电路 200B。第一快闪 ADC 模块 300、第二快闪 ADC 模块 400 以及第三快闪 ADC 模块 500 分别将输入的模拟值转换成具有预定数目个比特（例如，4 比特）的数字值，并将所述数字值提供给数字值校正模块 600。一般地，具有流水线结构的 ADC 器件包括多个 MDAC 电路和多个快闪 ADC 模块，每个快闪 ADC 模块与每个 MDAC 电路相对应使得对于每个 MDAC 电路而言有相应的快闪 ADC 模块。然而，在第一实施例中，有两个 MDAC 电路和与这两个 MDAC 电路相对应的三个快闪 ADC 模块。因此，在这个实施例中，MDAC 电路与快闪 ADC 模块没有一一对应。

[0018] 第一快闪 ADC 模块 300 将从输入模块 100 提供的模拟信号转换成 4 比特数字值 A 并将 4 比特数字值 A 传送到数字值校正模块 600 和第一 MDAC 电路 200A。第一 MDAC 电路

200A 将从第一快闪 ADC 模块 300 提供的 4 比特数字值 A 转换成模拟值，并将所述模拟值与从输入模块 100 输入的模拟信号之间的差放大。第二快闪 ADC 模块 400 将从第一 MDAC 电路 200A 输出的模拟信号转换成 4 比特数字值 B，并将 4 比特数字值 B 输出到数字值校正模块 600 和第二 MDAC 电路 200B。

[0019] 第二 MDAC 电路 200B 将从第二快闪 ADC 模块 400 提供的 4 比特数字值 B 转换成模拟值并将模拟值与从第一 MDAC 电路 200A 输出的模拟信号之间的差放大。第三快闪 ADC 模块 500 将从第二 MDAC 电路 200B 输出的模拟信号转换成 4 比特数字值 C 并将 4 比特数字值 C 输出到数字值校正模块 600。

[0020] 数字值校正模块 600 将从第一快闪 ADC 模块 300、第二快闪 ADC 模块 400 以及第三快闪 ADC 模块 500 输出的 4 比特数字值 A、B 和 C 组合以输出 10 比特数字值。这里，尽管 10 比特数字值是数字值校正模块 600 的最终输出，但是第一快闪 ADC 模块 300、第二快闪 ADC 模块 400 以及第三快闪 ADC 模块 500 每个都分别输出 4 比特数字值。因为为了纠错，在第一快闪 ADC 模块 300 与第二快闪 ADC 模块 400 之间有 1 比特交叠值，在第二快闪 ADC 模块 400 与第三快闪 ADC 模块 500 之间有 1 比特交叠值，所以数字值校正模块 600 输出 10 比特值而不是模块 600 从快闪 ADC 模块 300、400 和 500 接收的 12 比特。

[0021] 参考信号提供模块 700 用来提供用于第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、以及第一 MDAC 电路 200A 和第二 MDAC 电路 200B 操作的参考信号。因此，参考信号提供模块 700 可以与第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、以及第一 MDAC 电路 200A 和第二 MDAC 电路 200B 耦接，以便将参考信号提供给第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、以及第一 MDAC 电路 200A 和第二 MDAC 电路 200B。定时发生模块 800 用来将开关信号 Q1、Q1B、Q2 以及 Q2B 提供给第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、以及第一 MDAC 电路 200A 和第二 MDAC 电路 200B。因此，定时发生模块 800 可以与第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、以及第一 MDAC 电路 200A 和第二 MDAC 电路 200B 耦接，以将开关信号 Q1、Q1B、Q2 以及 Q2B 提供给第一快闪 ADC 模块 300、第二快闪 ADC 模块 400、第三快闪 ADC 模块 500、以及第一 MDAC 电路 200A 和第二 MDAC 电路 200B。开关信号 Q1 和 Q2 没有交叠的激活时段，但是反相的开关信号 Q1B 和 Q2B 具有部分交叠的激活时段。

[0022] 包括在具有流水线结构的 ADC 器件中的第一 MDAC 电路 200A 和第二 MDAC 电路 200B 可以具有放大电路以放大信号或值。然而，因为单级放大电路一般不足够满足所需要的 DC 电压增益，所以可以使用两级放大电路。此外，在 ADC 器件中，第一 MDAC 电路 200A 和第二 MDAC 电路 200B 不同时操作而是依次操作。因此，为了在本发明的实施例中实现有效的系统，第一 MDAC 电路 200A 和第二 MDAC 电路 200B 可以共享两级放大电路 X。两级放大电路 X 可以包括开关电流运算放大器 (Op 放大器)。

[0023] 图 2 包括描述图 1 所示的第一放大电路 / 单元和第二放大电路 / 单元的框图。

[0024] 如图所示，第一放大电路 240 包括第一负载部分 10、第二负载部分 20、输出部分 30、第一输入部分 40、第二输入部分 50、以及第一恒定电流部分 60。第一负载部分 10 包括 :彼此串联连接的晶体管 T1 和 T2，所述晶体管 T1 和 T2 用于经由第一电流路径供应 15％的预定电流 ;以及晶体管 T3，所述晶体管 T3 用于经由第二电流路径供应 85％的预定电流。

第二负载部分 20 包括 :彼此串联连接的晶体管 T5 和 T6,所述晶体管 T5 和 T6 用于经由第三电流路径供应 15％的预定电流 ;以及晶体管 T4,所述晶体管 T4 用于经由第四电流路径供应 85％的预定电流。第一负载部分 10 和第二负载部分 20 每个分别具有两条电流路径。可以根据本发明的实施例来调整经由两条电流路径传送的 85％和 15％的电流量的比。输出部分 30 包括四个晶体管 T7 至 T10。这四个晶体管 T7 至 T10 可以分成两对,并且每对晶体管可以彼此串联连接。输出部分 30 形成在可以用在放大器中的缩放结构 (telescopic structure) 中。

[0025] 第一输入部分 40 包括具有接收正的输入信号 IN1+ 的栅极的晶体管 T11,具有接收负的输入信号 IN1- 的栅极的晶体管 T12、以及具有接收开关信号 Q1B 的栅极的晶体管 T13,其中晶体管 T13 可以作为开关单元来操作并与晶体管 T11 和 T12 中的至少一个串联连接。晶体管 T13 可以具有与晶体管 T11 和 T12 共同耦接的一个源极 / 漏极。第二输入部分 50 包括与第一输入部分 40 中包括的三个晶体管 T11、T12 和 T13 相对应的三个晶体管 T14、T15 和 T16。类似地,晶体管 T16 可以作为开关单元来操作,并与晶体管 T14 和 T15 中的至少一个串联连接。

[0026] 第一恒定电流部分 60 包括两条电流路径,彼此串联连接且被配置成流经 15％的预定电流的晶体管 T17 和 T18 可以包括一条电流路径,被配置成流经 85％的预定电流的晶体管 T19 可以包括一条电流路径。晶体管 T17 由开关信号 Q1B 来导通。

[0027] 第二放大单元 250 包括第三负载部分 80、第四负载部分 90、第三输入部分 70 以及恒定电流部分 95。第三输入部分 70 包括两个晶体管 T26 和 T27,两个晶体管 T26 和 T27 每个都具有接收从第一放大单元 240 的输出部分 30 提供的信号的栅极。第三负载部分 80 和第四负载部分 90 分别与第一负载部分 10 和第二负载部分 20 相对应。第三负载部分 80 包括三个晶体管 T20 至 T22,并且第四负载部分 90 包括三个晶体管 T23 至 T25。第二恒定电流部分 95 与第一恒定电流部分 60 相同,包括三个晶体管,其中第二恒定电流部分 95 的三个晶体管是晶体管 T28 至 T30。

[0028] 在第一恒定电流部分 60 和第二恒定电流部分 95 中,控制信号 CMFB1 和 CMFB2 被供应给晶体管 T18、T19、T29 和 T30 的栅极以用于控制共模反馈操作,这用来将放大单元的共模输出信号维持为恒定的值。在本文中,因为一般在集成电路中执行共模反馈操作,所以省略关于被配置成产生控制信号 CMFB1 和 CMFB2 的电路的描述。

[0029] 晶体管 T30 用来在第二放大单元 250 中供应 85％的预定电流,并且晶体管 T28 和 T29 用来供应 15％的预定电流。以上提到的晶体管 T1 至 T30 可以实施为不同类型的 MOS 晶体管。例如,一些晶体管 T1 至 T8 和 T20 至 T25 可以实施为 PMOS 晶体管,而其它的晶体管可以实施为 NMOS 晶体管。此外,可以分别导通相应的晶体管的控制信号 VB1 至 VB4 是用于维持稳定操作的偏置电压的信号。

[0030] 图 3 和图 4 是可以用于描述图 2 所示的第一放大电路和第二放大电路的操作的电路图。如图 3 所示,第一放大电路 240 和第二放大电路 250 应用于第一 MDAC 电路 200A 的操作,并且图 4 示出第一放大电路 240 和第二放大电路 250 也应用于第二 MDAC 电路 200B 的操作。

[0031] 参见图 3,当第一放大电路 240 和第二放大电路 250 用于第一 MDAC 电路 200A 时,将输入信号 IN1+ 和 IN1- 输入到第一输入部分 40。第二输入部分 50 不操作。输入用于导

通晶体管 T2、T6、T21 和 T24 的开关信号 Q1 和用于导通 T13、T17 和 T28 的开关信号 Q1B。因此，除了第二输入部分 50 中包括的三个晶体管以外，第一放大电路 240 和第二放大电路 250 中包括的所有晶体管操作以接收输入信号 IN1+ 和 IN1- 并输出放大的信号 VO+ 和 VO-。

[0032] 当接收到开关信号 Q1 和 Q1B 时，图 3 所示的由虚线标示的那部分线、栅极和信号不操作。第一输入部分 40 接收输入信号。包括在第一负载部分 10 和第二负载部分 20 中的晶体管 T1 至 T6 和包括在第一恒定电流部分 60 中的晶体管 T17 至 T19 操作。因此，第一输入部分 40 可以被配置成通过控制从负载部分 10 和 / 或 20 传送来的电流量，将模拟信号与转换后的模拟信号之间的差放大，其中所述模拟信号可以是从输入模块 100 接收的模拟信号，所述转换后的模拟信号可以是从 4 比特数字值 A 转换而来的模拟信号。由第一放大电路 240 放大的信号输入到第二放大电路 250 的第三输入部分 70。在这种情况下，第三负载部分 80、第四负载部分 90 以及第二恒定电流部分 95 中所包括的晶体管操作以在与晶体管 T26 和 T27 相关联的栅极处接收输入信号 IN1，并产生放大的信号 VO+ 和 VO-。

[0033] 图 4 示出第一放大电路 240 和第二放大电路 250 如何针对第二 MDAC 电路 200B 操作。在这种情况下，只使用第一放大电路 240 和第二放大电路 250 的 85％的操作电流。图 4 所示的由虚线标示的包括线、栅极以及信号的部分不操作。即，包括在第一负载部分 10 和第二负载部分 20 中的晶体管 T3 和 T4 和第一恒定电流部分 60 中的晶体管 T19 操作。另外，输入信号 IN2+ 和 IN2- 经由第二输入部分 50 输入。第一放大电路 240 的输出信号被第二放大电路 250 放大。在这种情况下，第三负载部分 80 和第四负载部分 90 的晶体管 T22 和 T25 以及第二恒定电流部分 95 的晶体管 T30 操作。在第一放大电路 240 和第二放大电路 250 中，开关信号 Q1 和 Q1B 选择性地确定包括在第一至第四负载电路 10、20、80 和 90 以及第一恒定电流部分 60 和第二恒定电流部分 95 中的晶体管的操作。根据开关信号 Q1 和 Q1B 来导通或关断晶体管 T17 和 T28 以及晶体管 T2、T6、T21 和 T24。因此，第二输入部分 50 被配置成接收第二转换后的信号与从第一 MDAC 电路 200A 输出的信号之间的差，并通过控制从负载部分 80 和 / 或 90 传送来的电流量来放大所述差，其中所述第二转换后的信号可以是已被转换成模拟信号的 4 比特数字信号 A 和从第一 MDAC 电路 200A 输出的模拟信号。

[0034] 本发明的实施例是基于由具有流水线结构的 ADC 器件中所包括的两个相邻流水线级的每个 MDAC 电路来依次执行一个完整操作时段的一半的放大操作。如果第一放大电路 240 和第二放大电路 250 被相邻的 MDAC 电路所共享，则会改善功耗和可扩展性。在本发明的一个实施例中，当第一放大电路 240 和第二放大电路 250 用于第一 MDAC 电路 200A 时，100％的预定操作电流用于放大操作。然而，当第一放大电路 240 和第二放大电路 250 用于第二 MDAC 电路 200B 时，放大操作消耗 85％的预定操作电流。

[0035] 在具有流水线结构的 ADC 器件中，用于预定级的 MDAC 电路的操作所需要的 DC 电压增益和带宽高于和宽于下级的 MDAC 电路的 DC 电压增益和带宽。通常地，用于所有级的 MDAC 电路的放大电路的容量可以满足第一级的 MDAC 电路的要求。然而，在共享放大电路的实施例中，因为放大电路被共享且操作电流受控制，所以针对放大操作可以减少下级 MDAC 电路不必要的功耗。

[0036] 在本发明中，应将 ADC 器件设计成 :消耗根据不同的 MDAC 电路需要的性能而优化的功率，即，放大单元用于哪一级 MDAC 电路（例如第一级或最后一级）。对于第一级 MDAC 电路，可以消耗 100％的操作电流量，但是对于最后一级 MDAC 电路，可以消耗最小量的操作

电流。根据共享级 MDAC 电路来控制流经放大单元的电流量，ADC 器件可以提高功耗的效率。

[0037] 在本实施例中，当第一放大电路 240 和第二放大电路 250 操作用于第一级，即第一 MDAC 电路 200A 时，使用 100％的预定操作电流。当第一放大电路 240 和第二放大电路 250 操作用于第二级，即第二 MDAC 电路 200B 时，放大操作消耗 85％的预定操作电流（参见 IAMP1 和 IAMP2）。另外，根据本发明的一个实施例的放大器件可以选择性地消耗 15％的操作电流。为了控制操作电流，使用多个开关单元（例如图 2 所示的 T2、T6、T17、T21、T24 和 T28）。因此，当第二 MDAC 电路 200B 操作时，第一放大电路 240 和第二放大电路 250 的功耗可以下降到预定操作电流的 85％。

[0038] 尽管已经参照具体的实施例描述了本发明，但是对本领域技术人员显然的是，在不脱离所附权利要求所限定的本发明的精神和范围的情况下，可以进行各种变化和修改。

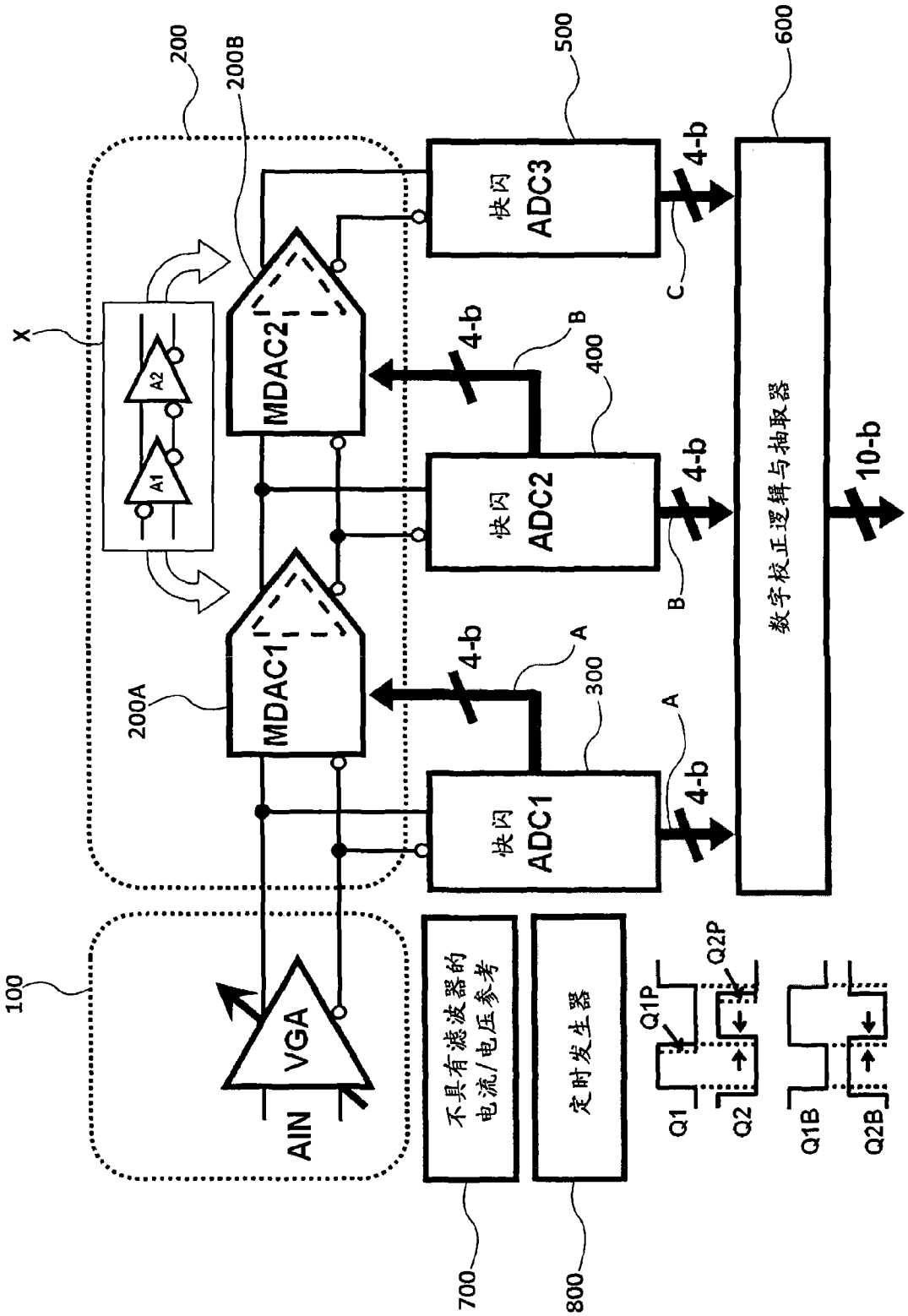

200
200B
500
600
X
MDAC2
4-b
B
400
快闪
ADC3
4-b
C
A2
A1
快闪
ADC2
4-b
B
数字校正逻辑与抽取器
10-b
MDAC1
4-b
A
300
200A
A
快闪
ADC1
4-b
100
VGA
AIN
不具有滤波器的
电流/电压参考
定时发生器
Q1P
Q2P
Q1
Q2
Q1B
Q2B
700
800

图 1

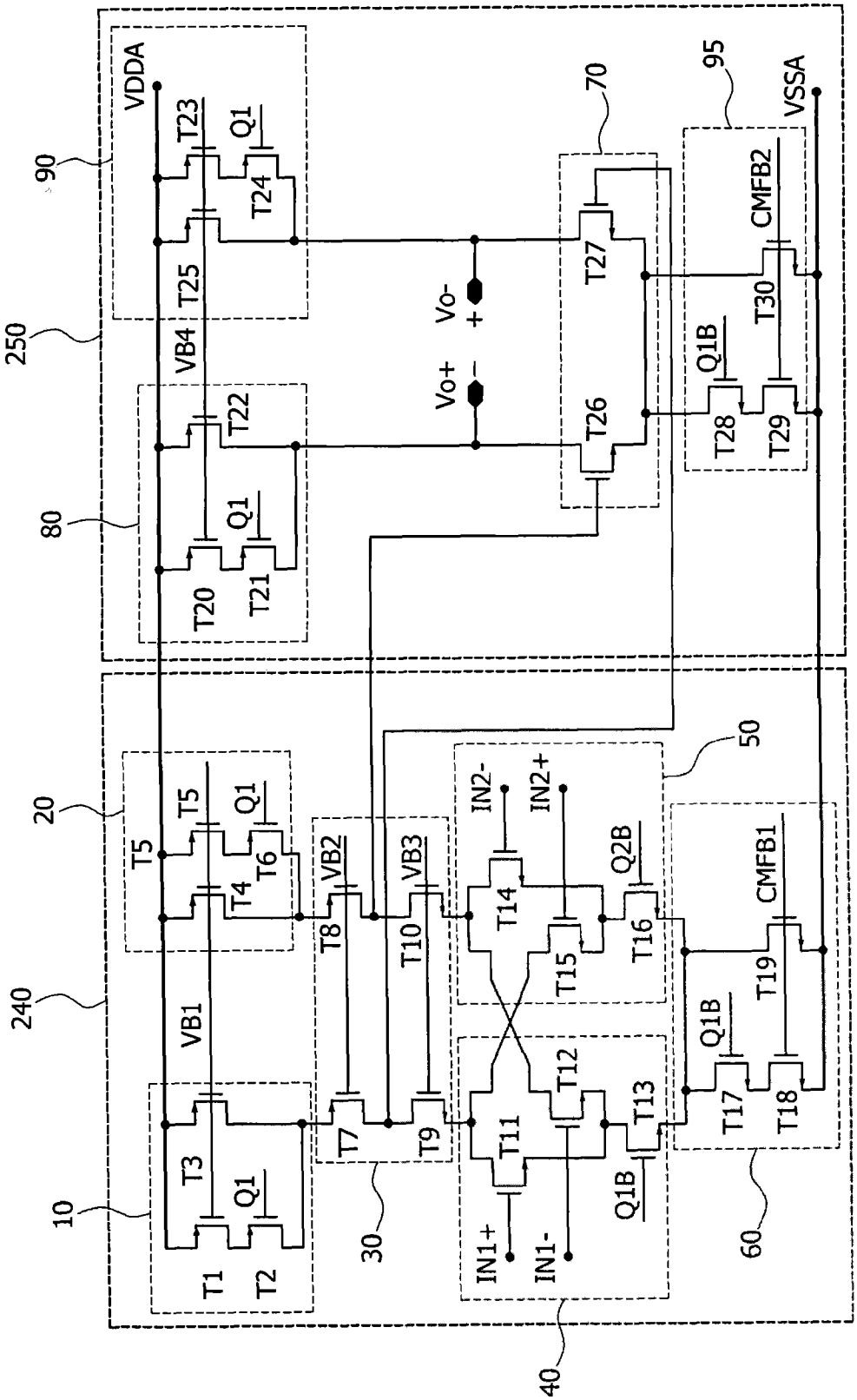

VDDA
T23
Q1
T24
T25
VB4
T22
Q1
T20
T21
90
250
80
Vo-
Vo+
70
T27
T26
95
VSSA
CMFB2
T30
Q1B
T28
T29
VB1
T5
Q1
T5
T6
T4
20
240
T3
Q1
T1
T2
10
VB2
VB3
T8
T10
T7
T9
30
IN2-
IN2+
T14
T15
Q2B
T16
50
CMFB1
T19
Q1B
T17
T18
60
T12
T13
T11
Q1B
IN1+
IN1-
40

图 2

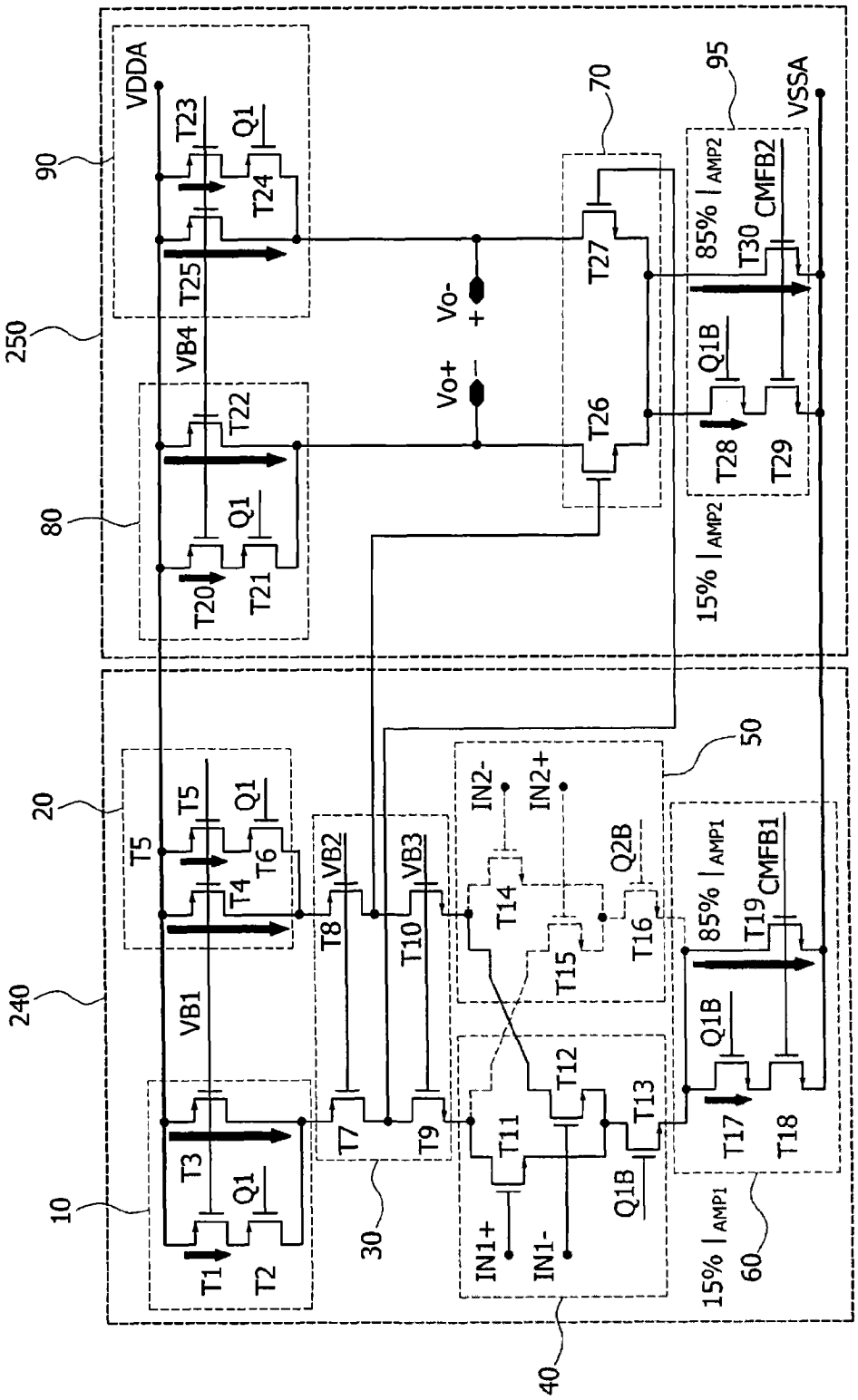

VDDA
VSSA
T23
T24
T25
T22
T20
T21
T27
T26
T28
T29
T30
T5
T6
T4
T8
T10
T14
T15
T16
T12
T13
T11
T7
T9
T3
T1
T2
T17
T18
T19
Q1
Q1B
Q2B
VB1
VB2
VB3
VB4
Vo-
Vo+
IN1+
IN1-
IN2+
IN2-
CMFB1
CMFB2
85% I AMP2
15% I AMP2
85% I AMP1
15% I AMP1
10
20
30
40
50
60
70
80
90
95
240
250

图 3

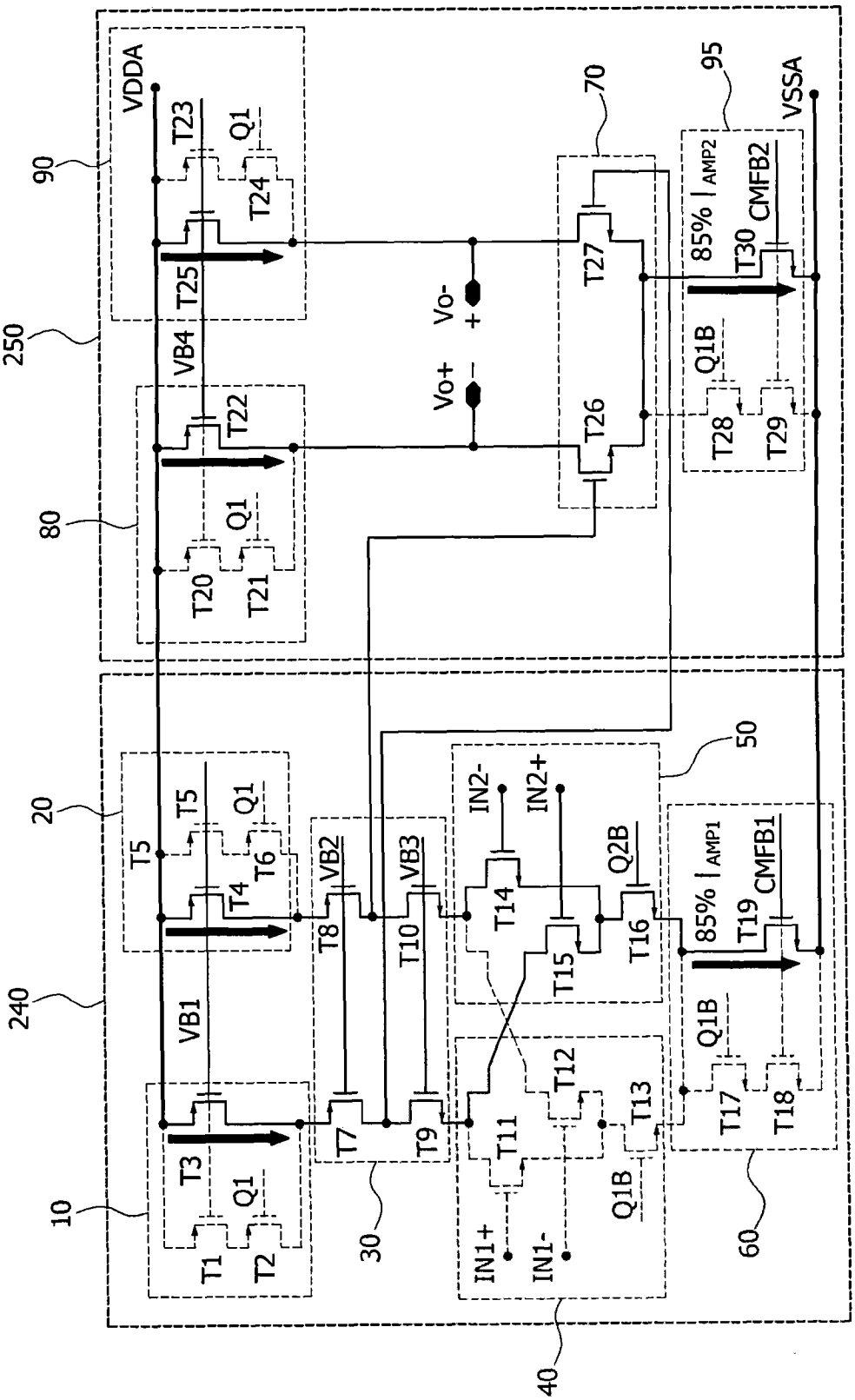

VDDA
VSSA
T23
Q1
T24
T25
VB4
T22
T20
T21
T27
T26
T28
T29
T30
85% I AMP2
CMFB2
Q1B
Vo-
Vo+
90
250
80
70
95
T5
T6
T4
VB1
T3
T1
T2
VB2
VB3
T8
T10
T7
T9
IN2-
IN2+
T14
T15
T16
Q2B
T11
T12
T13
IN1+
IN1-
85% I AMP1
CMFB1
T19
T17
T18
20
240
10
30
50
60
40

图 4