



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월10일
(11) 등록번호 10-2464669
(24) 등록일자 2022년11월03일

- (51) 국제특허분류(Int. Cl.)
H01H 9/54 (2006.01) H01H 1/00 (2006.01)
H01H 1/38 (2006.01) H01H 33/59 (2006.01)
H01H 50/02 (2006.01) H01H 50/04 (2006.01)
H01H 50/44 (2006.01) H01H 85/00 (2006.01)
H01H 9/30 (2006.01) H01R 13/05 (2006.01)
H01R 13/66 (2020.01)
- (52) CPC특허분류
H01H 9/542 (2013.01)
H01H 1/0015 (2013.01)
- (21) 출원번호 10-2021-7027691
- (22) 출원일자(국제) 2020년01월29일
심사청구일자 2021년09월27일
- (85) 번역문제출일자 2021년08월30일
- (65) 공개번호 10-2021-0129665
- (43) 공개일자 2021년10월28일
- (86) 국제출원번호 PCT/US2020/015742
- (87) 국제공개번호 WO 2020/160194
국제공개일자 2020년08월06일
- (30) 우선권주장
62/798,323 2019년01월29일 미국(US)
(뒷면에 계속)
- (56) 선행기술조사문헌
KR101431659 B1
(뒷면에 계속)

- (73) 특허권자
아크 서프레이션 테크놀로지스
미국 55425 미네소타주 블루밍턴 인터내셔널 드라이브 7900 스위트 300
- (72) 발명자
헨케, 레인홀드
미국 56308 미네소타주 알렉산드리아 리즈 빌라 레인 사우스웨스트 2530
케일, 워렌
미국 55129 미네소타주 우드버리 브룩뷰 플레이스 10658
- (74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 12 항

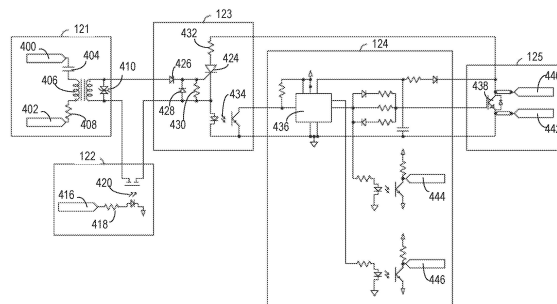
심사관 : 이용호

(54) 발명의 명칭 고속 아크 억제기

(57) 요약

고속 아크 억제기 및 방법은 양의 도메인에서 전력 접촉기의 접점들을 가로지르는 아킹을 억제하도록 구성되는 제1 위상 특정 아크 억제기와 음의 도메인에서 접점들을 가로지르는 아킹을 억제하도록 구성되는 제2 위상 특정 아크 억제기를 포함한다. 제1 및 제2 고속 스위치들은 제1 및 제2 위상 특정 아크 억제기들 중 연관된 위상 특정 아크 억제기의 동작을 가능화하고 불능화하도록 구성된다. 제1 및 제2 드라이버들은 제1 및 제2 고속 스위치들을 구동하도록 구성된다.

대표도



(52) CPC특허분류

H01H 1/38 (2013.01)
H01H 33/593 (2013.01)
H01H 50/021 (2013.01)
H01H 50/045 (2013.01)
H01H 50/44 (2021.05)
H01H 85/0082 (2013.01)
H01H 9/30 (2013.01)
H01R 13/052 (2013.01)
H01R 13/6666 (2013.01)

(56) 선행기술조사문헌

KR1020060115650 A
KR1020090031285 A
US20070014055 A1
W02004077471 A2

(30) 우선권주장

62/798,316 2019년01월29일 미국(US)
62/798,326 2019년01월29일 미국(US)

명세서

청구범위

청구항 1

교류(AC) 전원에 커플링되는 전력 접촉기를 가로지르는 아킹을 억제하도록 구성되는 고속 아크 억제기로서,
 양의 도메인에서 상기 전력 접촉기의 접점들을 가로지르는 아킹을 억제하도록 구성되는 제1 위상 특정 아크 억제기 - 상기 제1 위상 특정 아크 억제기는:

상기 제1 위상 특정 아크 억제기의 동작을 가능화 또는 불능화하도록 구성되는 제1 고속 스위치; 및

상기 제1 고속 스위치에 커플링되어, 상기 제1 고속 스위치로 하여금 상기 접점들로부터의 입력 신호가 상기 양의 도메인에 있을 때 상기 제1 위상 특정 아크 억제기의 동작을 가능화하게 하고 상기 접점들로부터의 상기 입력 신호가 음의 도메인에 있을 때 상기 제1 위상 특정 아크 억제기의 동작을 불능화하게 하도록 구성되는 제1 드라이버를 포함함 -; 및

음의 도메인에서 상기 접점들을 가로지르는 아킹을 억제하도록 구성되는 제2 위상 특정 아크 억제기 - 상기 제2 위상 특정 아크 억제기는:

상기 제2 위상 특정 아크 억제기의 동작을 가능화 또는 불능화하도록 구성되는 제2 고속 스위치; 및

상기 제2 고속 스위치에 커플링되어, 상기 제2 고속 스위치로 하여금 상기 접점들로부터의 입력 신호가 상기 음의 도메인에 있을 때 상기 제1 위상 특정 아크 억제기의 동작을 가능화하게 하고 상기 접점들로부터의 상기 입력 신호가 상기 양의 도메인에 있을 때 상기 제1 위상 특정 아크 억제기의 동작을 불능화하게 하도록 구성되는 제2 드라이버를 포함함 -

를 포함하고,

상기 제1 및 제2 고속 스위치들은 십(10) 마이크로초 이하에서 상기 가능화 동작과 상기 불능화 동작 사이에서 상기 제1 및 제2 위상 특정 아크 억제기들을 스위칭하도록 구성되고,

상기 제1 및 제2 고속 스위치들은 절연 게이트 바이폴라 트랜지스터들(IGBT)이고,

상기 제1 및 제2 위상 특정 아크 억제기들의 각각은,

아크 발화 검출기 회로;

트리거 로크 회로; 및

아크 연소 메모리

를 더 포함하는, 고속 아크 억제기.

청구항 2

제1항에 있어서, 상기 제1 및 제2 위상 특정 아크 억제기들의 각각에 대해, 각각, 상기 아크 발화 검출기 회로는 상기 전력 접촉기를 통해 커플링되며, 상기 아크 연소 메모리는 상기 아크 발화 검출기 회로와 상기 제1 및 제2 드라이버 사이에 커플링되고, 상기 트리거 로크 회로는 상기 아크 발화 검출기 회로와의 사이에 커플링되는, 고속 아크 억제기.

청구항 3

제2항에 있어서, 상기 트리거 로크 회로는 미리 결정된 시간 동안 상기 제1 및 제2 위상 특정 아크 억제기들 중 연관된 위상 특정 아크 억제기의 동작을 금지시키도록 구성되는, 고속 아크 억제기.

청구항 4

제3항에 있어서, 상기 아크 연소 메모리는 상기 전력 접촉기를 가로지르는 아크 연소의 검출의 표시를 상기 제1 및 제2 드라이버들 중 연관된 드라이버에 출력하도록 구성되는, 고속 아크 억제기.

청구항 5

제4항에 있어서, 상기 아크 연소 메모리는 1비트 플립플롭을 포함하는, 고속 아크 억제기.

청구항 6

제4항에 있어서, 상기 아크 발화 검출기 회로는 아크의 발화를 나타내는 상기 전력 접촉기를 통한 전압에서의 변화 또는 전류에서의 변화 중 적어도 하나를 검출하도록 구성되는, 고속 아크 억제기.

청구항 7

제6항에 있어서, 상기 전력 접촉기를 통해 그리고 상기 전력 접촉기와 상기 아크 발화 검출기 회로 사이에 커플링되는 전력 접점 인터페이스를 더 포함하는, 고속 아크 억제기.

청구항 8

제7항에 있어서, 상기 전력 접점 인터페이스는 과전압 보호 회로와 과전류 보호 회로를 포함하는, 고속 아크 억제기.

청구항 9

제7항에 있어서, 상기 제1 및 제2 위상 특정 아크 억제기들의 각각은 소호 엘리먼트(arc extinguishing element)를 포함하며, 상기 제1 위상 특정 아크 억제기의 소호 엘리먼트는 상기 제1 고속 스위치를 포함하고, 상기 제2 위상 특정 아크 억제기의 소호 엘리먼트는 상기 제2 고속 스위치를 포함하는, 고속 아크 억제기.

청구항 10

제9항에 있어서, 상기 제1 및 제2 고속 스위치들 중 하나는, 상기 제1 및 제2 위상 특정 아크 억제기들 중 연관된 위상 특정 아크 억제기의 아크 연소 메모리가 상기 전력 접점들을 가로지르는 아크의 존재의 표시를 저장할 시 상기 전력 접점들을 단락시키도록 구성되는, 고속 아크 억제기.

청구항 11

고속 아크 억제기를 동작시키는 방법으로서,

전력 접촉기로부터의 교류(AC) 신호가 양의 도메인에 있을 때 상기 전력 접촉기의 접점들을 가로지르는 아킹을 억제하기 위해 상기 고속 아크 억제기의 제1 위상 특정 아크 억제기를 가능화하는 단계;

상기 신호가 상기 양의 도메인에 있을 때 상기 접점들을 가로지르는 아킹을 억제하기 위해 상기 고속 아크 억제기의 제2 위상 특정 아크 억제기를 불능화시키는 단계; 및

상기 신호가 음의 도메인으로 교차할 시:

상기 접점들을 가로지르는 아킹을 억제하기 위해 상기 제1 위상 특정 아크 억제기의 동작을 불능화하도록 상기 제1 위상 특정 아크 억제기의 제1 고속 스위치를 스위칭하는 단계; 및

상기 접점들을 가로지르는 아킹을 억제하기 위해 상기 제2 위상 특정 아크 억제기의 동작을 가능화하도록 구성되는 상기 제1 위상 특정 아크 억제기의 제2 고속 스위치를 스위칭하는 단계

를 포함하고,

상기 제1 및 제2 고속 스위치들은 십(10) 마이크로초 이하에서 상기 가능화 동작과 상기 불능화 동작 사이에서 상기 제1 및 제2 위상 특정 아크 억제기들을 스위칭하도록 구성되고,

상기 제1 위상 특정 아크 억제기는 제1 드라이버를 포함하고 상기 제2 위상 특정 아크 억제기는 제2 드라이버를 포함하고, 상기 제1 및 제2 고속 스위치들을 스위칭하는 것은 각각 상기 제1 및 제2 드라이버들로 상기 제1 및 제2 고속 스위치들을 구동하는 것을 포함하고,

상기 제1 및 제2 고속 스위치들은 절연 게이트 바이폴라 트랜지스터들(IGBT)이고,

상기 제1 및 제2 위상 특정 아크 억제기들의 각각은 아크의 초기 검출 후 미리 결정된 시간 동안 상기 제1 및 제2 위상 특정 아크 억제기 중 연관된 위상 특정 아크 억제기의 동작을 금지시키도록 구성되는 트리거 로크를

포함하는, 방법.

청구항 12

제11항에 있어서, 상기 미리 결정된 시간은 삼백(300) 밀리초 이하인, 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 우선권

[0002] 본 출원은 2019년 1월 29일자로 출원된 미국 가출원 제62/798,316호; 2019년 1월 29일자로 출원된 미국 가출원 제62/798,323호; 및 2019년 1월 29일자로 출원된 미국 가출원 제62/798,326호를 우선권 주장하며, 그것들 전부의 내용들은 그 전부가 참조로 본 개시에 포함된다.

[0003] 본 출원은 대체로 고속 아크 억제기에 관한 것이다.

배경 기술

[0004] 전류 접점 아킹(arc)은 릴레이들과 특정한 스위치들과 같은 전기 접점 표면들에 유해한 영향을 미칠 수 있다. 아킹은 시간이 지남에 따라 접점 표면을 저하시키고 궁극적으로 파괴할 수 있고 조기 컴포넌트 고장, 품질 성능 저하, 및 비교적 빈번한 예방정비(preventative maintenance) 요구를 초래할 수 있다. 추가적으로, 릴레이들, 스위치들 등에서의 아킹은 전자기 간섭(electromagnetic interference)(EMI) 방출들의 생성을 초래할 수 있다. 전류 접점 아킹은 소비자, 상업, 산업, 자동차, 및 군사 응용들의 분야들에 걸쳐 교류(alternating current)(AC) 전력과 직류(direct current)(DC) 전력 둘 다에서 발생할 수 있다. 그것의 보급 때문에, 전류 접점 아킹의 문제를 해결하기 위해 수백 가지의 특정 수단들이 문자 그대로 개발되었다.

도면의 간단한 설명

- [0005] 일부 실시예들은 첨부 도면들의 도면들에서 예로서만 예시되고 제한은 아니다.
 도 1은 예시적인 실시예에서 고속 아크 억제기를 포함하는 시스템의 블록도이다.
 도 2는 예시적인 실시예에서 고속 아크 억제기의 상세한 블록 수준 구현예를 포함하는 시스템의 블록도이다.
 도 3은 예시적인 실시예에서 전력 점점 인터페이스의 회로도이다.
 도 4a 및 도 4b는 예시적인 실시예에서 각각, 제1 및 제2 위상 특정 아크 억제기들의 회로도들이다.
 도 5는 예시적인 실시예에서 AC 시스템을 위한 파형을 사용하여 예시되는 고속 아크 억제기의 동작을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0006] 아크 억제기들은 점점들을 통한 전압에서의 갑작스런 변화들에 기초하여 미끄럼 점점들에서의 분리 및/또는 미끄럼 점점들의 폐쇄를 검출하기 위해 점점 분리 검출기들을 이용할 수 있다. 점점 분리 검출기는 전환 기간 동안 전류가 점점들을 바이패스하는 것을 허용하기 위하여 점점 바이패스 회로가 개방되도록 할 수 있다. 그러나, 전환 기간은 간단하고 효율적인 전압 전환을 포함하지 않을 수 있고, 많은 경우들에서 포함하지 않는다. 오히려, 전기 점점들이 개방 또는 폐쇄될 때 일련의 전압 바운스들이 발생할 수 있어, 작은 아크들 또는 "아크렛들"이 형성되게 한다. 이들 아크렛들은 일차 아크(primary arc)가 억제되더라도 점점들을 손상시킬 수 있다.
- [0007] 시스템들 및 방법들은 고속 AC 전력 아크 생성 및 임의의 관련 상황의 가장 이른 스테이지들에서 아크 형성을 억제하기 위해 아크 억제기들을 이용하도록 개발되었다. 브러시 모터들 등을 비제한적으로 포함하는 특정한 디바이스들은 고속으로 동작하고 아크들과 아크렛들을 비교적 빠르게 생성한다. 위상 특정 아크 억제기들을 통합함으로써, 고속 아크 억제기가 양 및 음의 AC 도메인들 사이의 아크들을 억제할 수 있다. 고속 스위치들의 사용은 고속 아크 억제기가 위상 특정 아크 억제기들 사이에서 매우 빠르게 스위칭하는 것을 허용한다. 그 결과, 고속 아크 억제기는 아크들이 빠르게 그리고 자주 발생하는 브러시 모터들을 비제한적으로 포함하는 상황들에서 동작할 수 있다.
- [0008] 도 1은 예시적인 실시예에서 고속 아크 억제기(1)를 포함하는 시스템(100)의 블록도이다. 그 시스템은 전력 점촉기(2)와 전력 점촉기(2)에 커플링되는 점촉기 코일 드라이버(3)를 포함한다. 고속 아크 억제기(1)와 전력 점촉기(2)는 전원(4)과 전력 부하(5) 사이에 커플링된다. 전원(4)은 전력 부하(5)에 대해 원하는 대로 AC 또는 DC 전원일 수 있다. 보조 전원(6)과 데이터 프로세싱 장비(7)가 고속 아크 억제기(1)에 커플링된다. 다양한 블록들(1-7)은 본 개시에서 상세히 설명된다.
- [0009] 도 2는 예시적인 실시예에서, 고속 아크 억제기(1)의 상세한 블록 수준 구현예를 포함하는 시스템(100)의 블록도이다. 고속 아크 억제기(1)는 전력 점점 인터페이스(11), 제1 위상 특정 아크 억제기(12), 제2 위상 특정 아크 억제기(13), 마이크로제어기(14), 데이터 통신 인터페이스(15), 코일 전력 인터페이스(16), 및 보조 전력 인터페이스(17)를 포함한다. 블록들(11-17)의 예시적인 구현예들은 본 개시에서 상세히 설명될 것이다.
- [0010] 도 3은 예시적인 실시예에서, 전력 점점 인터페이스(11)의 회로도이다. 이 회로도가 예시 목적으로 제시되지만, 임의의 적합한 회로 수준 구현에는 전력 점점 인터페이스(11)의 기능상 목적들을 성취하기 위해 원하는 대로 고속 아크 억제기(1)에 통합될 수 있다는 것이 인식되고 이해되어야 한다.
- [0011] 전력 점점 인터페이스(11)는 제1 점점 단자(111), 과전류 보호 회로(112), 과전압 보호 회로(113), 제2 점점 단자(114), 옵션적 가용성(fusible) 엘리먼트 스테이터스 표시기(115), 및 옵션적 전력 스테이터스 표시기(116)를 포함한다. 스테이터스 표시기들(115, 116)은 그들의 각각의 컴포넌트들의 표시를 제공하기 위해 임의의 적합한 인터페이스로서 구현될 수 있고, 각각의 컴포넌트들의 스테이터스를 모니터링하기 위해 데이터 프로세싱 장비(7)에 의해 및/또는 외부 프로세싱 디바이스에 의해 이용될 수 있는 광학 엘리먼트, 이를테면 발광 다이오드(LED) 또는 다른 광 방출 엘리먼트, 및/또는 컴퓨터 판독가능 출력(314, 316)을 각각 포함할 수 있다.
- [0012] 데이터 프로세싱 장비(7)는 마이크로제어기, 마이크로프로세서, 또는 다른 적합한 제어기 또는 프로세서일 수 있거나 또는 그러한 것을 포함할 수 있다. 일 예에서, 데이터 프로세싱 장비(7)는 CMOS 8비트 마이크로제어기이거나 또는 그것을 포함한다. 일 예에서, 마이크로제어기는 아트멜(Atmel) 코퍼레이션에 의해 생산된 AT89LP214 마이크로제어기이다. 그러나, 적절하게 설정 가능한 임의의 제어기 또는 프로세서는 이용될 수 있다는 것이 인식되어야 한다. 더구나, 데이터 프로세싱 장비(7)는 고속 아크 억제기(1)로부터 개별 컴포넌트인 것으로 예시되지만, 데이터 프로세싱 장비(7)는 대신에 고속 아크 억제기(1)의 컴포넌트로서 통합될 수 있다.

- [0013] 제1 접점 단자(111)는 제1 위상 특정 아크 억제기(12)에 커플링되는 제1 감지 단자(300)와, 와이어 종단기 및 경로 분할기(302)를 포함한다. 과전류 보호 회로(112)는 퓨즈(304), 이를테면 가용성 링크, 가용성 저항기, 또는 가용성 인쇄 회로 보드 트레이스를 포함한다. 일 예에서, 퓨즈(304)는 백칠십오(175) 암페어로 정격화된 가용성 인쇄 회로 보드 트레이스이다.
- [0014] 과전압 보호 회로(113)는 적어도 하나의 과전압 보호 엘리먼트를 포함한다. 예시된 바와 같이, 과전압 보호 회로(113)는 제1 전력 라인(440)과 접지(442) 사이에 커플링되는 제1 과전압 보호 엘리먼트(306)와, 제2 전력 라인(490)과 접지(442) 사이에 커플링되는 제2 과전압 보호 엘리먼트(308)를 포함한다. 다양한 예들에서, 제1 및 제2 과전압 보호 엘리먼트들(306, 308)은 팔백이십(820) 볼트 및 1.2 킬로암페어로 정격화된 배리스터들이다. 제2 접점 단자(114)는 제2 위상 특정 아크 억제기(13)에 커플링되는 제2 감지 단자(310)와, 와이어 종단기 및 경로 분할기(312)를 포함한다.
- [0015] 도 4a 및 도 4b는 예시적인 실시예에서 각각, 제1 및 제2 위상 특정 아크 억제기들(12, 13)의 회로도들이다. 제1 및 제2 위상 특정 아크 억제기들(12, 13)은 아크 발화 검출기 회로(121, 131); 트리거 로크 회로(122, 132), 아크 연소 메모리(123, 133); 게이트 드라이버(124, 134); 및 고속 소호(arc extinguishing) 엘리먼트(125, 135)를 각각 포함한다.
- [0016] 아크 발화 검출기 회로(121)는 제1 접점 단자(111)의 제1 감지 단자(300)에 커플링되는 제1 단자(400)와 제2 접점 단자(114)에 커플링되는 제2 단자(402)를 포함한다. 제2 위상 특정 아크 억제기(13)의 아크 발화 검출기 회로(131)는 제2 접점 단자(114)에 커플링되는 제1 단자(412)와 제1 접점 단자(111)에 커플링되는 제2 단자(414)를 포함한다. 아크 발화 검출기 회로들(121, 131)의 각각은, 제1 단자들(400, 412)과 제2 단자들(402, 414) 사이에 직렬로 커플링되는 커패시터(404, 454), 변압기(406)(456), 및 저항기(408, 458)를 각각 포함하며, TVS 다이오드(410, 460)가 변압기(406, 458)를 통해 커플링된다. 일 예에서, 커패시터(404, 454)는 백(100) 피코패럿 커패시터이며, 변압기(406, 456)는 82.6 밀리옴 최대 DC 저항 및 병렬 2.08 암페어 최대 DC 전류를 갖는 십(10) 마이크로헨리에 대해 정격화된 2코일 인덕터 어레이이며, 저항기(408, 458)는 십(10) 옴 저항기이고, TVS 다이오드(410, 460)는 10.3 볼트 클램프 및 38.8 암페어에 대해 정격화된다.
- [0017] 아크 발화 검출기 회로들(121, 131)은 일반적으로, 전압 및/또는 전류에서의 변화와 같은 전력 접촉기(2)의 접점들에서 아크의 발화를 나타내는 상태를 검출하고 아크 발화의 표시를 트리거 로크 회로(122, 132) 및 아크 연소 메모리(123, 133)에 각각 출력하도록 구성된다. 다양한 예들에서, 아크 발화 검출기 회로(121, 131)는 전류 감지 변압기, 즉, 변압기(406, 456)를 사용하여 각각 커패시터(404, 454) 및 저항기(408, 458)에 의해 생성된 RC 회로의 전류를 측정한다.
- [0018] 트리거 로크 회로들(122, 132)은 미리 결정된 기간 동안 아크 발화 검출기 회로(121, 131)에 의한 아크 발화의 초기 검출 뒤에, 각각 아크 연소 메모리(123, 133)의 동작을 금지하도록 구성된다. 미리 결정된 기간은 AC 전력의 주파수에 기초하여 선택될 수 있다. 일 예에서, 미리 결정된 시간은 삼백(300) 밀리초 이하이다. 아크 발화 검출기 회로(121, 131)로부터의 신호들은 미리 결정된 기간 동안 아크 연소 부재(123, 133)에 도달하는 것이 방지될 수 있다.
- [0019] 트리거 로크 회로(122)는 제1 가능화 라인(416)에서 마이크로제어기(14)로부터의 출력에 의해 제어된다. 트리거 로크 회로(132)는 제2 가능화 라인(422)에서 마이크로제어기(14)로부터의 출력에 의해 제어된다. 제1 및 제2 가능화 라인들(416, 422)은 저항기(418, 468)와 릴레이(420, 470), 이를테면 고체 상태 릴레이에 각각 커플링되며, 이 릴레이를 통해 아크 발화 검출기 회로(121, 131)의 출력이 또한 커플링된다. 마이크로제어기(14)로부터의 제1 가능화 라인(416) 상의 신호가 릴레이(420)가 개방되게 하고 아크 발화 검출기 회로(121)로부터의 아크 연소 메모리(123)로의 신호의 전파를 금지한다. 유사한 기능이 릴레이(470), 아크 발화 검출기 회로(131), 및 아크 연소 메모리(133)에 관련하여 제2 가능화 라인(422)에 기초하여 일어난다. 이와 같이, 트리거 로크 회로들(122, 132)의 동작은 마이크로제어기(14)에 의해 서로 독립적으로 제어된다.
- [0020] 아크 연소 메모리(123, 133)는 1비트, 고속 RS형 플립플롭(424, 474)을 각각 통합한다. 다이오드들(426, 428, 476, 478)과 저항기(430, 480)는 아크 발화 검출기 회로(121, 131)로부터 각각 플립플롭(424, 474)으로의 신호를 조절한다. 저항기(432, 482)가 플립플롭(424, 474)에 전류 제한을 각각 제공한다. 광커플러(434, 484)는 각각 아크 연소 메모리(123, 133)로부터의 출력으로부터 게이트 드라이버(124, 134)로 분리된 출력을 제공한다.
- [0021] 게이트 드라이버들(124, 134)은 고속 소호 엘리먼트(125, 135)의 고속 동작을 위해 제1 드라이버(436) 및 제2

드라이버(486)를 각각 제공한다. 드라이버(436, 486)는 각각 아크 연소 메모리(123, 133)로부터의 출력, 특히, 플립플롭(424, 474)에 저장되는 비트에 기초하여 각각 고속 소호 엘리먼트(125, 135)의 각각 제1 및 제2 고속 스위치(438, 488)의 게이트를 구동하기 위해 선택된 칩일 수 있다. 그 비트가 아크 연소가 검출됨을 나타내는 경우, 연관된 드라이버(436, 486)는 연관된 고속 스위치(438, 488)로의 출력을 구동하도록 구성된다.

[0022] 예시된 예에서, 고속 스위치(438, 488)는 트랜지스터이다. 고속 스위치(438)는 제1 전력 라인(440)과 접지 라인(442) 사이에 커플링된다. 고속 스위치(488)는 제2 전력 라인(490)과 접지 라인(442) 사이에 커플링된다. 다양한 예들에서, 고속 스위치들(438, 488)은 대략 십(10) 마이크로초 이하에서 스위치 온 및 오프하도록 구성되는 절연 게이트 바이폴라 트랜지스터들(insulated gate bipolar transistors)(IGBT)이다. 일 예에서, 고속 스위치들(438, 488)은 1,200 볼트, 백오(105) 암페어, 595 와트 IGBT들이다. 게이트 드라이버(124, 134)는 드라이버(436, 486) 데이터시트에 의해 특정된 바와 같은 드라이버(436, 486)를 동작하기 위한 회로부 뿐만 아니라 아크 표시기 라인(444) 및 결함 표시기 라인(446)을 구동하기 위한 회로부를 포함한다. 연관된 아크 연소 메모리(123, 133)가 전력 접점들(2) 상의 아크의 존재의 표시를 저장할 시, 연관된 드라이버(436, 486)는 연관된 고속 스위치(438, 488)가 전력 접점(2)을 단락시키게 하여, 그 전부가 본 명세서에 참조로 포함되는 Henke의 미국 특허 제9,423,442호에 개시된 원리들에 따라 그리고 본 개시에 참조로 포함되는 다른 개시내용들에 따라 아킹을 억제하기 위한 전류 경로를 제공한다.

[0023] 고속 아크 억제기(1)에 관해 개시된 원리들은 단상 AC 전력에 관해 설명된다. 그러나, 개시되는 원리들은 참조로 본 개시에 포함되는 개시내용들에서 개시되는 바와 같이, 다상 AC 전력에 적용 가능하다는 것이 인식되고 이해되어야 한다. 따라서, 다상 고속 아크 억제기는 고속 원리들을 참조로 본 개시에 포함되는 다상 원리들과 결합함으로써 생성될 수 있다. 유사한 원리들이 비교적 고 전류 애플리케이션들에 적용된다.

[0024] 도 5는 예시적인 실시예에서 AC 시스템을 위한 파형(500)을 사용하여 예시되는 고속 아크 억제기(1)의 동작을 도시한다. Y축(502)은 X축 또는 제로 라인(504)을 따라 도 단위의 위상에 대한 전압 또는 전류 진폭을 도시한다. 본 개시의 목적으로, 양의 도메인(506)은 제로 라인(504) 위의 모든 공간인 반면, 음의 도메인(508)은 제로 라인(504) 아래의 모든 라인이다.

[0025] 이 예시의 목적으로, 곡선(510)은 제1 및 제2 위상 특정 아크 억제기들(12, 13)에 대한 입력을 나타낸다. 곡선(510)에 의해 나타내어진 입력이 양의 도메인(506)에 있을 때, 제1 위상 특정 아크 억제기(12)는 가능화되는 반면 제2 위상 특정 아크 억제기(13)는 불능화된다. 곡선(510)에 의해 나타내어진 입력이 음의 도메인(508)에 있을 때, 제1 위상 특정 아크 억제기(12)는 불능화되는 반면 제2 위상 특정 아크 억제기(13)는 가능화된다. 본 개시에서 언급된 바와 같이, 가능화에서 불능화로 스위치 또는 반대의 스위치가 발생할 수 있는데, 왜냐하면 입력이 제로 라인(804)을 가로지르며 고속 스위치(438, 488)는 도통에서 비도통으로 또는 반대로 갈 수 있기 때문이다.

[0026] 512에서, 곡선(510)은 양의 기울기에서, 즉, 음의 도메인(508)에서 양의 도메인(506)으로 제로 라인(504)을 교차하고 있다. 제2 위상 특정 아크 억제기(13)는 가능화에서 불능화로 스위칭되고 제1 위상 특정 아크 억제기(12)는 불능화에서 가능화로 스위칭된다. 일 예에서, 가능화에서 불능화로 또는 그 역으로 변경하기 위한 제1 및 제2 위상 특정 아크 억제기들(12, 13)의 각각에 대한 스위치 시간은 대략 십(10) 마이크로초 이하이다.

[0027] 514에서, 곡선(510)은 음의 기울기에서, 즉, 양의 도메인(506)에서 음의 도메인(508)으로 제로 라인(504)을 교차하고 있다. 제1 위상 특정 아크 억제기(12)는 가능화에서 불능화로 스위칭되고 제2 위상 특정 아크 억제기(13)는 불능화에서 가능화로 스위칭된다.

[0028] 추가 예들

[0029] 다양한 실시예들의 설명은 본질적으로 단지 예시적인 것이고, 따라서, 본 개시의 예들 및 상세한 설명의 요지로부터 벗어나지 않는 변형들은 본 개시의 범위 내에 있는 것으로 의도된다. 이러한 변형들은 본 개시의 정신 및 범위로부터 벗어나는 것으로 간주되지 않아야 한다.

[0030] 예 1은 교류(AC) 전원에 커플링되는 전력 접촉기를 가로지르는 아킹을 억제하도록 구성되는 고속 아크 억제기이며, 고속 아크 억제기는, 양의 도메인에서 전력 접촉기의 접점들을 가로지르는 아킹을 억제하도록 구성되는 제1 위상 특정 아크 억제기 - 제1 위상 특정 아크 억제기는 제1 위상 특정 아크 억제기의 동작을 가능화 또는 불능화하도록 구성되는 제1 고속 스위치, 및 제1 고속 스위치에 커플링되어, 제1 고속 스위치로 하여금 접점들로부터의 입력 신호가 양의 도메인에 있을 때 제1 위상 특정 아크 억제기의 동작을 가능화하게 하고 접점들로부터의 입력 신호가 음의 도메인에 있을 때 제1 위상 특정 아크 억제기의 동작을 불능화하게 하도록 구성되는 제1 드라

이버를 포함함 -; 및 음의 도메인에서 접점들을 가로지르는 아킹을 억제하도록 구성되는 제2 위상 특정 아크 억제기를 포함하며, 제2 위상 특정 아크 억제기는, 제2 위상 특정 아크 억제기의 동작을 가능화 또는 불능화하도록 구성되는 제2 고속 스위치; 및 제2 고속 스위치에 커플링되어, 제2 고속 스위치로 하여금 접점들로부터의 입력 신호가 음의 도메인에 있을 때 제1 위상 특정 아크 억제기의 동작을 가능화하게 하고 접점들로부터의 입력 신호가 양의 도메인에 있을 때 제1 위상 특정 아크 억제기의 동작을 불능화하게 하도록 구성되는 제2 드라이버를 포함한다.

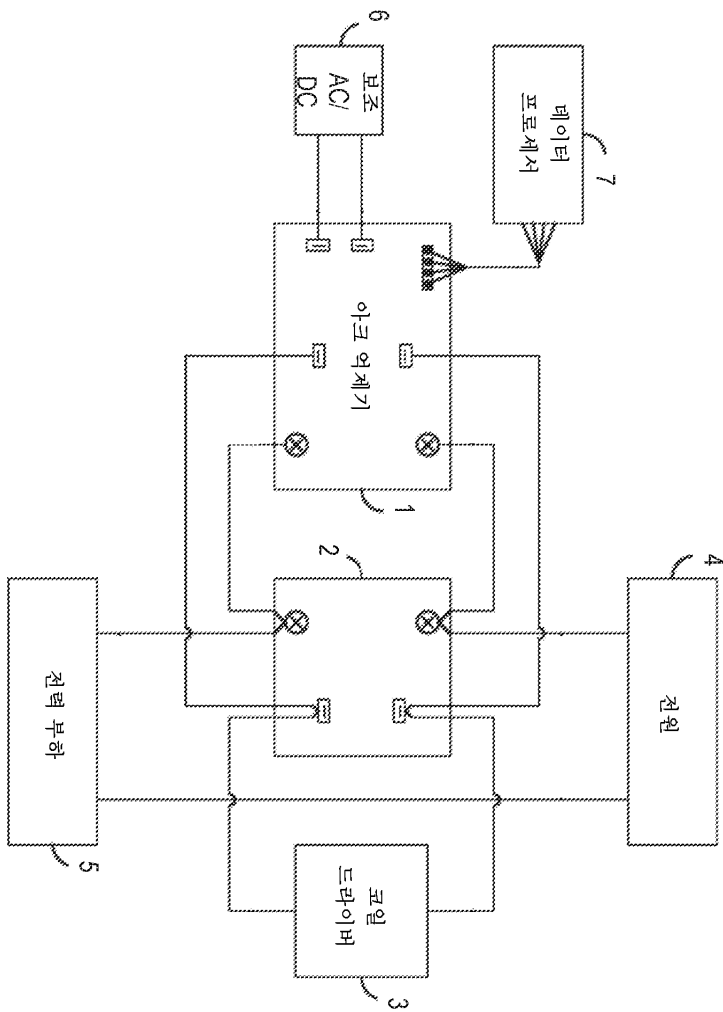
- [0031] 예 2에서, 예 1의 발명의 주제는 다음을 포함한다: 제1 및 제2 고속 스위치들은 십(10) 마이크로초 이하에서 가능화 동작과 불능화 동작 사이에서 제1 및 제2 위상 특정 아크 억제기들을 스위칭하도록 구성된다.
- [0032] 예 3에서, 예 1 및 예 2 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 고속 스위치들은 트랜지스터들이다.
- [0033] 예 4에서, 예 1 내지 예 3 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 고속 스위치들은 절연 게이트 바이폴라 트랜지스터들(IGBT)이다.
- [0034] 예 5에서, 예 1 내지 예 4 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 위상 특정 아크 억제기들의 각각은 아크 발화 검출기 회로; 트리거 로크 회로; 및 아크 연소 메모리를 더 포함한다.
- [0035] 예 6에서, 예 1 내지 예 5 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 위상 특정 아크 억제기들의 각각에 대해, 각각 아크 발화 검출기 회로는 전력 접촉기를 통해 커플링되며, 아크 연소 메모리는 아크 발화 검출기 회로와 제1 및 제2 드라이버 사이에 커플링되고, 트리거 로크 회로는 아크 발화 검출기 회로와의 사이에 커플링된다.
- [0036] 예 7에서, 예 1 내지 예 6 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 트리거 로크 회로는 미리 결정된 시간 동안 제1 및 제2 위상 특정 아크 억제기들 중 연관된 위상 특정 아크 억제기의 동작을 금지시키도록 구성된다.
- [0037] 예 8에서, 예 1 내지 예 7 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 아크 연소 메모리는 전력 접촉기를 가로지르는 아크 연소의 검출의 표시를 연관된 드라이버에 출력하도록 구성된다.
- [0038] 예 9에서, 예 1 내지 예 8 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 아크 연소 메모리는 1비트 플립플롭을 포함한다.
- [0039] 예 10에서, 예 1 내지 예 9 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 아크 발화 검출기 회로는 아크의 발화를 나타내는 전력 접촉기를 통한 전압에서의 변화 또는 전류에서의 변화 중 적어도 하나를 검출하도록 구성된다.
- [0040] 예 11에서, 예 1 내지 예 10 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 전력 접촉기를 통해 그리고 전력 접촉기와 아크 발화 검출기 회로 사이에 커플링되는 전력 접점 인터페이스.
- [0041] 예 12에서, 예 1 내지 예 11 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 전력 접점 인터페이스는 과전압 보호 회로와 과전류 보호 회로를 포함한다.
- [0042] 예 13에서, 예 1 내지 예 12 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 위상 특정 아크 억제기들의 각각은 소호 엘리먼트를 포함하며, 제1 위상 특정 아크 억제기의 소호 엘리먼트는 제1 고속 스위치를 포함하고 제2 위상 특정 아크 억제기의 소호 엘리먼트는 제2 고속 스위치를 포함한다.
- [0043] 예 14에서, 예 1 내지 예 13 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 고속 스위치들 중 하나는 제1 및 제2 위상 특정 아크 억제기들 중 연관된 위상 특정 아크 억제기의 아크 연소 메모리가 전력 접점들을 가로지르는 아크의 존재의 표시를 저장할 시 상기 전력 접점들을 단락시키도록 구성된다.
- [0044] 예 15는 고속 아크 억제기를 동작시키는 방법이며, 그 방법은, 전력 접촉기로부터의 교류(AC) 신호가 양의 도메인에 있을 때 전력 접촉기의 접점들을 가로지르는 아킹을 억제하기 위해 고속 아크 억제기의 제1 위상 특정 아크 억제기를 가능화하는 단계; 그 신호가 양의 도메인에 있을 때 접점들을 가로지르는 아킹을 억제하기 위해 고속 아크 억제기의 제2 위상 특정 아크 억제기를 불능화시키는 단계; 및 그 신호가 음의 도메인으로 교차할 시: 접점들을 가로지르는 아킹을 억제하기 위해 제1 위상 특정 아크 억제기의 동작을 불능화하도록 제1 위상 특정 아크 억제기의 제1 고속 스위치를 스위칭하는 단계; 및 접점들을 가로지르는 아킹을 억제하기 위해 제2 위상 특정 아크 억제기의 동작을 가능화하도록 구성되는 제1 위상 특정 아크 억제기의 제2 고속 스위치를 스위칭하는

단계를 포함한다.

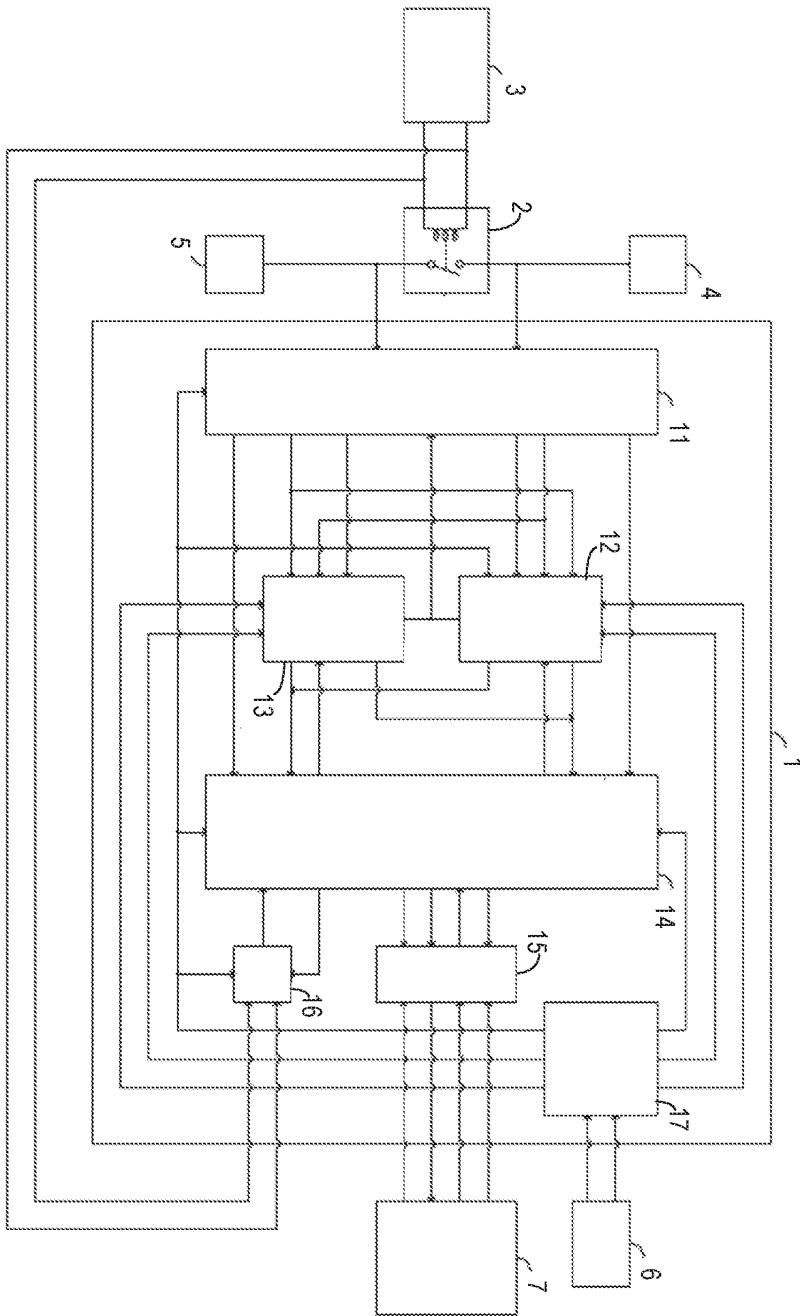
- [0045] 예 16에서, 예 15의 발명의 주제는 다음을 포함한다: 제1 및 제2 고속 스위치들은 십(10) 마이크로초 이하에서 가능화 동작과 불능화 동작 사이에서 제1 및 제2 위상 특정 아크 억제기들을 스위칭하도록 구성된다.
- [0046] 예 17에서, 예 15 및 예 16 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 위상 특정 아크 억제기는 제1 드라이버를 포함하고 제2 위상 특정 아크 억제기는 제2 드라이버를 포함하고, 제1 및 제2 고속 스위치들을 스위칭하는 것은 각각 제1 및 제2 드라이버들로 제1 및 제2 고속 스위치들을 구동하는 것을 포함한다.
- [0047] 예 18에서, 예 15 내지 예 17 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 고속 스위치들은 절연 게이트 바이폴라 트랜지스터들(IGBT)이다.
- [0048] 예 19에서, 예 15 내지 예 18 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 제1 및 제2 위상 특정 아크 억제기들의 각각은 아크의 초기 검출 후 미리 결정된 시간 동안 제1 및 제2 위상 특정 아크 억제기 중 연관된 위상 특정 아크 억제기의 동작을 금지시키도록 구성되는 트리거 로크를 포함한다.
- [0049] 예 20에서, 예 15 내지 예 19 중 어느 하나 이상의 발명의 주제는 다음을 포함한다: 미리 결정된 시간은 삼백(300) 밀리초 이하이다.
- [0050] 예 21는, 프로세싱 회로에 의해 실행될 때, 프로세싱 회로 하여금, 예 1 내지 예 20 중 어느 한 예를 구현하는 동작들을 수행하게 하는 명령어들을 포함하는 적어도 하나의 머신 판독가능 매체이다.
- [0051] 예 22는 예 1 내지 예 20 중 어느 하나를 구현하는 수단을 포함하는 장치이다.
- [0052] 예 23은 예 1 내지 예 20 중 어느 하나를 구현하는 시스템이다.
- [0053] 예 24는 예 1 내지 예 20 중 어느 하나를 구현하는 방법이다.
- [0054] 위의 상세한 설명은 상세한 설명의 일부를 형성하는 첨부 도면들에 대한 참조를 포함한다. 도면들은, 예로서, 특정 실시예들을 도시한다. 이들 실시예들은 본 명세서에서 "예들"이라고 또한 지칭된다. 이러한 예들은 도시되고 설명되는 것들 외의 엘리먼트들을 포함할 수 있다. 그러나, 본 발명자는 도시되고 설명되는 그들 엘리먼트들만이 제공되는 예들을 또한 예상한다.
- [0055] 본 문서에서 언급된 모든 간행물들, 특허들, 및 특허 문서들은 그것들의 전부가 참조로 본 명세서에 포함되지만, 개별적으로도 참조로 포함된다. 본 문서와 그렇게 참조로 포함된 그들 문서들 간의 일관성 없는 사용들이 생기는 경우, 포함된 참고문헌(들)에서의 사용은 본 문서의 사용에 대해 보충적이라고 간주되어야 하며; 해소 불가능한 불일치들의 경우, 본 문서에서의 사용이 통제한다.
- [0056] 본 문서에서, "a" 또는 "an"의 사용에 해당하는 용어들은, 특허 문서들에서 일반적인 바와 같이, "적어도 하나" 또는 "하나 이상"의 임의의 다른 사례들 또는 사용들과는 독립적으로, 하나 또는 하나를 초과하는 것을 포함하기 위해 사용된다. 본 문서에서, "또는"이란 용어는 비배타적인 것을 언급하기 위해 또는 달리 표시되지 않는 한 "A 또는 B"가 "B는 아니고 A만" "A는 아니고 B만", 그리고 "A 및 B"를 포함하도록 사용된다. 첨부의 청구항들에서, "포함하는"과 "~인(in which)"이라는 용어들은 "포함하는"과 "여기서"라는 각각의 용어들의 평이한 영어 동등표현들로서 사용된다. 또한, 다음의 청구항들에서, "포함하는" 및 "포함하는"이란 용어들은 개방형이며, 다시 말하면, 청구항에서 그런 용어 뒤에 열거된 것들 외의 엘리먼트들을 포함하는 시스템, 디바이스, 물품, 또는 프로세스가 해당 청구항의 범위 내에 여전히 속한다고 여겨진다. 더구나, 다음의 청구항들에서, "제1", "제2", 및 "제3" 등의 용어들은 단지 라벨표시로서만 사용되고, 그들 개체들에 대해 수치적 요건들을 부과하기 위한 의도는 아니다.
- [0057] 위의 설명은 예시적인 의도이고 제한적인 의도는 아니다. 예를 들어, 위에서 설명된 예들(또는 그것들의 하나 이상의 양태들)은 서로 조합하여 사용될 수 있다. 다른 실시예들은 위의 설명을 검토할 시 이를테면 본 기술분야의 통상의 기술자에 의해 사용될 수 있다. 발명의 내용은 37 C.F.R. §1.72(b)를 준수하기 위해 제공되어, 독자가 본원의 기술적 개시내용의 본성을 빠르게 알아내는 것을 허용한다. 그것은 청구항들의 범위 또는 의미를 해석 또는 제한하기 위해 그것이 사용되지 않을 것이라는 이해와 함께 제출된다. 추가적으로, 위의 상세한 설명에서, 다양한 특징들이 개시내용을 합리화하기 위해 그룹화될 수 있다. 청구되지 않은 개시된 특징이 임의의 청구항에 필수적이라는 것이 의도적으로 해석되지 않아야 한다. 오히려, 발명적인 요지는 특정 개시된 실시예의 모든보다 적은 특징들에 있을 수 있다. 따라서, 다음의 청구항들은 상세한 설명 속에 이와 같이 포함되어, 각각의 청구항은 그 자체로 별개의 실시예로서 존립한다.

도면

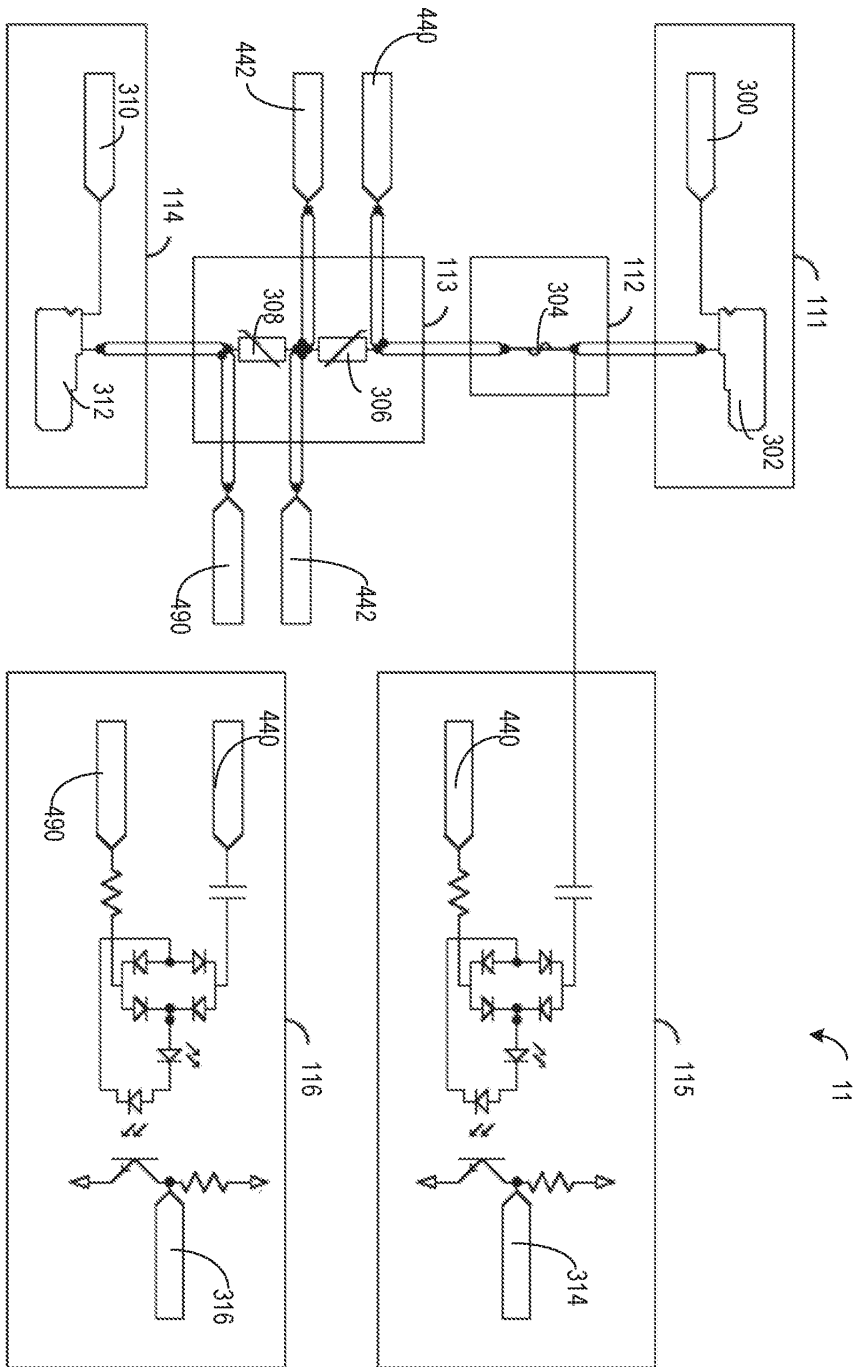
도면1



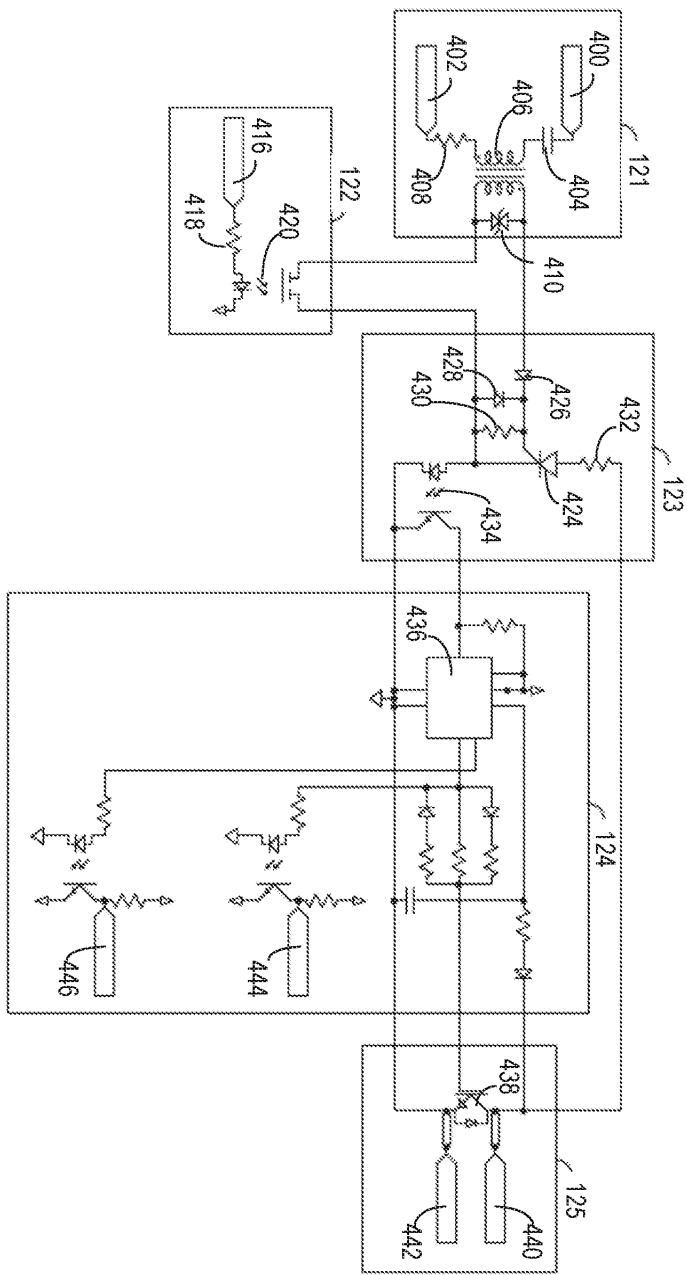
도면2



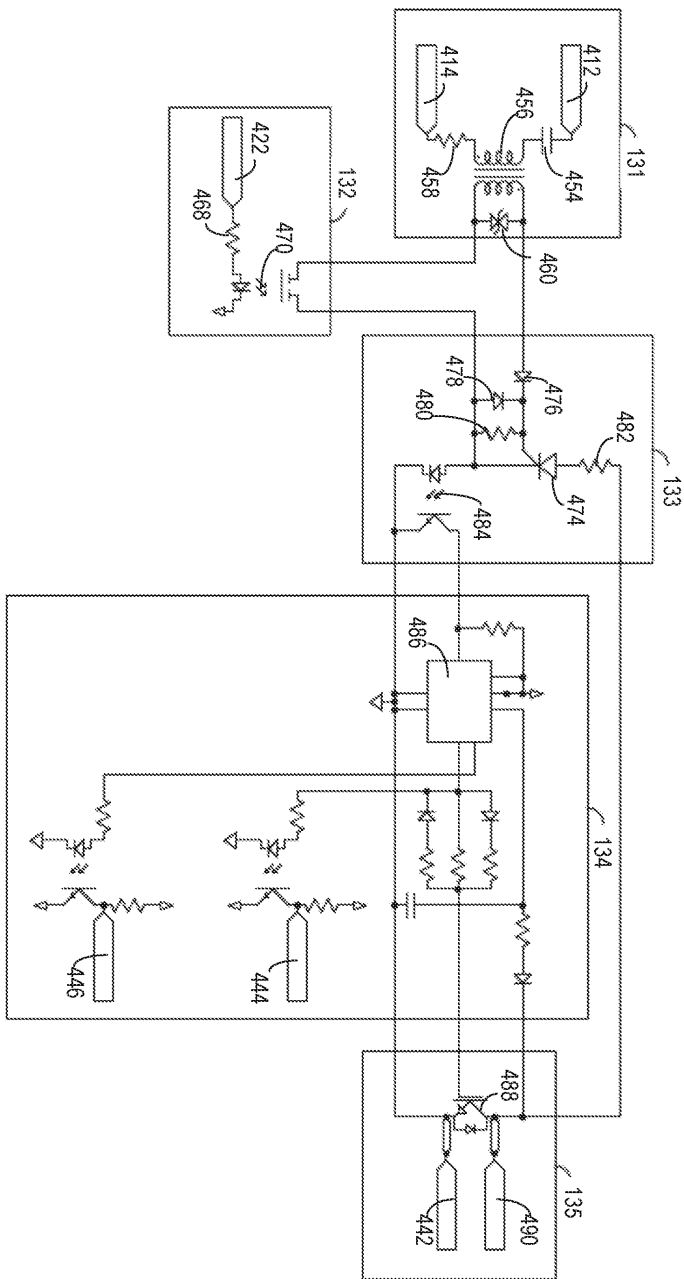
도면3



도면4a



도면4b



도면5

