



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I501227 B

(45)公告日：中華民國 104 (2015) 年 09 月 21 日

(21)申請案號：099145815

(22)申請日：中華民國 99 (2010) 年 12 月 24 日

(51)Int. Cl. : *G11C11/402 (2006.01)**G11C11/405 (2006.01)**H01L27/105 (2006.01)*

(30)優先權：2009/12/28 日本

2009-298891

2010/01/15 日本

2010-007519

2010/07/15 日本

2010-160946

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)；長塚修平 NAGATSUKA, SHUHEI (JP)；松崎隆德
MATSUZAKI, TAKANORI (JP)；井上廣樹 INOUE, HIROKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6314017B1

US 6445026B1

US 6536013B2

US 2004/0100835A1

US 2006/0170111A1

US 2008/0254569A1

審查人員：賴炳成

申請專利範圍項數：11 項 圖式數：26 共 133 頁

(54)名稱

半導體裝置

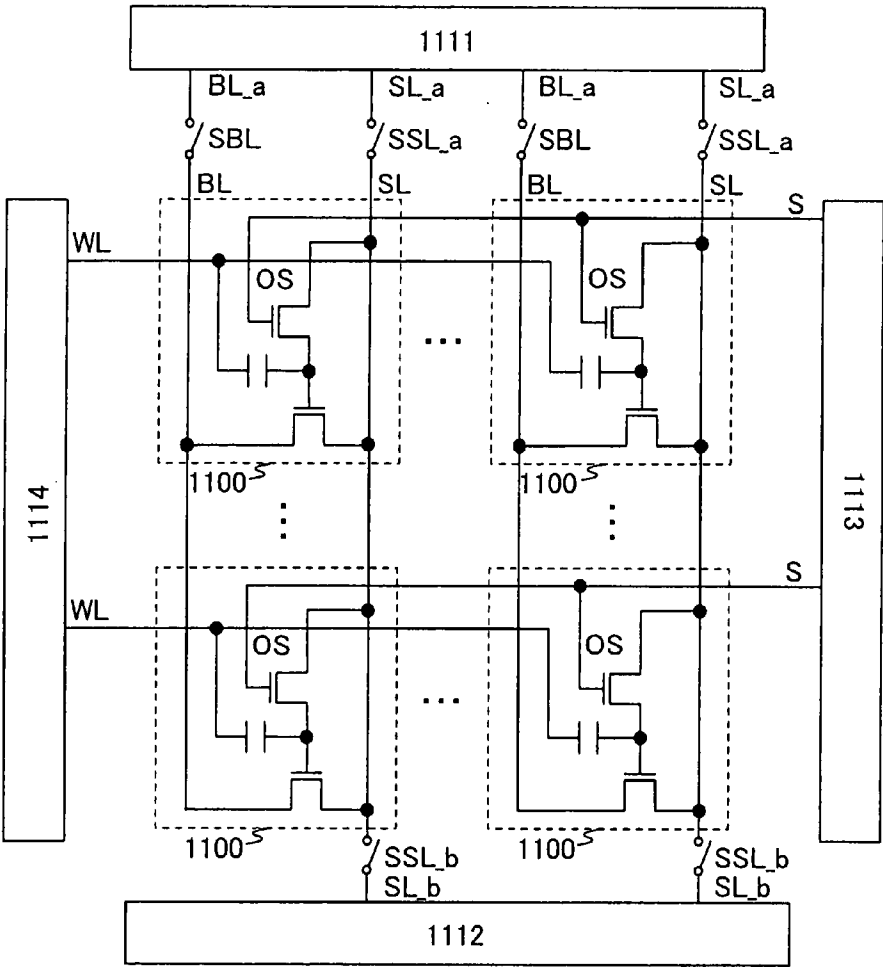
SEMICONDUCTOR DEVICE

(57)摘要

半導體裝置包括源極線、位元線、信號線、字線、在源極線與位元線之間並聯連接的記憶胞、經由切換元件電連接至源極線及位元線之第一驅動器電路、經由切換元件電連接至源極線之第二驅動器電路、電連接至信號線之第三驅動器電路、以及電連接至字線之第四驅動器電路。記憶胞包括包含第一閘極電極、第一源極電極、及第一汲極電極之第一電晶體、包含第二閘極電極、第二源極電極、及第二汲極電極之第二電晶體、以及電容器。第二電晶體包含氧化物半導體材料。

The semiconductor device includes a source line, a bit line, a signal line, a word line, memory cells connected in parallel between the source line and the bit line, a first driver circuit electrically connected to the source line and the bit line through switching elements, a second driver circuit electrically connected to the source line through a switching element, a third driver circuit electrically connected to the signal line, and a fourth driver circuit electrically connected to the word line. The memory cell includes a first transistor including a first gate electrode, a first source electrode, and a first drain electrode, a second transistor including a second gate electrode, a second source electrode, and a second drain electrode, and a capacitor. The second transistor includes an oxide semiconductor material.

第2圖



1100 . . . 記憶胞
1111 . . . 驅動器電
路
1112 . . . 驅動器電
路
1113 . . . 驅動器電
路
1114 . . . 驅動器電
路

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099145815

※申請日：099 年 12 月 24 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

G11C 11/402 2006.01

G11C 11/405 2006.01

H01L 27/105 2006.01

二、中文發明摘要：

半導體裝置包括源極線、位元線、信號線、字線、在源極線與位元線之間並聯連接的記憶胞、經由切換元件電連接至源極線及位元線之第一驅動器電路、經由切換元件電連接至源極線之第二驅動器電路、電連接至信號線之第三驅動器電路、以及電連接至字線之第四驅動器電路。記憶胞包括包含第一閘極電極、第一源極電極、及第一汲極電極之第一電晶體、包含第二閘極電極、第二源極電極、及第二汲極電極之第二電晶體、以及電容器。第二電晶體包含氧化物半導體材料。

三、英文發明摘要：

The semiconductor device includes a source line, a bit line, a signal line, a word line, memory cells connected in parallel between the source line and the bit line, a first driver circuit electrically connected to the source line and the bit line through switching elements, a second driver circuit electrically connected to the source line through a switching element, a third driver circuit electrically connected to the signal line, and a fourth driver circuit electrically connected to the word line. The memory cell includes a first transistor including a first gate electrode, a first source electrode, and a first drain electrode, a second transistor including a second gate electrode, a second source electrode, and a second drain electrode, and a capacitor. The second transistor includes an oxide semiconductor material.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件代表符號簡單說明：

1100：記憶胞

1111：驅動器電路

1112：驅動器電路

1113：驅動器電路

1114：驅動器電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明在此揭露有關於利用半導體元件之半導體裝置及其之製造方法。

【先前技術】

利用用半導體元件之儲存裝置大致分成兩類：當電源停止時喪失已儲存資料之依電性裝置及當不供應電力時保持已儲存資料之非依電性裝置。

依電性儲存裝置的一典型範例為動態隨機存取記憶體（DRAM）。DRAM以一種方式儲存資料，使得選擇包括在儲存元件中之電晶體並在電容器中儲存電荷。

當從DRAM讀取資料時，依據上述原理喪失儲存在電容器中之電荷；因此，每一次讀出資料時必須有另一寫入操作。此外，包括在記憶體元件中之電晶體在關閉狀態中於源極與汲極之間會有漏電流（關閉狀態電流）且即使若不選擇電晶體，仍會有電荷會流入或流出電容器，所以資料保持時期為短。有鑑於此，在預定間隔需要另一寫入資料（更新操作），且難以充分減少耗電量。此外，由於當電源停止時會喪失已儲存的資料，需要使用磁性材料或光學材料的額外儲存裝置來長時間保持資料。

依電性儲存裝置之另一範例為靜態隨機存取記憶體（SRAM）。SRAM藉由使用諸如正反器的電路來保持已儲存資料並不需更新操作。這意味著SRAM比DRAM更有優勢。

然而，每儲存容量之成本增加，因為使用了諸如正反器的電路。此外，如同在DRAM中般，當電源停止時SRAM中儲存的資料會喪失。

非依電性儲存裝置的一典型範例為快閃記憶體。快閃記憶體包括於電晶體中在閘極電極與通道形成區域之間的浮置閘極，並藉由在浮置閘極中保持電荷來儲存資料。因此，快閃記憶體具有資料儲存時間極長（幾乎永久）且不需要依電性儲存裝置中所需的更新操作之優點（例如，參見專利文獻1）。

然而，包括在儲存元件中之閘極絕緣層會因在寫入中產生的穿隧電流而退化，所以在預定次數的寫入操作後記憶體元件會停止其之作用。為了減少此問題之負面影響，例如採用等化每一記憶體元件中之寫入操作的次數的方法。然而，需要複雜的周邊電路來實現此方法。即使採用這類方法，不能解決壽命之根本問題。換言之，快閃記憶體不適合頻繁重寫資料的應用。

另外，在浮置閘極中保持電荷或移除電荷需要高電壓，並且需要針對這樣的電路。此外，注入或移除電荷會花上頗長的時間，且不容易以較高速度執行寫入及抹除。

[引用]

[專利文獻]

[專利文獻1]日本公開專利申請案號S57-105889

【發明內容】

有鑑於上述問題，在此揭露的本發明之一實施例的一目的為提供一種具有新穎結構的半導體裝置，其中即使當不供應電力時可保持已儲存之資料，且無寫入次數的限制。

在所揭露的本發明中，使用高度純化的氧化物半導體來形成半導體裝置。使用高度純化的氧化物半導體所形成之電晶體具有極小的漏電流極，所以可長時間儲存資料。

所揭露的本發明之一實施例為一種半導體裝置，包括一源極線、一位元線、一信號線、一字線、經由一第一切換元件電連接至該源極線並經由一第二切換元件電連接至該位元線之一第一驅動器電路之記憶胞、經由一第三切換元件電連接至該源極線之一第二驅動器電路、電連接至該信號線之一第三驅動器電路、以及電連接至該字線之一第四驅動器電路。記憶胞包括包括一第一閘極電極、一第一源極電極、及一第一汲極電極之一第一電晶體、包括一第二閘極電極、一第二源極電極、及一第二汲極電極之一第二電晶體、以及一電容器。使用非氧化物半導體的半導體材料來形成第一電晶體。使用氧化物半導體材料來形成第二電晶體。該第一閘極電極、該第二源極電極及該第二汲極電極之一、及該電容器的電極之一彼此電連接。該源極線、該第一源極電極、及該第二源極電極及該第二汲極電極之另一者彼此電連接。該位元線及該第一汲極電極彼此電連接。該信號線及該第二閘極電極彼此電連接。該字線及該電容器的該些電極之另一者彼此電連接。

所揭露的本發明之另一實施例為一種半導體裝置，包括一源極線、一位元線、一信號線、一字線、並聯在該源極線與該位元線之間之記憶胞、經由一第一切換元件電連接至該源極線並經由一第二切換元件電連接至該位元線之一第一驅動器電路、經由一第三切換元件電連接至該位元線之一第二驅動器電路、電連接至該信號線之一第三驅動器電路、以及電連接至該字線之一第四驅動器電路。記憶胞包括包括一第一閘極電極、一第一源極電極、及一第一汲極電極之一第一電晶體、包括一第二閘極電極、一第二源極電極、及一第二汲極電極之一第二電晶體、以及一電容器。使用非氧化物半導體的半導體材料來形成第一電晶體。使用氧化物半導體材料來形成第二電晶體。該第一閘極電極、該第二源極電極及該第二汲極電極之一、及該電容器的電極之一彼此電連接。該源極線及該第一源極電極彼此電連接。該位元線、該第二源極電極及該第二汲極電極之另一者、及該第一汲極電極彼此電連接。該信號線及該第二閘極電極彼此電連接。該字線及該電容器的該些電極之另一者彼此電連接。

所揭露的本發明之另一實施例為一種半導體裝置，包括 n 條（ n 為自然數）位元線、 n^2 條（ n^2 為大於或等於 $n/2$ 的最小自然數）源極線、 m 條（ m 為自然數）信號線、 m 條字線、並聯在該源極線與該位元線之間之（ $m \times n$ ）個記憶胞、經由第一切換元件電連接至源極線且由第二切換元件電連接至位元線之第一驅動電路、由一第三切換元件電連

接至該位元線之一第二驅動器電路、電連接至該信號線之一第三驅動器電路、以及電連接至該字線之一第四驅動器電路。由相同列中之相鄰的兩個記憶胞共享一源極線。記憶胞的每一者包括包括一第一閘極電極、一第一源極電極、及一第一汲極電極之一第一電晶體、包括一第二閘極電極、一第二源極電極、及一第二汲極電極之一第二電晶體、以及一電容器。使用非氧化物半導體的半導體材料來形成第一電晶體。使用氧化物半導體材料來形成第二電晶體。該第一閘極電極、該第二源極電極及該第二汲極電極之一、及該電容器的電極之一彼此電連接。該源極線及該第一源極電極彼此電連接。該位元線、該第一汲極電極、及該第二源極電極及該第二汲極電極之另一者彼此電連接。該信號線及該第二閘極電極彼此電連接。該字線及該電容器的該些電極之另一者彼此電連接。

在上述中，可採用一種結構，其中在寫入資料中取消確立並在讀取資料期間確立第一切換元件的控制信號。在寫入資料中取消確立並在讀取資料期間確立第二切換元件的控制信號。在寫入資料中取消確立並在讀取資料期間確立第三切換元件的控制信號。

此外，在上述中，第一電晶體可具有一種結構，其中包括使用非氧化物半導體的半導體材料所形成之第一通道形成區域、設置使第一通道形成區域夾在其間之雜質區域、在通道形成區域上方之第一閘極絕緣層、在第一閘極絕緣層上方之第一閘極電極、以及電連接至雜質區域的第一

源極電極及第一汲極電極。此外，作為非氧化物半導體之半導體材料，可使用單晶矽。此外，較佳第一電晶體以比第二電晶體更高的速度操作。

此外，在上述中，第二電晶體可具有一種結構，其中包括設置在第一電晶體上方之第二源極電極及第二汲極電極設置、使用氧化物半導體材料所形成並電連接至第二源極電極及第二汲極電極之第二通道形成區域、在第二通道形成區域上方的第二閘極絕緣層、及在第二閘極絕緣層上方的第二閘極電極。

在上述中，電容器可包括第二源極電極或第二汲極電極、氧化物半導體層、第二閘極絕緣層、及在第二閘極絕緣層上方的電容器之電極。

注意到在上述中使用氧化物半導體材料形成電晶體，所揭露的本發明不限於此。可使用能實現與氧化物半導體材料等效的那些之關閉狀態電流特性的材料，諸如像碳化矽之寬隙材料（詳言之，具有大於3 eV之能隙 E_g 的半導體材料）。

注意到在此說明書及之類中，諸如「上方」或「下方」的術語並非一定指一構件設在另一構件的「直接上方」或「直接下方」。例如，詞句「閘極電極在閘極絕緣層上方」可意指在閘極絕緣層與閘極電極之間有額外構件的情況。此外，諸如「上方」或「下方」的術語僅為了方便敘述而加以使用且可包括構件關係為顛倒的情況，除非另有所指。

另外，在此說明書及之類中，諸如「電極」或「佈線」的術語不限制構件的功能。例如，「電極」有時用為「佈線」之部分，且反之亦然。此外，「電極」或「佈線」的術語可包括複數「電極」或「佈線」以積體方式形成的情況。

當例如使用相反極性的電晶體時或當電流流動方向在電路操作中改變時，「源極」及「汲極」的功能有時會互換。因此，可在此說明書中互換「源極」及「汲極」術語。

注意到在此說明書及之類中，術語「電連接」包括構件經由具有任何電功能的物體連接之情況。對於具有任何電功能的物體無特別限制，只要可在經由該物體所連接的構件之間傳送並接收電信號。

「具有任何電功能的物體」之範例為切換元件，如電晶體、電阻器、電感器、電容器，以及具有各式各樣的功能之元件，還有電極及佈線。

由於包括氧化物半導體的電晶體之關閉狀態電流極低，可藉由使用該電晶體來保持已儲存資料極長的時間。換言之，可充分減少耗電量，因為更新操作變得不必要或更新操作的頻率可極低。此外，即使在不供電時，仍可長時間保持已儲存的資料。

再者，在根據所揭露的本發明之半導體裝置中，無需高電壓來寫入資料，且元件的退化不會成為問題。例如，不像傳統的非依電性記憶體，無需執行將電子注入到浮置

閘極或從浮置閘極抽取電子，所以完全不會發生諸如閘極絕緣層退化的問題。亦即，根據所揭露的本發明之半導體裝置對於重寫次數並無限制，此為傳統非依電性記憶體的一個問題，且可大幅改善其之可靠度。此外，根據電晶體的啓通狀態及關閉狀態來執行資料的寫入，所以可輕易實現高速操作。另外，有無需抹除資料的操作之優點。

由於包括非氧化物半導體的材料之電晶體可以夠高的速度操作，當其與包括氧化物半導體之電晶體結合時，半導體裝置可以夠高的速度執行操作（如，讀取資料）。此外，包括非氧化物半導體的材料之電晶體可較佳地實現具有需要高速操作的各種電路（如邏輯電路或驅動器電路）。

藉由包括包括非氧化物半導體之電晶體及包括氧化物半導體之電晶體兩者可實現具有新穎特徵結構的半導體裝置。

【實施方式】

此後，將參考附圖於下說明本發明之實施例的範例。注意到本發明不限於下列說明，且熟悉此技藝人士輕易了解到可以各種方式修改在此揭露的模式及細節而不背離本發明之精神與範疇。因此，本發明不應解釋成限於下列實施例中之敘述及範例。

注意到爲了方便了解在某些情況中圖中所示之各個構件的位置、大小、範圍、及之類並非實際者。因此，所揭

露的本發明不一定限於圖及之類中所揭露的位置、大小、範圍、或之類。

在此說明書及之類中，使用諸如「第一」、「第二」、及「第三」的順序數以避免混淆構件，且這些術語不數值性限制構件的數量。

（實施例1）

在此實施例中，將參照第1A-1及1A-2圖說明根據所揭露的本發明之一實施例的半導體裝置之電路組態及操作。注意到在每一個電路圖中，在電晶體旁可能會寫上「OS」以指示電晶體包括氧化物半導體。

在第1A-1圖中所示的半導體裝置中，第一佈線（第一線）電連接至電晶體160的源極電極，且第二佈線（第二線）電連接至電晶體160的汲極電極。電晶體160的閘極電極及電晶體162的源極電極及汲極電極之一電連接至電容器164的電極之一。第三佈線（第三線）電連接至電晶體162的源極電極和汲極電極之另一者，且第四佈線（第四線）電連接至電晶體162的閘極電極。第五佈線（第五線）電連接至電容器164的電極之另一者。

在此，使用包括氧化物半導體層之電晶體作為電晶體162。包括氧化物半導體層之電晶體具有明顯小的關閉狀態電流之特性。因此，當電晶體162關閉時，可保持電晶體160之閘極電極的電位極長的時間。設置電容器164促進給與電晶體160之閘極電極的電荷之保持及已儲存資料的

讀取。注意到包括氧化物半導體層之電晶體 162 具有大於或等於 10nm 並少於或等於 1000nm 的通道長度 (L)；因此耗電量為小且操作速度極高。

第 1A-1 圖中所示的半導體裝置利用可保持電晶體 160 之閘極電極的電位之特性，藉此如下般寫入、儲存、及讀取資料。

首先，將說明資料的寫入及儲存。將第四佈線之電位設定在會啓通電晶體 162 的電位，並啓通電晶體 162。依此，將第三佈線之電位供應至電晶體 160 的閘極電極及電容器 164。亦即，提供預定的電荷至電晶體 160 的閘極電極（寫入）。在此，提供用於供應兩不同電位之電荷之一（此後稱為低位準電荷及高位準電荷）至電晶體 160 的閘極電極。之後，將第四佈線的電位設置在會讓電晶體 162 關閉的電位，並關閉電晶體 162。因此，保持提供至電晶體 160 的閘極電極之電荷（保持）。

由於電晶體 162 之關閉狀態電流極小，可長時間保持電晶體 160 之閘極電極的電位。

接下來，將說明資料之讀取。藉由在供應預定電位（恆定電位）至第一佈線的同時供應適當電位（讀取電位）至第五佈線，第二佈線之電位隨保持在電晶體 160 的閘極電極中的電荷量變化。這是因為，一般而言，當電晶體 160 為 n 通道電晶體時，在提供高位準電荷至電晶體 160 的閘極電極之情況中的表觀臨限電壓 V_{th_H} 低於在提供低位準電荷至電晶體 160 的閘極電極之情況中的表觀臨限電壓

V_{th_L} 。在此，表觀臨限電壓意指第五佈線的電位，其為啓通電晶體 160 所需。因此，將第五佈線的電位設定至介於 V_{th_H} 與 V_{th_L} 中間的電位 V_0 ，藉此可決定提供至電晶體 160 的閘極電極之電荷。例如，在寫入中提供高位準電荷的情況中，當第五佈線的電位設定至 $V_0(>V_{th_H})$ 時，啓通電晶體 160。在寫入中提供低位準電荷的情況中，即使當第五佈線的電位設定至 $V_0(<V_{th_L})$ 時，電晶體 160 維持在關閉狀態中。因此，可使用第二線的電位來讀取已儲存的資料。

注意到在記憶胞為陣列排列以供使用之情況中，僅需讀取所要的記憶胞之資料。因此，爲了讀取預定記憶胞之資料且不讀取其他記憶胞，可供應無論閘極電極之狀態為何都會讓電晶體 160 關閉之電位（亦即，低於 V_{th_H} 的電位）至資料不被讀取之記憶胞的第五佈線。此外，在電晶體 160 串聯於記憶胞之間的情況中，可供應無論閘極電極之狀態為何都會讓電晶體 160 啓通之電位（亦即，高於 V_{th_L} 的電位）至資料不被讀取之記憶胞的第五佈線。

接下來，將說明資料的重寫。以和資料之寫入和保持類似的方式來執行資料的重寫。亦即，將第四佈線的電位設定在會讓電晶體 162 啓通的電位，藉此啓通電晶體 162。依此，將第三佈線之電位（關於新資料的電位）供應至電晶體 160 的閘極電極及電容器 164。之後，將第四佈線的電位設定在會讓電晶體 162 關閉的電位，藉此關閉電晶體 162。依此，提供關於新資料的電荷至電晶體 160 的閘極電極。

在根據所揭露之本發明的半導體裝置中，可藉由另一如上述般的資料寫入來直接重寫資料。因此，無需快閃記憶體或之類所需的使用高電壓從浮置閘極抽取電荷，因此可抑制抹除操作所導致之操作速度的降低。換言之，可實現半導體裝置的高速操作。

注意到電晶體 162 之源極電極和汲極電極電連接至電晶體 160 的閘極電極，藉此具有和用於非依電性記憶體元件之浮置閘極電晶體的浮置閘極類似的功效。因此，圖中電晶體 162 之源極電極和汲極電極電連接至電晶體 160 的閘極電極的部份在某些情況中稱為浮置閘極部 FG。當電晶體 162 為關閉時，浮置閘極部 FG 可被視為嵌入絕緣體中並因此在此在浮置閘極部 FG 中保持電荷。包括氧化物半導體的電晶體 162 之關閉狀態電流量小於或等於包括矽半導體或之類的電晶體之關閉狀態電流量的十萬分之一；因此，因電晶體 162 的漏電流所造成之累積於浮置閘極部 FG 中的電荷喪失微不足道。亦即，藉由包括氧化物半導體之電晶體 162，可實現可在無電力之供應下儲存資料的非依電性記憶體裝置。

例如，當電晶體 162 的關閉狀態電流在室溫為 $10\text{ zA}/\mu\text{m}$ (1 zA (賽普托安培 (zeptoampere) 為 $1 \times 10^{-21}\text{ A}$) 且電容器 164 的電容值為近乎 10 fF 時，可儲存資料達 10^4 秒或更長。當然，儲存時間取決於電晶體特性及電容值。

此外，在那情況中，不會有閘極絕緣膜（隧道絕緣膜）惡化的問題，這是傳統浮置閘極電晶體中已指出。亦即

，可解決由於注入電子至浮置閘極中而造成的閘極絕緣膜之惡化的問題。這意味著原則上對於寫入次數並無限制。此外，無需傳統浮置閘極電晶體中的寫入或抹除所需之高電壓。

第1A-1圖中之半導體裝置中的諸如電晶體的構件可被視為包括如第1A-2圖中所示之電阻器及電容器。亦即，在第1A-2圖中，電晶體160及電容器164各被視為包括一電阻器及一電容器。R1及C1分別標示電容器164的電阻值及電容值。電阻值R1對應至取決於包括在電容器164中之絕緣層的電阻值。R2及C2分別標示電晶體160的電阻值及電容值。電阻值R2對應至取決於在電晶體160在啓通狀態的時候之閘極絕緣層的電阻值。電容值C2對應至所謂的閘極電容（形成在閘極電極與源極電極或汲極電極間的電容或形成在閘極電極與通道形成區域間的電容）的電容值。

在電晶體162的閘極漏電充分小且R1大於或等於ROS且R2大於或等於ROS（其中在電晶體162在關閉中的情況中在源極電極與汲極電極之間的電阻值（亦稱為有效電阻）為ROS）的條件下，電子保持時期（亦稱為資料保持時期）主要由電晶體162之關閉狀態電流所決定。

另一方面，當沒達到這些條件時，即使電晶體162的電流夠小，仍難以充分保全保持時期。這是因為除了電晶體162之關閉狀態電流外的漏電流（例如，在源極電極與汲極電極之間所產生之漏電流）為大。因此，在此實施例中之所揭露的半導體裝置可說是有利地滿足上述關係。

希望 $C1$ 大於或等於 $C2$ 。當 $C1$ 較大時，當浮置閘極部 FG 的電位被第五佈線控制時（如在讀取時），可抑制第五佈線之電位中的變動。

當滿足上述關係時，可實現較佳的半導體裝置。注意到 $R1$ 及 $R2$ 被電晶體 160 及電晶體 162 的閘極絕緣層控制。這亦適用於 $C1$ 及 $C2$ 。因此，刻意適當設定閘極絕緣層之材料、厚度、及之類以滿足上述關係。

在此實施例中所述的半導體裝置中，浮置閘極部 FG 具有與快閃記憶體或之類的浮置閘極電晶體的浮置閘極類似的功效，但此實施例的浮置閘極部 FG 具有與快閃記憶體或之類的浮置閘極本質上不同的特徵。在快閃記憶體的情況中，由於施加至控制閘極的電壓為高，需要在胞之間保持適當距離以防止電位影響相鄰胞的浮置閘極。這是抑制半導體裝置之高整合的因素之一。此因素歸咎於快閃記憶體的基本原理，其中當供應高電場時，穿隧電流會流動。

此外，由於快閃記憶體的上述原理，絕緣膜的惡化繼續進行且因此發生對重寫次數之限制的另一問題（近乎 10^4 至 10^5 次）。

藉由切換包括氧化物半導體的電晶體而不使用上述藉由穿隧電流來注入電荷的原理來操作根據所揭露的本發明之半導體裝置。亦即，不像快閃記憶體，不需用於電荷注入的高電場。依此，無需考慮來自控制閘極之高電場對相鄰胞的影響，其促進高整合。

此外，不利用藉由穿隧電流之電荷注入，這意味著不

會有記憶胞之惡化的導因。換言之，根據所揭露的本發明之半導體裝置比快閃記憶體具有較高耐久性及其可靠性。

另外，相較於快閃記憶體，有利地亦無需高電場及大周邊電路（諸如升壓電路）。

在其中包括在電容器164中的絕緣層之相對介電常數 ϵ_{r1} 與包括在電晶體160中的絕緣層之介電常數 ϵ_{r2} 不同的情況中，在滿足關係 $2 \cdot S2$ 大於或等於 $S1$ （ $S2$ 大於或等於 $S1$ 為有利）的同時容易滿足 $C1$ 大於或等於 $C2$ ，其中 $S1$ 為包括在電容器164中之絕緣層的面積且 $S2$ 為包括在電晶體160中的閘極電容器中之絕緣層的面積。亦即，在減少包括在電容器164中之絕緣層的面積的同時容易滿足 $C1$ 大於或等於 $C2$ 。詳言之，例如，使用以諸如氧化鋁之高 k 材料所形成的膜或由以諸如氧化鋁之高 k 材料所形成的膜及以氧化物半導體所形成之膜的堆疊作為包括在電容器中之絕緣層，使 ϵ_{r1} 可設定成10或更多，較佳15或更多，且使用氧化矽作為包括在閘極電容器中之絕緣層，使 ϵ_{r2} 可設定成3至4。

這類結構的結合允許根據所揭露的本發明之半導體裝置的較高整合。

注意到在上述說明中，使用其中電子為主要載子的 n 通道電晶體；當然，可使用其中電洞為主要載子之 p 通道電晶體來取代 n 通道電晶體。

如上述，根據所揭露的本發明之一實施例的半導體裝置具有非依電性記憶胞，包括一寫入電晶體（其中於關閉狀態中在源極與汲極之間的漏電流（關閉狀態電流）為小

）、以和寫入電晶體不同之半導體材料所形成之一讀取電晶體、及一電容器。

寫入電晶體的關閉狀態電流在室溫（如 25℃）為 100zA (1×10^{-19} A) 或更少；較佳 10zA (1×10^{-20} A) 或更少；更佳 1zA (1×10^{-21} A) 或更少。在一般矽的情況中，難以實現上述的小關閉狀態電流。然而，在藉由於適當條件下處理氧化物半導體而得之電晶體中，可實現小關閉狀態電流。因此，較佳使用包括氧化物半導體之電晶體作為寫入電晶體。

另外，包括氧化物半導體之電晶體具有小次臨界擺幅（S 值），使得即使遷移率相對低，切換速率仍夠高。因此，藉由使用該電晶體作為寫入電晶體，提供至浮置閘極部 FG 的寫入脈衝之升高可為非常尖銳。此外，關閉狀態電流為小且因此，可減少保持在浮置閘極部 FG 中之電荷量。亦即，藉由使用包括氧化物半導體之電晶體，可以高速執行資料的重寫。

針對讀取電晶體，雖對關閉狀態電流並無限制，希望使用以高速操作之電晶體以增加讀取速率。例如，較佳使用具有 1 奈米秒或更快之切換率的電晶體作為讀取電晶體。

寫入資料至記憶胞係藉由啓通寫入電晶體，以供應電位至寫入電晶體之源極電極與汲極電極之一、電容器之電極之一、及讀取電晶體之閘極電極彼此電連接的節點，並接著關閉寫入電晶體以將預定電荷量保持在該節點中。在

此，寫入電晶體的關閉狀態電流非常小；因此，供應至節點的電荷可保持很久。當關閉狀態電流為例如實質上 0 時，無需傳統 DRAM 所需之更新操作或更新操作頻率明顯的低（例如，約一個月或一年一次）。依此，可充分減少半導體裝置的耗電量。

此外，可藉由重寫新資料至記憶胞來直接重寫資料。因此，無需快閃記憶體或之類所需的抹除操作，所以可防止因於抹除操作導致之操作速度的降低。換言之，可實現半導體裝置之高速操作。還有，無需傳統浮置閘極電晶體寫入及抹除資料所需之高電壓；故可進一步減少半導體裝置之耗電量。供應至根據此實施例之記憶胞的最高電壓（同時施加至記憶胞的個別端子的最高電位與最低電位間之差）在寫入兩階段（一位元）之資料的情況中在每一記憶胞中可為 5V 或更低或 3V 或更低。

設置在根據所揭露的本發明之半導體裝置中的記憶胞可包括至少該寫入電晶體、該讀取電晶體、及該電容器。此外，即使當電容器的面積為小時，記憶胞仍可操作。依此，例如，相較於每一記憶胞中需要六個電晶體的 SRAM，每一記憶胞的面積可夠小；因此，可在半導體裝置中以高密度配置記憶胞。

在傳統浮置閘極電晶體中，在寫入操作期間電荷行進於閘極絕緣膜（隧道絕緣膜）中，因此無法避免閘極絕緣膜（隧道絕緣膜）的惡化。相反地，在根據本發明之一實施例的記憶胞中，藉由寫入電晶體之切換操作來寫入資料

；故可忽略閘極絕緣膜的惡化，其傳統以來都是一個問題。這意味著原則上無寫入次數的限制且寫入耐久性非常高。例如，在根據本發明之一實施例的記憶胞中，即使在寫入資料 1×10^9 或更多次（一億或更多次）之後，電流－電壓特性仍未惡化。

此外，在使用包括氧化物半導體之電晶體作為記憶胞的寫入電晶體的情況中，即使在例如 150°C 的高溫，記憶胞之電流－電壓特性仍未惡化，因為氧化物半導體一般具有 3.0 至 3.5 eV 之寬能隙且包括極少熱激載子。

本發明已成功首次找出包括氧化物半導體層的電晶體具有優異的特性，其中即使在 150°C 的高溫特性仍未惡化且關閉狀態電流小於或等於極小的 100 zA 。所揭露的本發明之一實施例藉由使用具有這類優異特性的電晶體作為記憶胞的寫入電晶體而提供具有新穎特徵之半導體裝置。

如上述，在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

（實施例2）

在此實施例中，將說明在上述實施例中所述的半導體裝置的應用範例。詳言之，將說明半導體裝置的一範例，其中在上述實施例中所述的半導體裝置配置在矩陣中。

第2圖為包括 $m \times n$ 位元的記憶體容量之半導體裝置的電路圖之一範例。

根據本發明之一實施例的半導體裝置包括記憶胞陣列，其中有 m 字線 WL、 m 信號線 S、 n 位元線 BL、 n 源極線 SL、及配置在 m （列）（在垂直方向中） $\times n$ （行）（在水平方向中）（ m 及 n 為自然數）矩陣中之複數記憶胞 1100，及第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、及第四驅動器電路 1114 的周邊電路。在此，描述於下列實施例中的結構（圖 1A-1 所示結構）被應用於記憶胞 1100。

記憶胞 1100 的每一者包括第一電晶體、第二電晶體、及電容器。第一電晶體的閘極電極、第二電晶體之源極電極和汲極電極之一、及電容器的電極之一彼此電連接。源極線 SL 第一電晶體之源極電極、第二電晶體之源極電極和汲極電極之另一者及彼此電連接。位元線 BL 及第一電晶體的汲極電極彼此電連接。信號線 S 和第二電晶體之閘極電極彼此電連接。字線 WL 和電容器的電極之另一者彼此電連接。亦即，源極線 SL 對應至第 1A-1 圖中所示之結構中的第一佈線（第一線）及第三佈線（第三線）；位元線 BL 對應至第二佈線（第二線）、信號線 S 對應至第四佈線（第四線）；且字線 WL 對應至第五佈線（第五線）。

此外，記憶胞 1100 並聯在源極線 SL 與位元線 BL 之間。例如，第 i 列及第 j 行（ i 為大於或等於 1 且小於或等於 m 的整數， j 為大於或等於 1 且小於或等於 n 的整數）的記憶胞 1100(i, j) 電連接至源極線 SL(j)、位元線 BL(j)、字線 WL(i)、及信號線 S(i)。

源極線 SL 及位元線 BL 經由切換元件電連接至第一驅動器電路 1111。源極線 SL 經由切換元件電連接至第二驅動器電路 1112。信號線 S 電連接至第三驅動器電路 1113。字線 WL 連接至第四驅動器電路 1114。注意到在此分別設置第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、及第四驅動器電路 1114；然而，所揭露的本發明不限於此。可替代地使用具有該些功能之任一或一些的驅動器電路。

接下來，將說明寫入操作及讀取操作。第 3 圖為寫入操作及讀取操作的一範例之時序圖。

雖為了簡單說明兩列及兩行的半導體裝置之操作，所揭露的本發明不限於此。

將說明寫入資料至在第一列中之記憶胞 1100(1, 1) 及記憶胞 1100(1, 2)，並從在第一列中之記憶胞 1100(1, 1) 及記憶胞 1100(1, 2) 讀取資料。注意到在下列說明中，假設將寫至記憶胞 1100(1, 1) 之資料為「1」且將寫至記憶胞 1100(1, 2) 之資料為「0」。

首先，將說明寫入。將電位 V1 供應至第一列的信號線 S(1)，以啓通第一列的第二電晶體。此外，將 0V 的電位供應至第二列的信號線 S(2)，以關閉第二列的第二電晶體。

接下來，藉由施加電位 V1 來確立切換元件的控制信號 SSL_b(1) 及 SSL_b(2)，且第二驅動器電路 1112 的端子 SL_b(1) 及 SL_b(2) 分別電連接至源極線 SL(1) 及源極線 SL(2)。在此，將電位 V2 供應至 SL_b(1) 並將電位 0V 供應至

SL_b(2)。

結果，分別供應電位 V2 及電位 0V 至記憶體 1100(1, 1) 的浮置閘極部 FG 及記憶體 1100(1, 2) 的浮置閘極部 FG。在此，電位 V2 高於第一電晶體之臨限電壓。接著，將第一列之信號線 S(1) 的電位設定至 0V，以關閉第一列的第二電晶體。因此，完成寫入。較佳電位 V2 實質上等於電位 V1 或低於或等於電位 V1。

注意到在寫入操作期間字線 WL(1) 及 WL(2) 係在電位 0V。此外，切換元件的控制信號 SSL_a(1)、SSL_a(2)、SBL(1)、及 SBL(2) 被取消確立（撤消）。此外，在改變 SL_b(1) 的電位之前，第一列的信號線 S(1) 之電位設定成 0V。在寫入之後，記憶胞的臨限電壓在資料「0」的情況中為 V_{w0} 且在資料「1」的情況中為 V_{w1} 。在此，記憶胞之臨限電壓意指連接至字線 WL 的端子之電壓，其改變第一電晶體之源極電極與汲極電極之間的電阻。注意到滿足 $V_{w0} > 0 > V_{w1}$ 。

此外，當切換元件的控制信號 SSL_a(1)、SSL_a(2)、SBL(1)、及 SBL(2) 被取消確立（撤消）時，不從第一驅動器電路 1111 而從第二驅動器電路 1112 的端子 SL_b 供應電位至位元線 BL 及源極線 SL。依此，源極線 SL 供應有和端子 SL_b 相同的電位。此外，位元線 BL 係在與源極線 SL 相同電位，只要電連接至位元線 BL 的記憶胞之第一電晶體的任一者在啓通狀態之中，同時當所有第一電晶體在關閉狀態時位元線 BL 在浮置狀態中。第 3 圖中所示的時序圖顯示位

元線 BL 在與源極線 SL 相同之電位的情況。

注意到在此寫入操作中，雖取消確立（撤消）切換元件的控制信號 SBL(1)及 SBL(2)，可確立（啓動）切換元件的控制信號 SBL(1)及 SBL(2)。在那情況中，端子 BL_a(1)可供應有與端子 SL_b(1)相同的電位，且端子 BL_a(2)可供應有與端子 SL_b(2)相同的電位。

接著，將說明讀取。在此，位元線 BL 電連接至第 4 圖中所示的讀取電路。在第 4 圖中所示的讀取電路中，位元線 BL 電連接至時控的反向器及電晶體，其經由以讀取致能信號（RE）信號控制的切換元件二極體式連接至供應有電位 V1 的佈線。

首先，將電位 0V 及電位 VL 分別供應至第一列的字線 WL(1)及第二列的字線 WL(2)。電位 VL 低於臨限電壓 V_{w1} 。當字線 WL(1)在電位 0V 時，在第一列中，其中儲存資料「0」之記憶胞的第一電晶體為關閉，且其中儲存資料「1」之記憶胞的第一電晶體為啓通。當字線 WL(2)在電位 VL 時，在第二列中，其中儲存資料「0」或資料「1」之記憶胞的第一電晶體為關閉。

接下來，藉由施加電位 V1 來確立（啓動）切換元件的控制信號 SSL_a(1)、SSL_a(2)、SBL(1)、及 SBL(2)。第一驅動器電路 1111 之端子 BL_a(1)及端子 BL_a(2)分別電連接至位元線 BL(1)及位元線 BL(2)。第一驅動器電路 1111 之端子 SL_a(1)及端子 SL_a(2)分別電連接至源極線 SL(1)及源極線 SL(2)。供應電位 0V 至 SL_a(1)及 SL_a(2)。此外，使讀取

致能信號（RE信號）變成確立（啓動狀態）。

結果，啓通在端子BL_a(1)及端子SL_a(1)之間的記憶胞1100(1, 1)的電晶體，藉此具有低電阻，且關閉在端子BL_a(2)及端子SL_a(2)之間的記憶胞1100(1, 2)的電晶體，藉此具有高電阻。電連接至端子BL_a(1)及BL_a(2)之讀取電路可依據位元線間的電阻差來讀取資料。注意到取消確立切換元件的控制信號SSL_b(1)及SSL_b(2)。

注意到在讀取操作期間，將0V的電位及電位VL分別供應至信號線S(1)及信號線S(2)，以關閉所有的第二電晶體。第一列之浮置閘極部FG的電位爲0V或V₂；故信號線S(1)的電位設定至0V，藉此可關閉第一列的所有第二電晶體。另一方面，第二列的浮置閘極部FG之電位低於若供應電位VL至字線WL(2)在寫入剛過的時候之電位。因此，爲了防止啓通第二電晶體，與字線WL(2)之電位類似地，將信號線S(2)的電位設定至低（電位VL）。故可關閉所有第二電晶體。

接下來，將說明其中使用第4圖中之電路作爲讀取電路的情況中之輸出電位。由於端子BL_a(1)及端子SL_a(1)之間的電阻爲低，供應低電位至時控反向器且輸出D(1)爲信號高。由於端子BL_a(2)及端子SL_a(2)之間的電阻爲高，供應高電位至時控反向器且輸出D(2)爲信號低。

操作電位可例如設定成V₁=2V、V₂=1.5V、V_H=2V、及VL=-2V。

當製造具有上述結構的半導體裝置時，源極線SL作用

為供應電位至記憶胞的浮置閘極部之佈線，所以可減少記憶胞的每一者中之佈線的數量。因此，可減少記憶胞的面積並且可增加每半導體裝置之單位面積的記憶體容量。

由於第2圖中所示之半導體裝置包括半導體，其中以該半導體所形成之電晶體具有極小的關閉狀態電流，可藉由使用該電晶體來保持已儲存的資料極長的時間。換言之，可充分減少耗電量，因為更新操作變得不必要或更新操作的頻率可極低。此外，即使在不供電時，仍可長時間保持已儲存的資料。

此外，在第2圖中所示的半導體裝置中，無需高電壓來寫入資料，且沒有元件退化的問題。因此，在第2圖中所示的半導體裝置對於寫入次數並無限制，此為傳統非依電性記憶體的一個問題，且可大幅改善其之可靠度。此外，根據電晶體的啓通狀態及關閉狀態來執行資料的寫入，所以可輕易實現高速操作。另外，有無需抹除資料的操作之優點。

由於包括非氧化物半導體的材料之電晶體可以夠高的速度操作，當其與包括氧化物半導體之電晶體結合時，半導體裝置可以夠高的速度執行操作（如，讀取資料）。此外，包括非氧化物半導體的材料之電晶體可較佳地實現具有需要高速操作的各種電路（如邏輯電路或驅動器電路）。

因此，藉由包括包括非氧化物半導體之電晶體及包括氧化物半導體之電晶體兩者可實現具有新穎特徵結構的半

導體裝置。

雖如在此實施例中上述般源極線 SL 及第二電晶體的源極電極和汲極電極之另一者彼此電連接，本發明不限於此。如第 5 圖中之半導體裝置的電路圖中所示，位元線 BL 及第二電晶體的源極電極和汲極電極之另一者可彼此電連接。在那情況中，並非源極線 SL 而是位元線 BL 經由切換元件電連接至第二驅動器電路 1112。第 5 圖中所示之半導體裝置的結構與第 2 圖所示中之半導體裝置的結構相同，除了位元線 BL 及第二電晶體的源極電極和汲極電極之另一者彼此電連接，且位元線 BL 經由切換元件電連接至第二驅動器電路 1112。

如上所述，在此實施例中所述之方法及結構可與其他實施例中所述之任何方法及結構適當地結合。

（實施例 3）

在此實施例中，將說明半導體裝置的另一範例，其中在上述實施例中所述的半導體裝置配置在矩陣中。

第 6 圖為包括 $m \times n$ 位元的記憶體容量之半導體裝置的電路圖之一範例。

根據本發明之一實施例的半導體裝置包括記憶胞陣列，其中有 m 字線 WL、 m 信號線 S、 n 位元線 BL、 n^2 源極線 SL、及配置在 m （列）（在垂直方向中） $\times n$ （行）（在水平方向中）矩陣中之複數記憶胞 1200，及第一驅動器電路 1211、第二驅動器電路 1212、第三驅動器電路 1213、及第

四驅動器電路 1214 的周邊電路（ m 、 n 、及 $n/2$ 為自然數且 $n/2$ 為大於或等於 $n/2$ 的最小自然數）。在此，上述實施例中所述的結構（第 1A-1 圖中所示的結構）應用至記憶胞 1200。

記憶胞 1200 的每一者包括第一電晶體、第二電晶體、及電容器。第一電晶體的閘極電極、第二電晶體之源極電極和汲極電極之一、及電容器的電極之一彼此電連接。源極線 SL 第一電晶體之源極電極彼此電連接。位元線 BL、第一電晶體的汲極電極、及第二電晶體之源極電極和汲極電極之另一者及彼此電連接。信號線 S 和第二電晶體之閘極電極彼此電連接。字線 WL 和電容器的電極之另一者彼此電連接。亦即，源極線 SL 對應至第 1A-1 圖中所示之結構中的第一佈線（第一線）；位元線 BL 對應至第二佈線（第二線）及第三佈線（第三線）、信號線 S 對應至第四佈線（第四線）；且字線 WL 對應至第五佈線（第五線）。

此外，記憶胞 1200 並聯在源極線 SL 與位元線 BL 之間。例如，第 i 列及第 j 行（ i, j ）（ i 為大於或等於 1 且小於或等於 m 的整數， j 為大於或等於 1 且小於或等於 n 的整數）的記憶胞 1200 電連接至源極線 $SL(j/2)$ 、位元線 $BL(j)$ 、字線 $WL(i)$ 、及信號線 $S(i)$ （ $j/2$ 為大於或等於 $j/2$ 的最小自然數）。換言之，互相相鄰的記憶胞 $1200(i, 2k-1)$ 及記憶胞 $1200(i, 2k)$ 電連接至相同的源極線 $SL(k)$ （ k 為大於或等於 1 且小於或等於 $n/2$ 的自然數）。

源極線 SL 及位元線 BL 經由切換元件電連接至第一驅

動器電路 1211。位元線 BL 經由切換元件電連接至第二驅動器電路 1212。信號線 S 電連接至第三驅動器電路 1213。字線 WL 連接至第四驅動器電路 1214。注意到在此分別設置第一驅動器電路 1211、第二驅動器電路 1212、第三驅動器電路 1213、及第四驅動器電路 1214；然而，所揭露的本發明不限於此。可替代地使用具有該些功能之任一或一些的驅動器電路。

接下來，將說明寫入操作及讀取操作。第 7 圖為寫入操作及讀取操作的一範例之時序圖。

雖為了簡單說明兩列及兩行的半導體裝置之操作，所揭露的本發明不限於此。

首先，將說明寫入資料至在第一列中之記憶胞 1200(1, 1)、記憶胞 1200(1, 2)、記憶胞 1200(1, 3)、及記憶胞 1200(1, 4)，並從在第一列中之記憶胞 1200(1, 1)、記憶胞 1200(1, 2)、記憶胞 1200(1, 3)、及記憶胞 1200(1, 4)讀取資料。注意到在下列說明中，假設將寫至記憶胞 1200(1, 1)之資料為「1」、將寫至記憶胞 1200(1, 2)之資料為「0」、將寫至記憶胞 1200(1, 3)之資料為「1」、且將寫至記憶胞 1200(1, 4)之資料為「1」。

首先，將說明寫入。將電位 V1 供應至第一列的信號線 S(1)，以啓通第一列的第二電晶體。此外，將 0V 的電位供應至第二列的信號線 S(2)，以關閉第二列的第二電晶體。

接下來，藉由施加電位 V1 來確立（啓動）控制信號 SBL_b(1) 至 SBL_b(4)，且第二驅動器電路 1212 的端子

BL_b(1)至BL_b(4)分別電連接至位元線BL(1)至位元線BL(4)。在此，將電位V2供應至端子BL_b(1)、將電位0V供應至端子BL_b(2)、將電位V2供應至端子BL_b(3)、且將電位V2供應至端子BL_b(4)。

結果，供應電位V2至記憶胞1200(1, 1)的浮置閘極部FG、供應電位0V至記憶胞1200(1, 2)的浮置閘極部FG、供應電位V2至記憶胞1200(1, 3)的浮置閘極部FG、且供應電位V2至記憶胞1200(1, 4)的浮置閘極部FG。在此，電位V2高於第一電晶體之臨限電壓。接著，將第一列之信號線S(1)的電位設定至0V，以關閉第一列的第二電晶體。因此，完成寫入。在此，當即將完成寫入時，在改變端子BL_b的電位之前，將第一列的信號線S(1)之電位設定成0V。較佳電位V2實質上等於電位V1或低於或等於電位V1。

在寫入之後，記憶胞的臨限電壓在資料「0」的情況中為Vw0且在資料「1」的情況中為Vw1。在此，記憶胞之臨限電壓意指連接至字線WL的端子之電壓，其改變第一電晶體之源極電極與汲極電極之間的電阻。注意到滿足 $Vw0 > 0 > Vw1$ 。

注意到在寫入操作期間，切換元件的控制信號SSL_a(1)、SSL_a(2)、及SBL_a(1)至SBL_a(4)被取消確立（撤消）。注意到字線WL(1)及WL(2)在電位0V。

此外，當切換元件的控制信號SSL_a(1)、SSL_a(2)、及SBL_a(1)至SBL_a(4)被取消確立（撤消）時，不從第一驅動器電路1211供應電位至位元線BL及源極線SL。位元

線供應有來自從第二驅動器電路1212的端子BL_b之電位。依此，位元線BL供應有和端子BL_b相同的電位。

源極線SL電連接至位元線BL，其經由在啓通狀態中的第一電晶體電連接至具有資料「1」的記憶胞，且電連接至位元線BL，其經由在關閉狀態中的第一電晶體電連接至具有資料「0」的記憶胞。亦即，當電連接至源極線SL(k)之所有記憶胞具有資料「0」時，源極線SL(k)在浮置狀態中，而在具有資料「1」的記憶胞電連接至位元線BL($2k-1$)或位元線BL($2k$)的情況中，源極線SL(k)具有和在其他情況中電連接至具有資料「1」的記憶胞之位元線BL相同的電位。此外，在具有資料「1」的記憶胞電連接至位元線BL($2k-1$)及位元線BL($2k$)的情況中，源極線SL(k)具有電位，其之值介於位元線BL($2k-1$)的值與位元線BL($2k$)的值之間。

接著，將說明讀取。在此，位元線BL電連接至第4圖中所示的讀取電路。在第4圖中所示的讀取電路與實施例2中所述的相同。

首先，將電位0V及電位VL分別供應至第一列的字線WL(1)及第二列的字線WL(2)。電位VL低於臨限電壓 V_{w1} 。當字線WL(1)在電位0V時，在第一列中，其中儲存資料「0」之記憶胞的第一電晶體為關閉，且其中儲存資料「1」之記憶胞的第一電晶體為啓通。當字線WL(2)在電位VL時，在第二列中，其中儲存資料「0」或資料「1」之記憶胞的第一電晶體為關閉。

接下來，藉由施加電位 V_1 來確立（啓動）切換元件的控制信號 $SSL_a(1)$ 、 $SSL_a(2)$ 、及 $SBL_a(1)$ 至 $SBL_a(4)$ 。

第一驅動器電路 1211 之端子 $BL_a(1)$ 至端子 $BL_a(4)$ 電連接至位元線。第一驅動器電路 1211 之端子 $SL_a(1)$ 及端子 $SL_a(2)$ 電連接至源極線。供應電位 $0V$ 至 $SL_a(1)$ 及 $SL_a(2)$ 。

此外，使讀取致能信號（RE 信號）變成確立（啓動狀態）。

注意到，取消確立切換元件的控制信號 $SBL_a(1)$ 至 $SBL_a(4)$ 。

結果，啓通在端子 $BL_a(1)$ 及端子 $SL_a(1)$ 之間的記憶胞 1200(1, 1) 的電晶體，藉此具有低電阻，且關閉在端子 $BL_a(2)$ 及端子 $SL_a(2)$ 之間的記憶胞 1200(1, 2) 的電晶體，藉此具有高電阻。啓通在端子 $BL_a(3)$ 及端子 $SL_a(3)$ 之間的記憶胞 1200(1, 3) 的電晶體，藉此具有低電阻，且啓通在端子 $BL_a(4)$ 及端子 $SL_a(4)$ 之間的記憶胞 1200(1, 4) 的電晶體，藉此具有低電阻。電連接至端子 $BL_a(1)$ 至 $BL_a(4)$ 之讀取電路可依據位元線間的電阻差來讀取資料。

注意到在讀取操作期間，將 $0V$ 的電位及電位 V_L 分別供應至信號線 $S(1)$ 及信號線 $S(2)$ ，以關閉所有的第二電晶體。第一列之浮置閘極部 FG 的電位為 $0V$ 或 V_2 ；故信號線 $S(1)$ 的電位設定至 $0V$ ，藉此可關閉第一列的所有第二電晶體。另一方面，第二列的浮置閘極部 FG 之電位低於若供應電位 V_L 至字線 $WL(2)$ 在寫入剛過的時候之電位。因此，爲了防止啓通第二電晶體，與字線 $WL(2)$ 之電位類似地，將

信號線 S(2) 的電位設定至低（電位 VL）。故可關閉所有第二電晶體。

將說明其中使用第 4 圖中之電路作為讀取電路的情況中之輸出電位。由於端子 BL_a(1) 及端子 SL_a(1) 之間的電阻為低，供應低電位至時控反向器且輸出 D(1) 為信號高。由於端子 BL_a(2) 及端子 SL_a(1) 之間的電阻為高，供應高電位至時控反向器且輸出 D(2) 為信號低。由於端子 BL_a(3) 及端子 SL_a(2) 之間的電阻為低，供應低電位至時控反向器且輸出 D(3) 為信號高。由於端子 BL_a(4) 及端子 SL_a(2) 之間的電阻為低，供應低電位至時控反向器且輸出 D(4) 為信號高。

接下來，將說明具有第 6 圖中所示之結構的半導體裝置之寫入操作，其與上述寫入操作不同。將寫入之資料和上述相同。首先，供應電位 V1 至第一列的信號線 S(1)，以啓通第一列的第二電晶體。此外，供應電位 VL 至第二列的信號線 S(2)，以啓通第二列的第二電晶體。

接下來，藉由施加電位 V1 來確立（啓動）切換元件的控制信號 SBL_a(1) 至 SBL_a(4)，且第二驅動器電路 1212 之端子 BL_b(1) 至端子 BL_b(4) 分別電連接至位元線。在此，供應電位 V2 至端子 BL_b(1)、供應電位 0V 至端子 BL_b(2)、供應電位 V2 至端子 BL_b(3)、且供應電位 V2 至端子 BL_b(4)。

結果，供應電位 V2 至記憶胞 1200(1, 1) 的浮置閘極部 FG、供應電位 0V 至記憶胞 1200(1, 2) 的浮置閘極部 FG、供

應電位 V_2 至記憶胞 1200(1, 3) 的浮置閘極部 FG、且供應電位 V_2 至記憶胞 1200(1, 4) 的浮置閘極部 FG。在此，電位 V_2 高於第一電晶體之臨限電壓。接著，將第一列之信號線 S(1) 的電位設定至 0V，以關閉第一列的第二電晶體。因此，完成寫入。在此，當即將完成寫入時，在改變端子 BL_b 的電位之前，將第一列的信號線 S(1) 之電位設定成 0V。

在寫入之後，記憶胞的臨限電壓在資料「0」的情況中為 V_{w0} 且在資料「1」的情況中為 V_{w1} 。在此，記憶胞之臨限電壓意指連接至字線 WL 的端子之電壓，其改變第一電晶體之源極電極與汲極電極之間的電阻。注意到滿足 $V_{w0} > 0 > V_{w1}$ 。

注意到在寫入操作期間，切換元件的控制信號 SSL_a(1)、SSL_a(2)、及 SBL_a(1) 至 SBL_a(4) 被取消確立（撤消）。字線 WL(1) 設定在電位 0V 且及字線 WL(2) 設定在電位 VL。當第二列的字線 WL(2) 在電位 VL 時，在第二列中，其中儲存資料「0」或「1」的記憶胞之第一電晶體在關閉狀態中。

此外，當切換元件的控制信號 SSL_a(1)、SSL_a(2)、及 SBL_a(1) 至 SBL_a(4) 被取消確立（撤消）時，不從第一驅動器電路 1211 供應電位至位元線 BL 及源極線 SL。位元線供應有來自從第二驅動器電路 1212 的端子 BL_b 之電位。依此，位元線 BL 供應有和端子 BL_b 相同的電位。

由於其中不執行寫入之記憶胞的第一電晶體係在關閉狀態中，源極線 SL 及位元線 BL 之間的關係由其中執行寫

入之列中的記憶胞所決定。在其中寫入資料「1」至記憶胞的情況中，源極線SL經由在啓通狀態中之第一電晶體電連接至位元線BL。在其中寫入資料「0」至記憶胞的情況中，源極線SL經由在關閉狀態中之第一電晶體電連接至位元線BL。亦即，在其中寫入資料「0」至電連接至源極線SL的兩個記憶胞的情況中，源極線SL在浮置狀態中。在其他情況中，源極線SL在和電連接至寫入資料「1」至其之記憶胞的位元線BL相同的電位（電位V2）。

在此寫入操作中，僅當寫入資料「1」至該兩個記憶胞時，位元線BL(2k-1)及位元線BL(2k)經由在啓通狀態中的電晶體彼此電連接，且位元線BL(2k-1)及位元線BL(2k)在電位V2。依此，在寫入中靜止電流不會流經位元線BL，藉此可以低耗電量執行寫入。

雖在此寫入操作中取消確立（撤消）SSL_a(1)及SSL_a(2)，可確立（啓動）SSL_a(1)及SSL_a(2)。在那情況中，端子SL_a(1)可供應有與端子BL_b(1)之電位或端子SL_a(2)的電位，任一者都較大。替代地，可供應電位V2。

操作電位可例如設定成V1=2V、V2=1.5V、VH=2V、及VL=-2V。

當製造具有上述結構的半導體裝置時，位元線BL作用為供應電位至記憶胞的浮置閘極部之佈線，所以可減少記憶胞的每一者中之佈線的數量。因此，可減少記憶胞的面積並且可增加每半導體裝置之單位面積的記憶體容量。

此外，相鄰的記憶胞共享一源極線 SL，藉此可將源極線 SL 的數量減少大約一半。因此，可減少記憶胞的面積並且可增加每半導體裝置之單位面積的記憶體容量。

如同在實施例 2 中般，由於第 6 圖中所示之半導體裝置包括半導體，其中以該半導體所形成之電晶體具有極小的關閉狀態電流，可藉由使用該電晶體來保持已儲存的資料極長的時間。換言之，可充分減少耗電量，因為更新操作變得不必要或更新操作的頻率可極低。此外，即使在不供電時，仍可長時間保持已儲存的資料。

此外，如同在實施例 2 中般，在第 6 圖中所示的半導體裝置中，無需高電壓來寫入資料，且沒有元件退化的問題。因此，在第 6 圖中所示的半導體裝置對於寫入次數並無限制，此為傳統非依電性記憶體的一個問題，且可大幅改善其之可靠度。此外，根據電晶體的啓通狀態及關閉狀態來執行資料的寫入，所以可輕易實現高速操作。另外，有無需抹除資料的操作之優點。

由於包括非氧化物半導體的材料之電晶體可以夠高的速度操作，當其與包括氧化物半導體之電晶體結合時，半導體裝置可以夠高的速度執行操作（如，讀取資料）。此外，包括非氧化物半導體的材料之電晶體可較佳地實現具有需要高速操作的各種電路（如邏輯電路或驅動器電路）。

因此，藉由包括包括非氧化物半導體之電晶體及包括氧化物半導體之電晶體兩者可實現具有新穎特徵結構的半

導體裝置。

如上所述，在此實施例中所述之方法及結構可與其他實施例中所述之任何方法及結構適當地結合。

（實施例4）

在此實施例中，將參照第8A及8B圖、第9A至9H圖、及第10A至10E圖來說明根據所揭露的本發明之一實施例的半導體裝置之結構及製造方法。

<半導體裝置之剖面結構及平面結構>

第8A及8B圖繪示半導體裝置之結構的一範例。第8A圖繪示半導體裝置的剖面圖，且第8B圖繪示半導體裝置的平面圖。在此，第8A圖對應沿著至第8B圖中之線A1-A2及線B1-B2的剖面。第8A及8B圖中所示之半導體裝置包括在下部中之包括非半導體裝置的材料之電晶體160，及在上部中之包括氧化物半導體層的電晶體162。包括非半導體裝置的材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體層的電晶體由於其之特性可長時間保持電荷。

雖在電晶體兩者在此皆為n通道電晶體，當然，可使用p通道電晶體。由於所揭露的本發明之技術本質為在電晶體162中使用氧化物半導體層以儲存資料，無需將半導體裝置之特定結構限制在於此所述之結構。

第8A及8B圖中之電晶體160包括設置在包括半導體材

料（如矽）之基板100中的通道形成區域116、設置以在其之間夾住通道形成區域116之雜質區域114和高濃度雜質區域120（這些區域簡單統稱為雜質區域）、設置在通道形成區域116上方之閘極絕緣層108、設置在閘極絕緣層108上方之閘極電極110、及電連接至雜質區域的源極或汲極電極130a和源極或汲極電極130b。佈線142c及佈線142d分別設置在源極或汲極電極130a及源極或汲極電極130b上方。注意到作為半導體材料，例如，可使用矽、鍺、矽鍺、碳化矽、砷化鎵、或之類，並較佳使用單晶半導體。

側壁絕緣層118設置在閘極電極110的一側表面上。高濃度雜質區域120放置在當從與基板100的表面垂直方向看去不與側壁絕緣層118重疊之基板100的一區域中。金屬化合物區域124設置成接觸高濃度雜質區域120。元件隔離絕緣層106設置在基板100上方以圍繞電晶體160。設置層間絕緣層126及層間絕緣層128以覆蓋電晶體160。源極或汲極電極130a及源極或汲極電極130b的每一者經由形成在層間絕緣層126及層間絕緣層128中的開口電連接至金屬化合物區域124。亦即，源極或汲極電極130a及源極或汲極電極130b的每一者經由金屬化合物區域124電連接至高濃度雜質區域120及雜質區域114。此外，電極130c經由形成在層間絕緣層126及層間絕緣層128中的開口電連接至閘極電極110。注意到在整合電晶體160或之類的某些情況中不形成側壁絕緣層118。

第8A及8B圖中之電晶體162包括設置在層間絕緣層128

上方之源極或汲極電極 142a 及源極或汲極電極 142b、電連接至源極或汲極電極 142a 及源極或汲極電極 142b 的氧化物半導體層 144、覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 144 的閘極絕緣層 146、及設置在閘極絕緣層 146 上方的閘極電極 148a 以重疊氧化物半導體層 144。在此，電晶體 160 的閘極電極 110 經由電極 130c 電連接至電晶體 162 的源極或汲極電極 142a。

在此，較佳藉由充分移除如氫之雜質或充分供應氧來高度純化氧化物半導體層 144。詳言之，氧化物半導體層 144 中之氫濃度例如低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ；較佳低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ；更佳低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。注意到藉由二次離子質譜（SIMS）來測量氧化物半導體層 144 的氫濃度。因此，在充分減少氫濃度來高度純化氧化物半導體層且藉由充分供應氧來減少氧缺乏所導致之能隙中的缺陷程度的氧化物半導體層 144 中，載子濃度低於 $1 \times 10^{12} / \text{cm}^3$ ；較佳低於 $1 \times 10^{11} / \text{cm}^3$ ；更佳低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，在室溫的關閉狀態電流（在此，每微米通道寬度之電流）為 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （賽普托安培（zeptoampere）為 $1 \times 10^{-21} \text{ A}$ ）或更少，較佳 $10 \text{ zA}/\mu\text{m}$ 或更少。藉由使用這類 i 型（本質）或實質 i 型的氧化物半導體，可獲得具有優異的關閉狀態電流特性之電晶體 162。

注意到在第 8A 及 8B 圖中之電晶體 162 中，氧化物半導體層 144 並未處理成島狀；因此，可防止因處理中之蝕刻所導致之氧化物半導體層 144 的污染。

電容器 164 包括源極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146、及電極 148b。亦即，源極或汲極電極 142a 作用為電容器 164 的一電極，且電極 148b 作用為電容器 164 的另一電極。

注意到在第 8A 及 8B 圖中之電容器 164 中，堆疊氧化物半導體層 144 及閘極絕緣層 146，藉此可充分確保在源極或汲極電極 142a 與電極 148b 之間的絕緣。

注意到在電晶體 162 及電容器 164 之中，源極或汲極電極 142a 及源極或汲極電極 142b 的端部較佳為錐形。在此，錐角例如較佳大於或等於 30° 並少於或等於 60° 。注意到錐角意指，當從與剖面垂直（與基板表面垂直之平面）之方向看該層，由具有錐形形狀之層的側表面及底表面所形成之傾斜角度。使源極或汲極電極 142a 及源極或汲極電極 142b 的端部變成錐形，藉此可改善以氧化物半導體層 144 的覆蓋並可防止因為階梯造成之斷連。

此外，在電晶體 162 及電容器 164 上方設置層間絕緣層 150，並在層間絕緣層 150 上方設置層間絕緣層 152。

<製造半導體裝置之方法>

接下來，將說明製造半導體裝置之方法的一範例。首先，將參照第 9A 至 9H 圖來於下說明製造在下部中之電晶體 160 的方法，並接著將參照第 10A 至 10E 圖來說明製造在上部中之電晶體 162 的方法。

<製造在下部中的電晶體之方法>

首先，備置包括半導體材料之基板100（參見第9A圖）。作為包括半導體材料之基板100，可使用以矽、碳化矽、或之類製成之單晶半導體基板或多晶半導體基板、以鍺化矽或之類製成的化合物半導體基板、SOI基板、或之類的。在此，說明使用單晶矽基板作為包括半導體材料之基板100的一範例。注意到一般而言，術語「SOI基板」意指矽層設置在絕緣表面上之基板。在此說明書及之類中，術語「SOI基板」亦意指在絕緣表面上設置包括非矽的材料之半導體層的基板。亦即，包括在「SOI基板」中之半導體層不限於矽層。此外，SOI基板可為具有一種結構的基板，其中在如玻璃基板的絕緣基板上方設置半導體層，且絕緣層設置在其之間。

尤其，使用諸如矽之單晶矽半導體基板作為包括半導體材料之基板100，藉此可以較高速度執行實施例2或3中所述的半導體裝置的讀取操作。

在基板100上方形成充當用於形成元件隔離絕緣層之遮罩的保護層102（參見第9A圖）。作為保護層102，可例如使用諸如氧化矽、氮化矽、或氧氮化矽的材料所形成之絕緣層。注意到在此步驟之前或之後，可將提供n型傳導性之雜質元素或提供p型傳導性之雜質元素添加至基板100以控制電晶體之臨限電壓。當包括在基板100之半導體材料為矽時，可使用磷、砷、或之類的作為提供n型傳導性之雜質。可使用硼、鋁、鎵、或之類作為提供p型傳導性

之雜質。

接下來，藉由使用保護層102作為遮罩之蝕刻來移除未以保護層102覆蓋之區域（亦即暴露區域）中之基板100的部分。因此，形成自其他半導體區域隔離的半導體區域104（參見第9B圖）。作為蝕刻，較佳執行乾蝕刻，但可執行濕蝕刻。可根據被蝕刻層的材料適當選擇蝕刻氣體及蝕刻劑。

接著，形成絕緣層以覆蓋半導體區域104，並選擇性移除與半導體區域104重疊之一區域中的絕緣層106（參見第9B圖）。使用氧化矽、氮化矽、氧氮化矽、或之類來形成絕緣層。作為移除絕緣層的一種方法，有蝕刻處理及如CMP之研磨處理。注意到在半導體區域104的形成之後或在元件隔離絕緣層106的形成之後移除保護層102。

接下來，在半導體區域104上方形成絕緣層，並且在絕緣層上方形成包括導電材料之層。

由於絕緣層後續充當閘極絕緣層，且絕緣層較佳具有藉由CVD方法、噴濺方法、或之類使用包括氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭、氧化釷、矽酸鉛（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之矽酸鉛（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之鋁鉛（ HfAl_xO_y ， $(x>0, y>0)$ ）、及之類之任何者的膜的單層結構或分層結構。替代地，可以一種方式形成絕緣層使得藉由高密度電漿處理或熱氧化處理來氧化或氮化半導體區域104之一表面。可例如使用諸如He、Ar、Kr、或Xe之稀有氣體與諸如

氧、氮氧化物、氮、或氫的氣體之混合來執行高密度電漿處理。絕緣層可具有例如大於或等於1nm並少於或等於100nm且較佳大於或等於10nm並少於或等於50nm的厚度。

可使用諸如鋁、銅、鈦、鉭、或鎢之金屬材料來形成包括導電材料之層。可使用諸如多晶矽的半導體材料來形成包括導電材料之層。對於形成包括導電材料之層的方法並無特別限制，且可採用諸如蒸發方法、CVD方法、噴濺方法、或旋塗方法的各種膜形成方法。注意到在此實施例中，說明包括導電材料之層係使用金屬材料所形成的情況之一範例。

之後，選擇性蝕刻絕緣層及包括導電材料之層，以形成閘極絕緣層108及閘極電極110（參見第9C圖）。

接下來，形成覆蓋閘極電極110的絕緣層112（參見第9C圖）。接著，藉由添加磷（P）、砷（As）、或之類到半導體區域104來形成具有淺接面深度之雜質區域114（參見第9C圖）。注意到在此添加磷或砷以形成n通道電晶體；可在形成p通道電晶體的情況中添加諸如硼（B）或鋁（Al）之雜質。藉由形成雜質區域114，在閘極絕緣層108下方的半導體區域104中形成通道形成區域116（參見第9C圖）。在此，可適當設定所添加之雜質的濃度；然而，當半導體元件之大小縮小很多時，較佳增加濃度。在此採用其中於絕緣層112形成之後形成雜質區域114的步驟；替代地，可在雜質區域114形成後形成絕緣層112。

接下來，形成側壁絕緣層118（參見第9D圖）。形成

絕緣層以覆蓋絕緣層 112 並接著加以高各向異性蝕刻，藉此可以自對準方式形成側壁絕緣層 118。此時，較佳部分蝕刻絕緣層 112 以暴露出閘極電極 110 的頂表面及雜質區域 114 的頂表面。注意到為了高整合或之類的目的在某些情況中不形成側壁絕緣層 118。

接著，形成絕緣層以覆蓋閘極電極 110、雜質區域 114、側壁絕緣層 118、及之類。接下來，添加諸如磷（P）、砷（As）、或之類的至絕緣層與雜質區域 114 接觸的區域，以形成高濃度雜質區域 120（參見第 9E 圖）。此後，移除絕緣層，並形成金屬層 122 以覆蓋閘極電極 110、側壁絕緣層 118、高濃度雜質區域 120、及之類的（參見第 9E 圖）。可採用諸如真空蒸發方法、噴濺方法、或旋塗方法之各種膜形成方法來形成金屬層 122。較佳使用與包括在半導體區域 104 中之半導體材料起反應而成爲低電阻金屬化合物的金屬材料來形成金屬層 122。這類金屬材料之範例爲鈦、鉭、鎢、鎳、鈷、及鉑。

接下來，執行熱處理使金屬層 122 與半導體材料起反應。因此，形成與高濃度雜質區域 120 接觸之金屬化合物區域 124（參見第 9F 圖）。注意到當使用多晶矽或之類來形成閘極電極 110 時，亦在與金屬層 122 接觸之閘極電極 110 的一區域中形成金屬化合物區域。

作爲熱處理，可例如採用以閃光燈之照射。雖當然可使用另一熱處理，較佳使用可實現極短時間之熱處理的方法以改善金屬化合物之形成中的化學反應的可控性。注意

到藉由金屬材料與半導體材料之反應形成金屬化合物區域，且其具有充分高的傳導性。金屬化合物區域的形成可充分減少電阻並改善元件特性。注意到在形成金屬化合物區域124之後移除金屬層122。

接著，形成層間絕緣層126及層間絕緣層128以覆蓋於上述步驟中形成之構件（參見第9G圖）。可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料之材料來形成層間絕緣層126及層間絕緣層128。此外，可使用諸如聚醯亞胺或丙烯酸類之有機絕緣材料來形成層間絕緣層126及層間絕緣層128。注意到在此採用層間絕緣層126及層間絕緣層128的堆疊層結構；然而，所揭露的本發明之一實施例不限於此結構。亦可使用單層結構或包括三或更多層的堆疊結構。在形成層間絕緣層128之後，較佳以CMP、蝕刻、或之類來平面化其之表面。

接著，在層間絕緣層中形成到達金屬化合物區域124的開口，並在開口中形成源極或汲極電極130a及源極或汲極電極130b（參見第9H圖）。可以一種方式形成源極或汲極電極130a及源極或汲極電極130b，例如，使得藉由PVC方法、CVD方法、或之類在包括開口的區域中形成導電層，並接著藉由蝕刻處理、CMP處理、或之類移除導電層之部分。

詳言之，可採用一種方法，例如，其中藉由PVD方法在包括開口的區域中形成薄鈦膜，藉由CVD方法在形成薄

氮化鈦膜，並接著形成鎢膜，以予以嵌入開口中。在此，由PVD方法所形成薄鈦膜具有減少形成在其上形成鈦膜之表面上的氧化物膜（諸如自然氧化物膜）的功能，藉此降低與下電極或之類（在此，金屬化合物區域124）的接觸電阻。在鈦膜形成之後所形成之氮化鈦膜具有防止導電材料擴散的阻障功能。可在形成鈦、氮化鈦、或之類的阻障膜之後藉由鍍覆方法形成銅膜。

注意到在其中藉由移除導電層之部分來形成源極或汲極電極130a及源極或汲極電極130b的情況中，較佳執行程序以平面化表面。例如，當在包括開口的一區域中形成薄鈦薄膜或薄氮化鈦薄膜並接著形成鎢薄膜以予以嵌入開口中時，可移除多餘的鎢、鈦、氮化鈦、或之類並可藉由後續的CMP處理來改善表面的平面化。以一種方式平面化包括源極或汲極電極130a及源極或汲極電極130b之表面，使得可在後續步驟中有利地形成電極、佈線、絕緣層、半導體層、及之類。

注意到僅在此顯示與金屬化合物區域124接觸之源極或汲極電極130a及源極或汲極電極130b；然而，亦可在此步驟中形成與閘極電極110及之類接觸的電極。對於用於源極或汲極電極130a及源極或汲極電極130b之材料並無特別限制，且可使用各種導電材料。例如，可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之導電材料。在考慮到稍後執行的熱處理，較佳使用具有夠高耐熱性以承受熱處理的材料來形成源極或汲極電極130a及源極或汲極電極

130b。

經由上述步驟，形成使用包括半導體材料之基板100的電晶體160（參見第9H圖）。包括非氧化物半導體層的材料之電晶體160可以高速操作。

注意到在上述步驟之後可進一步形成電極、佈線、絕緣層、或之類。當佈線具有包括一層間絕緣層及一導電層之堆層結構的多層結構時，可提供高度整合的半導體裝置。

<製造在上部中之電晶體的方法>

接下來，將參照第10A至10E圖說明在層間絕緣層128上方製造電晶體162的步驟。注意到第10A至10E圖繪示在層間絕緣層128上方製造電極、電晶體162、及之類步驟；故省略放置於電晶體162下方之電晶體160及之類細節。

首先，在層間絕緣層128上方形成導電層，以形成源極或汲極電極142a及源極或汲極電極142b（參見第10A圖）。

可藉由典型為噴濺方法之PVD方法或諸如電漿CVD方法的CVD方法來形成導電層。作為導電層的材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬、或鎢之元素；包括任何這些元素作為成分之合金；或之類。可使用選自錳、鎂、鋅、及的任何者，或包括這些之兩或更多者之結合的材料。可使用與選自鈦、鈮、鎢、鉬、鉻、釹、或釷的一元素結合的鋁，或包括這些之兩或更多者之結合的材料。

導電層可具有單層結構或包括兩或更多層之堆疊層結構。例如，可提供鈦膜或氮化鈦膜之單層結構、其中鈦膜堆疊在鋁膜之上的兩層結構、其中鈦膜堆疊在氮化鈦膜之上的兩層結構、其中鈦膜、鋁膜、及鈦膜以此順序堆疊的三層結構、及之類。注意到在導電層具有鈦膜或氮化鈦膜之單層結構的情況中，有可輕易將源極或汲極電極 142a 及源極或汲極電極 142b 處理成錐形的優點。

替代地，可使用導電金屬氧化物來形成導電層。作為導電金屬氧化物，可使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦－氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，其在某些情況中簡稱為 ITO)、氧化銦－氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或其中包括矽或氧化矽的這些金屬氧化物材料的任何者。

較佳蝕刻導電層，使源極或汲極電極 142a 及源極或汲極電極 142b 的端部呈錐形。在此，錐角例如較佳大於或等於 30° 並少於或等於 60° 。執行蝕刻，以使源極或汲極電極 142a 及源極或汲極電極 142b 的端部變成錐形，藉此可改善以後續形成之閘極絕緣層 146 的覆蓋並可防止斷連。

藉由源極或汲極電極 142a 之下邊緣部與源極或汲極電極 142b 之下邊緣部之間的距離來決定電晶體之通道長度 (L)。注意到在針對於通道長度 (L) 少於 25nm 的情況中所使用來形成遮罩之曝光，較佳使用極紫外射線，其之波長短如數奈米至數十奈米。以極紫外線之曝光的解析度為高且焦深為大。有鑑於這些原因，後續形成之電晶體的通道

長度（ L ）可大於或等於 10nm 並少於或等於 1000nm （ $1\mu\text{m}$ ），且電路可以高速操作。此外，可藉由微小化減少半導體裝置之耗電量。

注意到充當基底的絕緣層可設置在層間絕緣層128的上方。可藉由PVD方法、CVD方法、或之類形成絕緣層。

此外，可在源極或汲極電極142a及源極或汲極電極142b的上方形形成絕緣層。藉由設置絕緣層，可減少形成在後續形成之閘極電極與源極或汲極電極142a及142b之間的寄生電容。

之後，形成氧化物半導體層144以覆蓋源極或汲極電極142a及源極或汲極電極142b（參見第10B圖）。

作為氧化物半導體層144，可使用如In-Sn-Ga-Zn-O為基的氧化物半導體之四成分金屬氧化物；如In-Ga-Zn-O為基的氧化物半導體、In-Sn-Zn-O為基的氧化物半導體、In-Al-Zn-O為基的氧化物半導體、Sn-Ga-Zn-O為基的氧化物半導體、Al-Ga-Zn-O為基的氧化物半導體、或Sn-Al-Zn-O為基的氧化物半導體之三成分金屬氧化物；In-Zn-O為基的氧化物半導體、Sn-Zn-O為基的氧化物半導體、Al-Zn-O為基的氧化物半導體、Zn-Mg-O為基的氧化物半導體、Sn-Mg-O為基的氧化物半導體、或In-Mg-O為基的氧化物半導體之兩成分金屬氧化物；In-O為基的氧化物半導體、Sn-O為基的氧化物半導體、Zn-O為基的氧化物半導體、或之類。

尤其，In-Ga-Zn-O為基的氧化物半導體材料當無電場

時具有夠高的電阻且因此可充分減少關閉狀態電流。另外，In-Ga-Zn-O為基的氧化物半導體材料具有高場效遷移率且因此適用於針對半導體裝置所使用之半導體材料。

作為In-Ga-Zn-O為基的氧化物半導體材料之一典型範例，提供由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 所表示者。另外，有以M來取代Ga並由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示的氧化物半導體材料。在此，M標示選自鎵(Ga)、鋁(Al)、鐵(Fe)、鎳(Ni)、錳(Mn)、及鈷(Co)及之類的一或更多金屬元素。例如，M可為Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co、或之類。注意到上述組成僅為從晶體結構獲得之範例。

作為藉由噴濺方法形成氧化物半導體層144用之靶材，較佳使用具有In:Ga:Zn=1:x:y (x大於或等於0，且y大於或等於0.5並少於或等於5) 的組成比例之靶材。例如，可使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比率] (x=1，且y=1) 之組成比例的靶材。替代地，可使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比率] (x=1，且y=0.5) 之組成比例的靶材、具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [莫耳比率] (x=1，且y=2) 之組成比例的靶材、或具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:0:2$ [莫耳比率] (x=0，且y=1) 之組成比例的靶材。

在此實施例中，藉由使用In-Ga-Zn-O為基的金屬氧化物靶材之噴濺方法來形成具有非晶結構的氧化物半導體層144。

金屬氧化物靶材中的金屬氧化物的相對密度為80%或更高；較佳95%或更高；且更佳99.9%或更高。藉由使用具有高相對密度之金屬氧化物靶材，可形成具有密實結構的氧化物半導體層144。

其中形成氧化物半導體層144之周圍環境較佳為稀有氣體（典型為氬）周圍環境、氧周圍環境、或含有稀有氣體（典型為氬）及氧之混合周圍環境。詳言之，較佳使用例如高純度氣體之周圍環境，從其移除諸如氫、水、羥基、或氫化物之雜質，使濃度為1ppm或更低（較佳濃度為10ppb或更低）。

在形成氧化物半導體層144中，例如，將待處理物體保持在維持於減壓下之處理室中且將待處理物體加熱，使待處理物體之溫度高於或等於100℃並低於或等於550℃且較佳高於或等於200℃並低於或等於400℃的溫度。替代地，在形成氧化物半導體層144中之待處理物體之溫度可在室溫。接著，移除處理室中之濕氣，引進從其移除掉氫、水、或之類的噴濺氣體，並使用上述的靶材，以形成氧化物半導體層144。藉由在加熱基板的同時形成氧化物半導體層144，可減少氧化物半導體層144中所含之雜質。此外，可減少噴濺造成的破壞。為了移除處理室中的濕氣，較佳使用捕集真空泵。例如，可使用低溫泵、離子泵、鈦昇華泵、或之類。可使用具有冷阱的渦輪泵。藉由使用低溫泵或之類來執行抽空，可從處理室移除氫、水、及之類，因此可減少氧化物半導體層144中的雜質濃度。

可以下列條件形成氧化物半導體層 144，例如：待處理物體與靶材間的距離為 170mm；壓力為 0.4Pa；直流（DC）電為 0.5kW；且周圍環境為氧（氧：100%）、氬（氬：100%）、或含氧及氬之混合周圍環境。注意到脈衝式直流（DC）電源為較佳，因為可減少塵埃（諸如在沉積時所形成的粉末物質）並且厚度分佈均勻。氧化物半導體層 144 的厚度為大於或等於 1nm 並少於或等於 50nm，較佳大於或等於 1nm 並少於或等於 30nm，更佳是大於或等於 1nm 且小於或等於 10nm。藉由具有這種厚度之氧化物半導體層 144，可抑制伴隨微小化而發生的短通道效應。注意到適當的厚度隨所使用之氧化物半導體材料、半導體裝置之用途、或之類而變；因此，可根據材料、用途、或之類來決定厚度。

注意到在以噴濺方法形成氧化物半導體層 144 之前，較佳藉由其中引進氬氣體並產生電漿的反向噴濺來移除附著至形成表面（如，層間絕緣層 128 的表面）之物質。在此，相較於離子衝擊噴濺靶材之正常噴濺，反向噴濺為一種使離子衝擊欲處理之表面以修改表面的方法。使離子衝擊欲處理之表面的方法之一範例為其中在氬周圍環境中施加高頻電壓至待處理表面以在待處理物體附近產生電漿的方法。注意到取代氬周圍環境，可使用氮周圍環境、氮周圍環境、氧周圍環境、或之類。

之後，較佳於氧化物半導體層 144 上執行熱處理（第一熱處理）。藉由第一熱處理，可移除氧化物半導體層

144中之過多的氫（包括水及羥基），可修改氧化物半導體層之結構，並可減少能隙中的缺陷程度。第一熱處理之溫度為例如高於或等於 300°C 且低於或等於 550°C ，或高於或等於 400°C 且低於或等於 500°C 。

可以一種方式執行熱處理，例如，將待處理物體引進到使用電阻式加熱元件或之類的電爐中，並且接著在 450°C 於氮周圍環境下加熱一小時。在熱處理期間，氧化物半導體層144不暴露至空氣，所以可防止水或氫的進入。

熱處理設備不限於電爐且可為藉由熱輻射或熱傳導從諸如加熱氣體的一媒介加熱待處理物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱待處理物體之設備。GRTA設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理與待處理物體起反應之例如氮的惰性氣體或諸如氬之稀有氣體。

例如，作為第一熱處理，可以下列方式執行GRTA程序。將待處理物體放置在已加熱之惰性氣體中，加熱數分鐘，並從惰性氣體中取出。GRTA程序允許短時的高溫加熱處理。此外，即使溫度超過待處理物體的溫度上限時，仍可採用GRTA程序。注意到惰性氣體可在處理期間切換成包括氧之氣體。這是因為藉由在含氧的周圍環境下執行第一熱處理可減少氧缺乏所造成之能隙中的缺陷程度。

注意到作為惰性氣體周圍環境，較佳使用包括氮或稀有氣體（如氦、氖、或氬）作為其主成分且不含水、氫、及之類的周圍環境。例如，引進熱處理設備中之氮或諸如氦、氖、或氬之稀有氣體的純度為高於或等於6N（99.9999%），較佳高於或等於7N（99.99999%）（亦即，雜質濃度低於或等於1ppm，較佳低於或等於0.1ppm）。

在任何情況中，藉由第一熱處理減少雜質，而獲得i型（本質）或實質i型的氧化物半導體層144。依此，可實現具有優異特性之電晶體。

上述熱處理（第一熱處理）具有移除氫、水、及之類的效果並因此亦可稱為脫水處理、脫氫處理、或之類。亦可在下列時序執行脫水處理或脫氫處理：在形成氧化物半導體層之後，在形成閘極絕緣層之後、在形成閘極電極之後、或之類。可執行這類脫水處理或脫氫處理一次或數次。

接下來，形成接觸氧化物半導體層144的閘極絕緣層146（參見第10C圖）。可藉由CVD方法、噴濺方法、或之類形成閘極絕緣層146。較佳形成閘極絕緣層146以包括氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉭、氧化鉛、氧化釷、矽酸鉛（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之矽酸鉛（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之鋁鉛（ HfAl_xO_y ， $(x>0, y>0)$ ）、或之類。閘極絕緣層146可為單層結構或分層結構。對於閘極絕緣層146的厚度並無特別限制；在半導體裝置之大小縮小的情況中，閘極絕緣層146

較佳為薄以保障電晶體的操作。例如，在使用氧化矽的情況中，厚度可大於或等於1nm並少於或等於100nm，較佳大於或等於10nm並少於或等於50nm。

當如上述中閘極絕緣層為薄時，會導致因隧道效應或之類造成的閘極漏電之問題。為了解決閘極漏電之問題，較佳使用高介電常數（高k）材料來形成閘極絕緣層146，諸如氧化鈣、氧化鋇、氧化釷、矽酸鈣（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之矽酸鈣（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之鋁鈣（ HfAl_xO_y ， $(x>0, y>0)$ ）、或之類。藉由使用高k材料作為閘極絕緣層146，其之厚度可增加以抑制閘極漏電並將電氣特性維持在良好情況中。注意到亦可採用包括高k材料之膜及包括氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、及之類的任何者之膜的堆疊結構。

在形成閘極絕緣層146之後，較佳在惰性惰性氣體周圍環境或氧周圍環境中執行第二熱處理。該熱處理之溫度高於或等於200℃並低於或等於450℃，較佳高於或等於250℃至並低於或等於350℃。例如，在250℃於氮周圍環境中執行該熱處理一小時。第二熱處理可減少電晶體之電氣特性中的變動。此外，在閘極絕緣層146包括氧的情況中，供應氧至氧化物半導體層144以彌補氧化物半導體層144中之氧缺乏，亦可形成i型（本質）或實質i型的氧化物半導體層。

注意到在此實施例中係在形成閘極絕緣層146之後執

行第二熱處理；然而，第二熱處理之時序不限於此。例如，可在形成閘極電極之後執行第二熱處理。此外，可接續執行第一熱處理及第二熱處理，第一熱處理亦可充當第二熱處理，或第二熱處理亦可充當第一熱處理。

接下來，在閘極絕緣層 146 上方，在重疊氧化物半導體層 144 之區域中形成閘極電極 148a 並在重疊源極或汲極電極 142a 的區域中形成電極 148b（參見第 10D 圖）。可以一種方式形成閘極電極 148a 及電極 148b，使得形成導電層在閘極絕緣層 146 上方，並接著選擇性加以蝕刻。可藉由典型為噴濺方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148a 及電極 148b 的導電層。細節與源極或汲極電極 142a 或之類的類似；故可參照其之說明。

接下來，在閘極絕緣層 146、閘極電極 148a、及電極 148b 上方形成層間絕緣層 150 及層間絕緣層 152（參見第 10E 圖）。可以 PVD 方法、CVD 方法、或之類形成層間絕緣層 150 及層間絕緣層 152。可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉬的無機絕緣材料之材料來形成層間絕緣層 150 及層間絕緣層 152。注意到在此實施例中使用層間絕緣層 150 及層間絕緣層 152 的堆疊結構；然而，所揭露之本發明之一實施例不限於此。亦可使用單層結構或包括三或更多層的堆疊結構。亦可採用其中未設置層間絕緣層之結構。

注意到較佳形成層間絕緣層 152 以具有平面化表面。

藉由形成層間絕緣層 152 以具有平面化表面，即使在例如半導體裝置為縮小尺寸之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可藉由諸如化學機械研磨（CMP）處理之方法來平面化層間絕緣層 152。

經由上述步驟，完成包括純化氧化物半導體層 144 的電晶體 162（參見第 10E 圖）。亦完成電容器 164。

第 10E 圖中所示的電晶體 162 包括氧化物半導體層 144、電連接至氧化物半導體層 144 的源極或汲極電極 142a 及源極或汲極電極 142b、覆蓋氧化物半導體層 144、源極或汲極電極 142a、及源極或汲極電極 142b 的閘極絕緣層 146、以及在閘極絕緣層 146 上方的閘極電極 148a。此外，電容器 164 包括源極或汲極電極 142a、氧化物半導體層 144、覆蓋源極或汲極電極 142a 的閘極絕緣層 146、及在閘極絕緣層 146 上方的電極 148b。

在此實施例中所述的電晶體 162 中，氧化物半導體層 144 為高度純化，且因此，其之氫濃度低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ；較佳低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ；或更佳低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。相較於一般矽晶圓的載子密度（近乎 $1 \times 10^{14} / \text{cm}^3$ ），氧化物半導體層 144 的載子密度夠低（例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳低於 $1.45 \times 10^{10} / \text{cm}^3$ ）。依此，電晶體 162 的關閉狀態電流夠小。例如，在室溫的電晶體 162 之關閉狀態電流（在此，每微米通道寬度之電流）為 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （賽普托安培（zeptoampere）為 $1 \times 10^{-21} \text{ A}$ ）或更少，較佳 $10 \text{ zA}/\mu\text{m}$ 或更少。

藉由使用純化且本質的氧化物半導體層 144，可充分減少電晶體的關閉狀態電流。此外，藉由使用這種電晶體，可獲得能夠極長時間保持已儲存的資料之半導體裝置。

如上述，在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

（實施例 5）

在此實施例中，將參照第 11A 及 11B 圖及第 12A 至 12D 圖來說明根據所揭露的本發明之一實施例的半導體裝置之結構及製造方法，其與實施例 4 的那些不同。

<半導體裝置之剖面結構及平面結構>

第 11A 及 11B 圖繪示半導體裝置之結構的一範例。第 11A 圖繪示半導體裝置的剖面圖，且第 11B 圖繪示半導體裝置的平面圖。在此，第 11A 圖對應沿著至第 11B 圖中之線 A1-A2 及線 B1-B2 的剖面。第 11A 及 11B 圖中所示之半導體裝置包括在下部中之包括非半導體裝置的材料之電晶體 160，及在上部中之包括氧化物半導體層的電晶體 162。包括非半導體裝置的材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體層的電晶體由於其之特性可長時間保持電荷。

雖在電晶體兩者在此皆為 n 通道電晶體，當然，可使用 p 通道電晶體。由於所揭露的本發明之技術本質為在電

晶體 162 中使用氧化物半導體層以儲存資料，無需將半導體裝置之特定結構限制在於此所述之結構。

第 11A 及 11B 圖中之電晶體 160 包括設置在包括半導體材料（如矽）之基板 100 中的通道形成區域 116、設置以在其之間夾住通道形成區域 116 之雜質區域 114 和高濃度雜質區域 120（這些區域簡單統稱為雜質區域）、設置在通道形成區域 116 上方之閘極絕緣層 108、設置在閘極絕緣層 108 上方之閘極電極 110、及電連接至雜質區域的源極或汲極電極 130a 和源極或汲極電極 130b。此外，在源極或汲極電極 130a 和源極或汲極電極 130b 上方設置佈線 142c 及佈線 142d。注意到作為半導體材料，可使用例如矽、鍺、矽鍺、碳化矽、砷化鎵、或之類，並較佳使用單晶半導體。

側壁絕緣層 118 設置在閘極電極 110 的一側表面上。高濃度雜質區域 120 放置在當從與基板 100 的表面垂直方向看去不與側壁絕緣層 118 重疊之基板 100 的一區域中。金屬化合物區域 124 設置成接觸高濃度雜質區域 120。元件隔離絕緣層 106 設置在基板 100 上方以圍繞電晶體 160。在閘極電極 110 上方形成開口，且設置層間絕緣層 126 及層間絕緣層 128 以覆蓋電晶體 160。源極或汲極電極 130a 及源極或汲極電極 130b 的每一者經由形成在層間絕緣層 126 及層間絕緣層 128 中的開口電連接至金屬化合物區域 124。亦即，源極或汲極電極 130a 及源極或汲極電極 130b 的每一者經由金屬化合物區域 124 電連接至高濃度雜質區域 120 及雜質區域 114。注意到在整合電晶體 160 或之類的某些情況中不形成

側壁絕緣層 118。

第 11A 及 11B 圖中之電晶體 162 包括設置在層間絕緣層 128 上方之源極或汲極電極 142a 及源極或汲極電極 142b、電連接至源極或汲極電極 142a 及源極或汲極電極 142b 的氧化物半導體層 144、覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及島狀氧化物半導體層 144 的閘極絕緣層 146、及設置在閘極絕緣層 146 上方的閘極電極 148a 以重疊島狀氧化物半導體層 144。

在此，源極或汲極電極 142a 直接形成在閘極電極 110 之上，藉此下部中之電晶體 160 與上部中之電晶體 162 彼此電連接。亦即，在此實施例中所述的半導體裝置具有一種結構，其中，在實施例 4 中所述的半導體裝置中，在上部中的電晶體 162 係形成在下部中之電晶體 160 的上方，從下部移除在閘極電極 110 的頂表面上方的部分。

注意到較佳藉由充分移除如氫之雜質或充分供應氧來純化氧化物半導體層 144。詳言之，氧化物半導體層 144 中之氫濃度例如低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ；較佳低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ；更佳低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。注意到藉由二次離子質譜（SIMS）來測量氧化物半導體層 144 中的氫濃度。因此，在充分減少氫濃度來高度純化氧化物半導體層且藉由充分供應氧來減少氧缺乏所導致之能隙中的缺陷程度的氧化物半導體層 144 中，載子濃度低於 $1 \times 10^{12} / \text{cm}^3$ ；較佳低於 $1 \times 10^{11} / \text{cm}^3$ ；更佳低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，在室溫的關閉狀態電流（在此，每微米通道寬度

之電流) 為 $100\text{ zA}/\mu\text{m}$ (1 zA ((賽普托安培 (zeptoampere) 為 $1 \times 10^{-21}\text{ A}$) 或更少, 較佳 $10\text{ zA}/\mu\text{m}$ 或更少。藉由使用這類 i 型 (本質) 或實質 i 型的氧化物半導體, 可獲得具有優異的關閉狀態電流特性之電晶體 162。

電容器 164 包括源極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146、及電極 148b。亦即, 源極或汲極電極 142a 作用為電容器 164 的一電極, 且電極 148b 作用為電容器 164 的另一電極。

注意到在第 11A 及 11B 圖中之電容器 164 中, 堆疊氧化物半導體層 144 及閘極絕緣層 146, 藉此可充分確保在源極或汲極電極 142a 與電極 148b 之間的絕緣。

注意到在電晶體 162 及電容器 164 之中, 源極或汲極電極 142a 及源極或汲極電極 142b 的端部較佳為錐形。在此, 錐角例如較佳大於或等於 30° 並少於或等於 60° 。注意到錐角意指, 當從與剖面垂直 (與基板表面垂直之平面) 之方向看該層, 由具有錐形形狀之層 (如源極或汲極電極 142a) 的側表面及底表面所形成之傾斜角度。使源極或汲極電極 142a 及源極或汲極電極 142b 的端部變成錐形, 藉此可改善以氧化物半導體層 144 的覆蓋並可防止因為階梯造成之斷連。

此外, 在電晶體 162 及電容器 164 上方設置層間絕緣層 150, 並在層間絕緣層 150 上方設置層間絕緣層 152。

<製造半導體裝置之方法>

接下來，將說明製造該半導體裝置之方法的一範例。此後，將參照第12A至12D圖來說明在形成電晶體160之後所執行的步驟及製造在上部中之電晶體162的方法。藉由與實施例4中所述類似的方法來製造下部中之電晶體160，並可參照實施例4中的說明。

首先藉由與實施例4中所述類似的方法來製造下部中之電晶體160，並接著移除在閘極電極110的頂表面上方之電晶體160的一部分（參見第12A圖）。藉由在下部中之電晶體160上執行研磨處理（如CMP處理）直到暴露出閘極電極110的頂表面來移除在閘極電極110的頂表面上方的電晶體160之部分。因此，藉由CMP處理移除在在閘極電極110上方之層間絕緣層126及128及源極及汲極電極130a及130b。此時，平面化包括層間絕緣層126及128及源極及汲極電極130a及130b的表面，使得可在後續步驟中有利地形成電極、佈線、絕緣層、半導體層、及之類。另外，實施例4中所述的電極130c會被CMP處理完全移除，因此無需形成。

依照此方式藉由CMP處理暴露出閘極電極110的頂表面，藉此閘極電極110及源極或汲極電極142a可直接互相接觸；依此，電晶體160及電晶體162可輕易互相電連接。

接下來，在層間絕緣層126及128的上方形成導電層並加以選擇性蝕刻，以形成源極或汲極電極142a、源極或汲極電極142b、佈線142c、及佈線142d（參見第12B圖）。在此，形成源極或汲極電極142a、佈線142c、及佈線142d

，以分別直接接觸閘極電極 110、源極或汲極電極 130a、及源極或汲極電極 130b。

在此，針對形成源極或汲極電極 142a、源極或汲極電極 142b、佈線 142c、及佈線 142d之導電層，可使用與實施例 4中所述類似的材料並可參照實施例 4的說明。亦可以和實施例 4中所述之方法類似的方式執行導電層的蝕刻，並可參照實施例 4的說明。

此外，如同在實施例 4的情況中般，在源極或汲極電極 142a及源極或汲極電極 142b上方形成絕緣層。藉由提供絕緣層，可減少在後續形成的閘極電極與源極及汲極電極 142a及 142b之間所形成的寄生電容。

接下來，形成氧化物半導體層以覆蓋源極或汲極電極 142a、源極或汲極電極 142b、佈線 142c、及佈線 142d，並選擇性蝕刻氧化物半導體層，以形成接觸源極或汲極電極 142a及源極或汲極電極 142b的氧化物半導體層 144（參見第 12C 圖）。

可用與實施例 4中所述類似的材料及方法來形成氧化物半導體層。因此，針對氧化物半導體層之材料及形成方法可參照實施例 4。

藉由諸如使用遮罩的蝕刻之方法將依照此方式形成之氧化物半導體層處理成島狀，以形成島狀氧化物半導體層 144。

作為氧化物半導體層之蝕刻，可採用乾蝕刻或濕蝕刻。當然，可結合使用乾蝕刻及濕蝕刻。可根據材料適當選

擇蝕刻條件（諸如，蝕刻氣體、蝕刻劑、蝕刻時間、及溫度），而可將氧化物半導體層蝕刻成希望的形狀。

此外，較佳以與實施例4中所述類似的方式使氧化物半導體層144受到熱處理（第一熱處理）。可藉由實施例4中所述之方法來形成第一熱處理，並可參照實施例4。可藉由第一熱處理減少雜質，以獲得i型（本質）或實質i型的氧化物半導體層144。依此，可實現具有優異特性的電晶體。注意到可在蝕刻氧化物半導體層之前或在蝕刻氧化物半導體層以處理成島狀形狀之後執行第一熱處理。

接下來，形成接觸氧化物半導體層144的閘極絕緣層146（參見第12C圖）。

可使用與實施例4中所述那些類似的材料及方法來形成閘極絕緣層146。因此，針對閘極絕緣層146之材料及形成方法，可參照實施例4。

在形成閘極絕緣層146之後，較佳以與實施例4中所述類似的方式在惰性氣體周圍環境或氧周圍環境中執行第二熱處理。可藉由實施例4中所述之方法執行第二熱處理，並可參照實施例4。第二熱處理可減少電晶體之電氣特性中的變動。此外，在閘極絕緣層146包括氧的情況中，供應氧至氧化物半導體層144以彌補氧化物半導體層144中之氧缺乏，亦可形成i型（本質）或實質i型的氧化物半導體層。

注意到在此實施例中係在形成閘極絕緣層146之後執行第二熱處理；然而，第二熱處理之時序不限於此。例如

，可在形成閘極電極之後執行第二熱處理。此外，可接續執行第一熱處理及第二熱處理，第一熱處理亦可充當第二熱處理，或第二熱處理亦可充當第一熱處理。

接下來，在閘極絕緣層 146 上方，在重疊氧化物半導體層 144 之區域中形成閘極電極 148a 並在重疊源極或汲極電極 142a 的區域中形成電極 148b（參見第 12D 圖）。可以一種方式形成閘極電極 148a 及電極 148b，使得形成導電層在閘極絕緣層 146 上方，並接著選擇性加以蝕刻。可藉由典型為噴濺方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148a 及電極 148b 的導電層。細節類似源極或汲極電極 142a 或之類的那些；故可參照其之說明。

接下來，以與實施例 4 中所述類似的方式，在閘極絕緣層 146、閘極電極 148a、及電極 148b 上方形成層間絕緣層 150 及層間絕緣層 152。可使用與實施例 4 中所述類似的材料及方法來形成層間絕緣層 150 及層間絕緣層 152。因此，針對層間絕緣層 150 及層間絕緣層 152 之材料及形成方法，可參照實施例 4。

注意到較佳形成層間絕緣層 152 以具有平面化表面。藉由形成層間絕緣層 152 以具有平面化表面，即使在例如半導體裝置為縮小尺寸之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可藉由諸如化學機械研磨（CMP）處理之方法來平面化層間絕緣層 152。

經由上述步驟，完成包括純化氧化物半導體層 144 的

電晶體 162（參見第 12A 至 12D 圖）。亦完成電容器 164。

第 12D 圖中所示的電晶體 162 包括氧化物半導體層 144、電連接至氧化物半導體層 144 的源極或汲極電極 142a 及源極或汲極電極 142b、覆蓋氧化物半導體層 144、源極或汲極電極 142a、及源極或汲極電極 142b 的閘極絕緣層 146、以及在閘極絕緣層 146 上方的閘極電極 148a。此外，電容器 164 包括源極或汲極電極 142a、氧化物半導體層 144、覆蓋源極或汲極電極 142a 的閘極絕緣層 146、及在閘極絕緣層 146 上方的電極 148b。

<半導體裝置之剖面結構及平面結構>

接下來，將參照第 25A 及 25B 圖及第 26A 至 26D 圖來說明根據所揭露的本發明之一實施例的半導體裝置之結構，其與第 11A 及 11B 圖中的不同，及其製造方法。

第 25A 及 25B 圖繪示半導體裝置之結構的一範例。第 25A 圖繪示半導體裝置的剖面圖，且第 25B 圖繪示半導體裝置的平面圖。在此，第 25A 圖對應沿著至第 25B 圖中之線 E1-E2 及線 F1-F2 的剖面。第 25A 及 25B 圖中所示之半導體裝置包括在下部中之包括非半導體裝置的材料之電晶體 160，及在上部中之包括氧化物半導體層的電晶體 163。在第 25A 及 25B 圖中之在下部中之電晶體 160 的結構與第 11A 及 11B 圖中的類似且不詳細說明。

氧化物半導體層 144、源極或汲極電極 142a、源極或汲極電極 142b、閘極絕緣層 146、及閘極電極 148a 係包括

在第 25A 及 25B 圖中所示的電晶體 163 及第 11A 及 11B 圖中所示的電晶體 162 兩者中。電晶體 163 及電晶體 162 之間的差別在於氧化物半導體層 144 連接至源極或汲極電極 142a 及源極或汲極電極 142b 的位置。亦即，在電晶體 163 中，氧化物半導體層 144 的上部分接觸源極或汲極電極 142a 及源極或汲極電極 142b。

在第 25A 及 25B 圖中，氧化物半導體層 144 可藉由改善其上形成氧化物半導體層 144 的層間絕緣層 128 之平面度而具有均勻厚度；因此可改善電晶體 163 的特性。

源極或汲極電極 142a、閘極絕緣層 146、及電極 148b 係包括在第 25A 及 25B 圖中所示的電容器 165 及第 11A 及 11B 圖中所示的電容器 164 兩者中。電容器 165 及電容器 164 的差別在於電容器 165 不包括氧化物半導體層 144。

電容器 165 不包括氧化物半導體層 144，藉此，在使用相同材料形成電晶體 162 的閘極絕緣層 146 且與電晶體 163 的閘極絕緣層 146 具有相同厚度之情況中，電容器 165 可具有比電容器 164 更大的電容值。

此外，在電晶體 163 及電容器 165 上方設置層間絕緣層 150，並在層間絕緣層 150 上方設置層間絕緣層 152。

<製造半導體裝置之方法>

接下來，將說明製造該半導體裝置之方法的一範例。此後，將參照第 26A 至 26D 圖來說明在形成下部中之電晶體 160 之後製造在上部中之電晶體 163 的方法。可藉由與實

施例 4 中所述類似的方法來製造下部中之電晶體 160，並可參照實施例 4 中的說明。

首先藉由與實施例 4 中所述類似的方法來製造下部中之電晶體 160，並接著移除在閘極電極 110 的頂表面上方之電晶體 160 的一部分（參見第 26A 圖）。藉由在下部中之電晶體 160 上執行研磨處理（如 CMP 處理）直到暴露出閘極電極 110 的頂表面來移除在閘極電極 110 的頂表面上方的電晶體 160 之部分。因此，藉由 CMP 處理移除在在閘極電極 110 上方之層間絕緣層 126 及 128 及源極及汲極電極 130a 及 130b。此時，藉由平面化層間絕緣層 126 及 128 及源極及汲極電極 130a 及 130b 的表面（其上後續將形成氧化物半導體層），氧化物半導體層 144 可具有均勻厚度。

接下來，在平面化的層間絕緣層 126 及 128 及源極及汲極電極 130a 及 130b 上方形成氧化物半導體層，並選擇性蝕刻氧化物半導體層，以形成氧化物半導體層 144（參見第 26A 圖）。

可用與實施例 4 中所述類似的材料及方法來形成氧化物半導體層。因此，針對氧化物半導體層之材料及形成方法可參照實施例 4。

藉由諸如使用遮罩的蝕刻之方法將依照此方式形成之氧化物半導體層處理成島狀，以形成島狀氧化物半導體層 144。針對處理氧化物半導體層之方法可參照實施例 4。

此外，較佳以與實施例 4 中所述類似的方式使氧化物半導體層 144 受到熱處理（第一熱處理）。可藉由實施例 4

中所述之方法來形成第一熱處理，並可參照實施例4。可藉由第一熱處理減少雜質，以獲得i型（本質）或實質i型的氧化物半導體層144。依此，可實現具有優異特性的電晶體。注意到可在蝕刻氧化物半導體層之前或在蝕刻氧化物半導體層以處理成島狀形狀之後執行第一熱處理。

接下來，可在氧化物半導體層144及之類上方形成並選擇性蝕刻導電層，以形成源極或汲極電極142a、源極或汲極電極142b、及佈線142c及142d（參見第26B圖）。在此，形成源極或汲極電極142a、佈線142c、及佈線142d以分別直接接觸閘極電極110、源極或汲極電極130a、及源極或汲極電極130b。

在此，針對形成源極或汲極電極142a、源極或汲極電極142b、佈線142c、及佈線142d之導電層，可使用與實施例4中所述類似的材料並可參照實施例4的說明。亦可以和實施例4中所述之方法類似的方式執行導電層的蝕刻，並可參照實施例4的說明。

在上述方式中，藉由CMP處理藉由移除在閘極電極110上方之層間絕緣層126及128的部份來暴露出閘極電極110的頂表面，藉此閘極電極110及源極或汲極電極142a可互相直接接觸；依此，電晶體160與電晶體163可輕易地互相電連接。

接下來，形成接觸氧化物半導體層144的閘極絕緣層146（參見第26C圖）。

可使用與實施例4中所述那些類似的材料及方法來形

成閘極絕緣層 146。因此，針對閘極絕緣層 146 之材料及形成方法，可參照實施例 4。

在形成閘極絕緣層 146 之後，較佳以與實施例 4 中所述類似的方式在惰性氣體周圍環境或氧周圍環境中執行第二熱處理。可藉由實施例 4 中所述之方法執行第二熱處理，並可參照實施例 4。第二熱處理可減少電晶體之電氣特性中的變動。此外，在閘極絕緣層 146 包括氧的情況中，供應氧至氧化物半導體層 144 以彌補氧化物半導體層 144 中之氧缺乏，亦可形成 i 型（本質）或實質 i 型的氧化物半導體層。

注意到在此實施例中係在形成閘極絕緣層 146 之後執行第二熱處理；然而，第二熱處理之時序不限於此。例如，可在形成閘極電極 148a 之後執行第二熱處理。此外，可接續執行第一熱處理及第二熱處理，第一熱處理亦可充當第二熱處理，或第二熱處理亦可充當第一熱處理。

接下來，在閘極絕緣層 146 上方，在重疊氧化物半導體層 144 之區域中形成閘極電極 148a 並在重疊源極或汲極電極 142a 的區域中形成電極 148b（參見第 26C 圖）。可以一種方式形成閘極電極 148a 及電極 148b，使得形成導電層在閘極絕緣層 146 上方，並接著選擇性加以蝕刻。可藉由典型為噴濺方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148a 及電極 148b 的導電層。細節類似源極或汲極電極 142a 或之類的那些；故可參照其之說明。

接下來，以與實施例4中所述類似的方式，在閘極絕緣層146、閘極電極148a、及電極148b上方形成層間絕緣層150及層間絕緣層152。可使用與實施例4中所述類似的材料及方法來形成層間絕緣層150及層間絕緣層152。因此，針對層間絕緣層150及層間絕緣層152之材料及形成方法，可參照實施例4。

注意到較佳形成層間絕緣層152以具有平面化表面。藉由形成層間絕緣層152以具有平面化表面，即使在例如半導體裝置為縮小尺寸之情況中，可在層間絕緣層152上方有利地形成電極、佈線、或之類。可藉由諸如化學機械研磨（CMP）處理之方法來平面化層間絕緣層152。

經由上述步驟，完成包括純化氧化物半導體層144的電晶體163（參見第26D圖）。亦完成電容器165。

第26D圖中所示的電晶體163包括氧化物半導體層144、電連接至氧化物半導體層144的源極或汲極電極142a及源極或汲極電極142b、覆蓋氧化物半導體層144、源極或汲極電極142a、及源極或汲極電極142b的閘極絕緣層146、以及在閘極絕緣層146上方的閘極電極148a。此外，第26D圖中所示的電容器165包括源極或汲極電極142a、閘極絕緣層146、及在閘極絕緣層146上方的電極148b。

在此實施例中所述的電晶體162及電晶體163中，純化氧化物半導體層144並且其之氫濃度例如低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ；較佳低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ；更佳低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。相較於一般矽晶圓的載子密度

(近乎 $1 \times 10^{14}/\text{cm}^3$)，氧化物半導體層 144 的載子密度夠低 (例如，低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳低於 $1.45 \times 10^{10}/\text{cm}^3$)。依此，關閉狀態電流夠小。例如，在室溫的電晶體 162 及電晶體 163 之關閉狀態電流 (在此，每微米通道寬度之電流) 為 $100 \text{ zA}/\mu\text{m}$ (1 zA ((賽普托安培 (zeptoampere) 為 $1 \times 10^{-21} \text{ A}$) 或更少，較佳 $10 \text{ zA}/\mu\text{m}$ 或更少。

藉由使用純化且本質的氧化物半導體層 144，可充分減少電晶體的關閉狀態電流。此外，藉由使用這種電晶體，可獲得能夠極長時間保持已儲存的資料之半導體裝置。

如上述，在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

(實施例 6)

在此實施例中，將參照第 13A 及 13B 圖、第 14A 至 14D 圖、及第 15A 至 15C 圖來說明根據所揭露的本發明之一實施例的半導體裝置之結構及製造方法，其與實施例 4 及 5 的那些不同。

<半導體裝置之剖面結構及平面結構>

第 13A 及 13B 圖繪示半導體裝置之結構的一範例。第 13A 圖繪示半導體裝置的剖面圖，且第 13B 圖繪示半導體裝置的平面圖。在此，第 13A 圖對應沿著至第 13B 圖中之線 C1-C2 及線 D1-D2 的剖面。在第 13B 圖的平面圖中，為了避

免複雜而省略一些構件，如源極或汲極電極 154 及佈線 156。第 13A 及 13B 圖中所示之半導體裝置包括在下部中之包括非半導體裝置的材料之電晶體 160，及在上部中之包括氧化物半導體層的電晶體 162。包括非半導體裝置的材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體層的電晶體由於其之特性可長時間保持電荷。

雖在電晶體兩者在此皆為 n 通道電晶體，當然，可使用 p 通道電晶體。由於所揭露的本發明之技術本質為在電晶體 162 中使用氧化物半導體層以儲存資料，無需將半導體裝置之特定結構限制在於此所述之結構。

第 13A 及 13B 圖中之半導體裝置與以上實施例中所述的半導體裝置的差別在於半導體裝置之平面佈局。在此實施例中，設置電晶體 162 及電容器 164 以不重疊電晶體 160。藉由採用這種平面佈局，可有高整合度。例如，假設最小處理尺寸為 F ，則一記憶胞所佔之面積可為 $15F^2$ 至 $25F^2$ 。

第 13A 及 13B 圖中之半導體裝置與以上實施例中所述的半導體裝置的差別還在於不在電晶體 160 中設置側壁絕緣層 118。亦即，第 13A 及 13B 圖中之半導體裝置不包括側壁絕緣層。由於未形成側壁絕緣層，不形成雜質區域 114。因此，在其中不設有側壁絕緣層 118 的情況中，相較於設有側壁絕緣層的情況，高整合為容易。另外，相較於設有側壁絕緣層 118 的情況，可簡化製程。

第 13A 及 13B 圖中之半導體裝置以上實施例中所述的半導體裝置的差別還在於在電晶體 160 中設有層間絕緣層 125

。亦即，第13A及13B圖中之半導體裝置包括層間絕緣層125。藉由使用包括氫的絕緣層作為層間絕緣層125，可供應氫至電晶體160以改善電晶體160的特性。作為層間絕緣層125，例如，可提供包括氫的氮化矽層，其係藉由電漿CVD方法形成。此外，藉由使用其中充分減少氫之絕緣層作為層間絕緣層126，可防止會不利影響電晶體162的氫被包括在電晶體162中。作為層間絕緣層126，例如，可提供藉由噴濺方法所形成的氮化矽層。當採用這種結構時，可充分改善電晶體160及電晶體162的特性。

第13A及13B圖中之半導體裝置以上實施例中所述的半導體裝置的差別還在於在電晶體162中設置絕緣層143a及絕緣層143b。亦即，第13A及13B圖中之半導體裝置包括絕緣層143a及絕緣層143b。藉由如此設置絕緣層143a及絕緣層143b，可減少由閘極電極148a及源極或汲極電極142a（或閘極電極148a及源極或汲極電極142b）所形成之所謂的閘極電容以增加電晶體162的操作速度。

此外，第13A及13B圖中之半導體裝置以上實施例中所述的半導體裝置的差別還在於電晶體160的源極或汲極電極154設置成接觸佈線156。

注意到在實施例5中，直接在閘極電極110上形成源極或汲極電極142a，藉此在下部的電晶體160與在上部的電晶體162互相電連接。以這種結構，相較於其中額外設置電極及線的情況，可增加整合程度。另外，可簡化製程。

雖在此實施例中說明包括所有差異之結構，可採用包

括這些差異的任一者之結構。

<製造半導體裝置之方法>

接下來，將說明製造該半導體裝置之方法的一範例。此後，將參照第14A至14D圖及第15A至15C圖來說明在形成電晶體160之後所執行的步驟及製造在上部中之電晶體162的方法。藉由與實施例4中所述類似的方法來製造下部中之電晶體160。細節可參照實施例4。注意到在此實施例中形成三個層間絕緣層125、126、及128以覆蓋電晶體160（參見第9G圖）。另外，在此實施例中之電晶體160的製造程序中並未形成源極或汲極電極130a及源極或汲極電極130b（參見第9H圖）；然而，為了方便，即使其中未形成源極或汲極電極130a及源極或汲極電極130b之結構也稱為電晶體160。

首先藉由與實施例4中所述類似的方法來製造下部中之電晶體160，並接著移除在閘極電極110的頂表面上方之電晶體160的一部分。針對移除步驟，可使用諸如化學機械研磨之（CMP）處理之研磨處理。因此，移除在閘極電極110的頂表面上方之層間絕緣層125、層間絕緣層126、及層間絕緣層128的部份。注意到充分平面化已受到研磨處理之表面，藉此可在後續步驟中有利地形成電極、佈線、絕緣層、半導體層、及之類。

接著，在閘極電極110、層間絕緣層125、層間絕緣層126、及層間絕緣層128的上方形形成導電層，並選擇性蝕刻

導電層，以形成源極或汲極電極 142a 及源極或汲極電極 142b（參見第 14A 圖）。在此，形成源極或汲極電極 142a 直接接觸閘極電極 110。

可使用與實施例 4 中所述類似的材料來形成用於形成源極或汲極電極 142a 及源極或汲極電極 142b 之導電層。此外，亦可以和實施例 4 中所述之類似的方法蝕刻導電層。細節可參照實施例 4。

接下來，形成絕緣層以覆蓋源極或汲極電極 142a 及源極或汲極電極 142b，並加以選擇性蝕刻，以分別在源極或汲極電極 142a 及源極或汲極電極 142b 上方形成絕緣層 143a 及絕緣層 143b（參見 14B 圖）。

藉由設置絕緣層 143a 及絕緣層 143b，可減少形成在後續形成之閘極電極與源極及汲極電極 142a 及 142b 之間的寄生電容。

之後，形成氧化物半導體層 144 以覆蓋源極或汲極電極 142a 及源極或汲極電極 142b，並在氧化物半導體層 144 上方形成閘極絕緣層 146（參見第 14C 圖）。

可用與實施例 4 中所述類似的材料及方法來形成氧化物半導體層 144。此外，較佳使氧化物半導體層 144 受到熱處理（第一熱處理）。細節可參照實施例 4。

可使用與實施例 4 中所述那些類似的材料及方法來形成閘極絕緣層 146。在形成閘極絕緣層 146 之後，較佳在惰性氣體周圍環境或氧周圍環境中執行第二熱處理。細節可參照實施例 4。

接著，在閘極絕緣層 146 上方，在重疊電晶體 162 之一區域的區域中形成閘極電極 148a，其充當通道形成區域，並在重疊源極或汲極電極 142a 的區域中形成電極 148b（參見第 14D 圖）。

可以一種方式形成閘極電極 148a 及電極 148b，使得形成導電層在閘極絕緣層 146 上方，並接著選擇性加以蝕刻。可藉由典型為噴濺方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148a 及電極 148b 的導電層。細節類似源極或汲極電極 142a 或之類的那些；故可參照其之說明。

接下來，在閘極絕緣層 146、閘極電極 148a、及電極 148b 上方形成層間絕緣層 150 及層間絕緣層 152（參見第 15A 圖）。可使用與實施例 4 中所述類似的材料及方法來形成層間絕緣層 150 及層間絕緣層 152。細節可參照實施例 4。

注意到較佳形成層間絕緣層 152 以具有平面化表面。藉由形成層間絕緣層 152 以具有平面化表面，即使在例如半導體裝置為縮小尺寸之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可藉由諸如化學機械研磨（CMP）處理之方法來平面化層間絕緣層 152。

之後，選擇性蝕刻層間絕緣層 125、層間絕緣層 126、層間絕緣層 128、氧化物半導體層 144、閘極絕緣層 146、層間絕緣層 150、及層間絕緣層 152，以形成到達電晶體 160 之金屬化合物區域 124 的開口（參見第 15B 圖）。作為

蝕刻，可使用乾蝕刻或濕蝕刻；針對微製造，較佳使用乾蝕刻。

形成源極或汲極電極 154 以嵌入開口中。接著，形成佈線 156 以連接至源極或汲極電極 154（參見第 15C 圖）。

可以一種方式形成源極或汲極電極 154，例如，使得藉由 PVD 方法、CVD 方法、或之類在包括開口的區域中形成導電層，並接著藉由蝕刻處理、CMP 處理、或之類移除導電層之部分。詳言之，可採用一種方法，例如，其中藉由 PVD 方法在包括開口的區域中形成薄鈦膜，藉由 CVD 方法在形成薄氮化鈦膜，並接著形成鎢膜，以予以嵌入開口中。在此，由 PVD 方法所形成薄鈦膜具有減少形成在其上形成鈦膜之表面上的氧化物膜（諸如自然氧化物膜）的功能，藉此降低與下電極或之類（在此，金屬化合物區域 124）的接觸電阻。在鈦膜形成之後所形成之氮化鈦膜具有防止導電材料擴散的阻障功能。可在形成鈦、氮化鈦、或之類的阻障膜之後藉由鍍覆方法形成銅膜。

可以一種方式形成佈線 156，使得形成接觸源極或汲極電極 154 之導電層並接著選擇性加以蝕刻。可藉由典型為噴濺方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成導電層。細節類似源極或汲極電極 142a 或之類的那些。

經由上述步驟，完成包括電晶體 160、電晶體 162 及電容器 164 的半導體裝置。

第 16A 及 16B 圖繪示實施例 3 中所述之半導體裝置（對應於第 13A 及 13B 圖中之半導體裝置）的剖面圖及平面圖。

在此，第16A圖對應沿著至第16B圖中之線C1-C2及線D1-D2的剖面。在第16B圖的平面圖中，爲了避免複雜而省略一些構件，如源極或汲極電極154。此外，以虛線指示佈線156a的一部份。此外，在第16B圖中，不僅繪示包括電晶體160、電晶體162、及電容器164之記憶胞168，還繪示與記憶胞168之一記憶胞。

如第13A及13B圖中所示之半導體裝置中般，第16A及16B圖中所示之半導體裝置包括在下部中之包括非半導體裝置的材料之電晶體160，及在上部中之包括氧化物半導體層的電晶體162。包括非半導體裝置的材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體層的電晶體由於其之特性可長時間保持電荷。

雖所有電晶體在此皆爲n通道電晶體，當然，可使用p通道電晶體。由於所揭露的本發明之技術本質爲在電晶體162中使用氧化物半導體層以儲存資料，無需將半導體裝置之特定結構限制在於此所述之結構。

在第16A及16B圖中所示之半導體裝置中，可在層間絕緣層152上方形成佈線156a及佈線156b，其與第13A及13B圖中所示之半導體裝置不同。佈線156a經由電極158b連接至源極或汲極電極142b並經由源極或汲極電極158a連接至金屬化合物區域124b。此外，佈線156b經由源極或汲極電極154連接至金屬化合物區域124a。

在此，以一種方式在形成層間絕緣層128之後形成源極或汲極電極158a，使得選擇性蝕刻層間絕緣層128、層

間絕緣層 126、及層間絕緣層 125以形成一開口，形成導電層，並選擇性蝕刻導電層，其為與形成源極或汲極電極 154類似的方式。如此形成之源極或汲極電極 158a直接接觸源極或汲極電極 142b。

可以一種方式在形成層間絕緣層 152之後形成電極 158b，使得選擇性蝕刻層間絕緣層 152、層間絕緣層 150、閘極絕緣層 146、氧化物半導體層 144、及絕緣層 143b以形成一開口，形成導電層，並選擇性蝕刻導電層，其為與形成源極或汲極電極 154類似的方式。注意到源極或汲極電極 154及電極 158b可在相同步驟或不同步驟中形成。此外，可形成源極或汲極電極 154以具有和源極或汲極電極 158a、源極或汲極電極 142b、及電極 158b類似的結構。

在此，包括在第 16A及 16B圖中所示之半導體裝置之記憶胞 168中的電晶體 160、電晶體 162、及電容器 164分別對應至包括在實施例 3中所述之記憶胞 1200中之第一電晶體、第二電晶體、及電容器。另外，在第 16A及 16B圖中所示之佈線 156a、佈線 156b、閘極電極 148a、及電極 148b分別對應至在實施例 3中所述之位元線 BL、源極線 SL、信號線 S、及字線 WL。

如實施例 3中般，在第 16A及 16B圖中所示之半導體裝置之記憶胞 168中，對應至位元線 BL的佈線 156a亦作用為供應電位至記憶胞 168的浮置閘極部之佈線，所以可減少每記憶胞之佈線的數量。因此，可減少記憶胞的面積並且可增加每半導體裝置之單位面積的記憶體容量。

此外，如第 16A 及 16B 圖中所示，對應至源極線 SL 的佈線 156b 不僅連接至記憶胞 168 還連接至與記憶胞 168 相鄰的記憶胞，所以可減少源極線 SL 的數量近乎一半。因此，可減少記憶胞的面積並且可增加每半導體裝置之單位面積的記憶體容量。

針對半導體裝置之平面佈局，例如，可採用第 17 圖中所示之平面佈局還有第 16B 圖中所示之平面佈局。第 17 圖中所示之平面佈局為使用 SOI 基板作為包括半導體材料之基板 100 的情況之一範例。

由於在第 17 圖中所示之半導體裝置中使用 SOI 基板作為包括半導體材料之基板 100，可將半導體層 166 圖案化成島狀。另外，將氧化物半導體層 144 圖案化成島狀。

注意到形成半導體層 166 以重疊佈線 156a 之一部分及佈線 156b 之一部分，形成源極或汲極電極 142a 以重疊氧化物半導體層 144 之一部分，並形成源極或汲極電極 142b 以重疊佈線 156a 之一部分。

以這種平面佈局，可減少半導體裝置之記憶胞的面積並可增加每半導體裝置之單位面積的記憶體容量。

在此實施例中所述的半導體裝置中，例如，電晶體 162 及電容器 164 重疊電晶體 160，電晶體 160 不包括側壁絕於層，在閘極電極 110 上直接形成源極或汲極電極 142a；因此可有高整合。此外，可簡化製程。

此外，在此實施例中所述的半導體裝置中，分別使用含氫之絕於層及具有減少氫濃度之絕緣作為層間絕緣層

125及層間絕緣層126；因此，可改善電晶體160及162的電氣特性。由於絕緣層143a及143b的緣故，減少所謂的閘極電容並因此，增加電晶體162的操作速度。

在此實施例中所述的上述特徵得以提供具有明顯優異特性之半導體裝置。

如上述，在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

（實施例7）

在此實施例中，參照第18A至18F圖說明將上述任何實施例中所述之半導體裝置應用於電子裝置的情況。在此實施例中，上述半導體裝置的情況係應用至諸如電腦、行動電話（亦稱為行動電話機或行動電話裝置）、可攜式資訊終端機（包括可攜式遊戲機、音頻再生裝置、及之類）、數位相機、數位視訊攝影機、電子紙、電視機（亦稱為電視或電視接收器）之電子裝置。

第18A圖顯示膝上型電腦，包括殼體701、殼體702、顯示部703、鍵盤704、及之類的形成。在上述任何實施例中所述的半導體裝置係設置在殼體701及殼體702之中。因此，膝上型電腦可以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量。

第18B圖為可攜式資訊終端機（個人數位助理(PDA)）。主體711設有顯示部713、外部界面715、操作鈕714、及

之類。此外，亦設置操作可攜式資訊終端機或之類的手寫筆 712。在上述任何實施例中所示的半導體裝置係設置在主體 711 中。因此，可攜式資訊終端機可以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量。

第 18C 圖顯示安裝電子紙的電子書讀取器 720。電子書讀取器 720 具有殼體 721 及殼體 723 的兩殼體。殼體 721 及殼體 723 分別設有顯示部 725 及顯示部 727。殼體 721 及殼體 723 藉由鉸鍊 737 連接並以鉸鍊 737 作軸而予以打開及關閉。此外，殼體 721 設有電源開關 731、操作鍵 733、揚聲器 735、及之類。殼體 721 及殼體 723 之至少一者設有在上述任何實施例中所示的半導體裝置。因此，電子書讀取器可以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量。

第 18D 圖顯示包括殼體 740 及殼體 741 之兩殼體的行動電話。此外，在於第 18D 圖中顯示成展開狀態中的殼體 740 及殼體 741 可藉由滑動而位移，使得其中之一重疊在另一者上方；因此，可減少行動電話的尺寸，使行動電話適合攜帶。殼體 741 設有顯示板 742、揚聲器 743、麥克風 744、指示裝置 746、相機透鏡 747、外部連結端子 748、及之類。殼體 740 設有用於充電行動電話的太陽能電池 749、外部記憶體槽 750、及之類。顯示板 742 具有觸碰板功能。顯示成影像之複數操作鍵 745 在第 18D 圖中以虛線繪示。另外，天線係納入殼體 741 中。殼體 740 及 741 之至少一者設有在上述任何實施例中所示的半導體裝置。因此，行動電話可

以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量。

第18E圖為包括主體761、顯示部767、目鏡763、操作開關764、顯示部765、電池766、及之類的數位相機。在上述實施例中所示的半導體裝置係設置在主體761中。因此，數位相機可以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量。

第18F圖為包括殼體771、顯示部773、支架775、及之類的電視裝置770。可藉由殼體771之操作開關或分開的遙控器780操作電視機770。針對殼體771及遙控器780設置在上述任何實施例中所示的半導體裝置。因此，電視裝置可以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量。

因此，在上述任何實施例中所示的半導體裝置係設置在此實施例中所述的電子裝置中。因此，可實現具有低耗電量的電子裝置。

[範例1]

檢驗根據所揭露之本發明的一實施例之半導體裝置可重寫資料的次數。在此範例中，參照第19圖說明檢驗結果。

用於檢驗之半導體裝置為具有第1A-1圖中之電路組態的半導體裝置。在此，在對應於電晶體162之電晶體中使用氧化物半導體，並使用具有0.33pF之電容值的電容器作

為對應至電容器 164 的電容器。

藉由比較初始記憶體窗寬度及在重複保持及寫入資料預定次數之後的時刻之記憶體窗寬度來執行檢驗。藉由施加 0V 或 5V 至對應於第 1A-1 圖中之第三佈線的佈線並施加 0V 或 5V 至對應於第 1A-1 圖中之第四佈線的佈線來保持及寫入資料。當對應於第四佈線的佈線之電位為 0V 時，對應於電晶體 162 之電晶體（寫入電晶體）為關閉；故保持供應至浮置閘極部 FG 的電位。當對應於第四佈線的佈線之電位為 5V 時，對應於電晶體 162 之電晶體為啓通；故供應對應於第三佈線的佈線之電位至浮置閘極部 FG。

記憶體窗寬度為記憶體裝置之特性的指標之一。在此，記憶體窗寬度代表不同記憶體狀態之間的曲線（ V_{cg} - I_d 曲線）中之位移量 ΔV_{cg} ，該些曲線顯示在對應於第五佈線的佈線之電位 V_{cg} 及對應於電晶體 160 之電晶體（讀取電晶體）的汲極電流 I_d 之間的關係。不同記憶體狀態意指施加 0V 至浮置閘極部 FG 之狀態（此後稱為低狀態）及施加 5V 至浮置閘極部 FG 之狀態（此後稱為高狀態）。亦即，藉由掃掠在低狀態中及高狀態中之電位 V_{cg} 來檢查記憶體窗寬度。在此，在低狀態中在高於或等於 -2V 並低於或等於 5V 之範圍中掃略電位 V_{cg} ，並在高狀態中在高於或等於 -7V 並低於或等於 0V 之範圍中掃略電位 V_{cg} 。在這兩情況中，滿足電位 $V_{ds}=1V$ 。

第 19 圖顯示初始記憶體窗寬度及在執行寫入 1×10^{19} 次之後的時刻之記憶體窗寬度的檢驗結果。注意到在第 19 圖

中，水平軸顯示 $V_{cg}(V)$ 且垂直軸顯示 $I_d(A)$ 。實線代表在第一次寫入之後的特性曲線，且虛線代表在寫入執行 1×10^{19} 次之後的特性曲線。在實線與虛線兩者中，左曲線代表在高狀態中之特性曲線，且右曲線代表在低狀態中之特性曲線。根據第 19 圖，在寫入資料 1×10^{19} 次之後記憶體窗寬度並未改變，此意味著至少在該時期中，半導體裝置並未惡化。

如上述，在根據所揭露的本發明之一實施例之半導體裝置中，即使在儲存並寫入資料 1×10^{19} 次之後，特性並未改變，且對抗重寫之電阻非常高。亦即，根據所揭露之本發明的一實施例，可說是可實現具有顯著可靠的之半導體裝置。

[範例 2]

在此範例中，說明藉由測量包括純化氧化物半導體的電晶體之關閉狀態電流所得之結果。

在此範例中，包括純化氧化物半導體係電晶體根據實施例 4 所形成。首先，考量到包括純化氧化物半導體的電晶體之非常小關閉狀態電流而備置具有夠寬的 $1\mu m$ 之通道寬度的電晶體，並測量關閉狀態電流。第 20 圖顯示藉由測量具有 $1\mu m$ 之通道寬度的電晶體所得之結果。在第 20 圖中，水平軸顯示閘極電壓 V_G 且垂直軸顯示汲極電流 I_D 。在汲極電壓 V_D 為 $+1V$ 或 $+10V$ 且閘極電壓 V_G 在 $-5V$ 至 $-20V$ 的範圍內的情況中，發現薄膜電晶體之關閉狀態電流小於或等於 $1 \times$

10^{-13} A，此為偵測極限。此外，發現到電晶體之關閉狀態電流密度小於或等於 $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$)。

接下來將說明藉由更準確地測量包括純化氧化物半導體的電晶體之關閉狀態電流所得之結果。如上述，發現到包括純化氧化物半導體的電晶體之關閉狀態電流小於或等於 1×10^{-13} A，此為測量設備的測量極限。在此，將說明使用用於特性評估之元件來測量更準確的關閉狀態電流（該值小於或等於上述測量中之測量設備的偵測極限）所得的結果。

首先，參照第21圖說明用於測量電流之方法中之特性評估用的元件。

在第21圖中之特性評估用之元件中，並聯連接三個測量系統800。測量系統800包括電容器802、電晶體804、電晶體805、電晶體806、及電晶體808。使用根據實施例4所製造之電晶體作為電晶體804、及電晶體808的各者。

在測量系統800中，電晶體804之源極端子及汲極端子之一、電容器802的端子之一、電晶體805之源極端子及汲極端子之一電連接至電源（用於供應V2）。電晶體804之源極端子及汲極端子之另一者、電晶體808之源極端子及汲極端子之一、電容器802的端子之另一者、電容器805的閘極端子彼此電連接。電晶體808之源極端子及汲極端子之另一者、電晶體806之源極端子及汲極端子之一、及電晶體806之閘極端子電連接至電源（用於供應V1）。電晶體805之源極端子及汲極端子之另一者及電晶體806之源極

端子及汲極端子之另一彼此電連接以輸出輸出電位 V_{out} 。

供應用於控制電晶體 804 之啓通狀態及關閉狀態的電位 V_{ext_b2} 至電晶體 804 的閘極端子。供應用於控制電晶體 808 之啓通狀態及關閉狀態的電位 V_{ext_b1} 至電晶體 808 的閘極端子。從該輸出端子輸出電位 V_{out} 。

接下來，將說明使用測量系統來測量電流之方法。

首先，將概略說明其中供應電位差以測量關閉狀態電流的初始時期。在初始時期中，輸入用於啓通電晶體 808 之電位 V_{ext_b1} 至電晶體 808 的閘極端子，並供應電位 $V1$ 至節點 A，其為電連接至電晶體 804 之源極端子及汲極端子之另一者的節點（亦即，電連接至電晶體 808 之源極端子及汲極端子之一、電容器 802 的端子之另一者、電容器 805 的閘極端子的節點）。在此，電位 $V1$ 為例如高電位。電晶體 804 為關閉。

之後，輸入用於啓通電晶體 808 之電位 V_{ext_b1} 至電晶體 808 的閘極端子，以關閉電晶體 808。在關閉電晶體 808 之後，將電位 $V1$ 設定至低。電晶體 804 仍然為關閉。電位 $V2$ 與電位 $V1$ 的相同。因此，完成初始時期。在完成初始時期的狀態中，在節點 A 與電晶體 804 之源極端子及汲極端子之一之間產生電位差，並且亦在節點 A 與電晶體 808 之源極端子及汲極端子之另一之間產生電位差。因此，電荷稍微流動經過電晶體 804 及電晶體 808。換言之，產生關閉狀態電流。

接下來，將概略說明關閉狀態電流的測量時期。在測

量時期中，將電晶體 804 之源極端子及汲極端子之一的電位（亦即，電位 V_2 ）和電晶體 808 之源極端子及汲極端子之另一者（亦即，電位 V_1 ）設定至低並加以固定。另一方面，在測量時期中不固定節點 A 的電位（節點 A 在浮置狀態中）。依此，隨時間流逝，電荷流經電晶體 804 且在節點 A 保持電荷量。此外，當保持在節點 A 之電荷量改變時，節點 A 之電位改變。亦即，輸出端子的輸出電位 V_{out} 亦改變。

第 22 圖顯示產生電位差之初始時期中及在隨後測量時期中的電位間的關係之細節（時序圖）。

在初始時期中，首先，將電位 V_{ext_b2} 設定至會啓通電晶體 804 之電位（高電位）。故，節點 A 的電位來到 V_2 ，亦即，低電位（ V_{SS} ）。之後，將電位 V_{ext_b2} 設定至會關閉電晶體 804 之電位（低電位），藉此關閉電晶體 804。接著，將電位 V_{ext_b1} 設定至會啓通電晶體 808 之電位（高電位）。因此，節點 A 的電位來到 V_1 ，亦即，高電位（ V_{DD} ）。之後，將電位 V_{ext_b1} 設定至會啓通電晶體 808 之電位。依此，將節點 A 帶到浮置狀態中並完成初始時期。

在隨後的測量時期中，將電位 V_1 及電位 V_2 個別設定至電荷流至節點 A 並從節點 A 流出之電位。在此，電位 V_1 及電位 V_2 為低電位（ V_{SS} ）。注意到在測量輸出電位 V_{out} 之時序，必須操作輸出電路；因此，在某些情況中暫時將 V_1 設定至高電位（ V_{DD} ）。使 V_1 為高電位（ V_{DD} ）的時期為短，以不影響測量。

當如上述般產生電位差以開始測量時期時，隨時間流逝，保持在節點 A 的電荷量會改變，且依此，節點 A 之電位會變化。這意味著電晶體 805 之閘極端子的電位會變化，並因此輸出端子的輸出電位 V_{out} 亦隨時間流逝而變。

將於下說明依據所得的輸出電位 V_{out} 來計算關閉狀態電流之方法。

在計算關閉狀態電流之前預先獲得節點 A 之電位 V_A 與輸出電位 V_{out} 之間的關係。因此，可依據輸出電位 V_{out} 獲得節點 A 之電位 V_A 。從上述關係，可藉由下列等式表示節點 A 之電位 V_A 為輸出電位 V_{out} 的函數。

[等式 1]

$$V_A = F(V_{out})$$

由下列等式，使用節點 A 之電位 V_A 、電連接至節點 A 的電容 C_A 、及常數 (const) 來表示節點 A 之電荷 Q_A 。在此，電連接至節點 A 的電容 C_A 為電容器 802 之電容和其他電容的總和。

[等式 2]

$$Q_A = C_A V_A + const$$

由於節點 A 的電流 I_A 為流至節點 A 的電荷（或從節點 A 流來之電荷）之時間導數，藉由下列等式來表示節點 A 的電流 I_A 。

[等式 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

故可依據電連接至節點 A 的電容 C_A 及輸出端子的輸出

電位 V_{out} 獲得節點 A 的電流 I_A 。

藉由上述方法，可計算出在關閉之電晶體的源極與汲極之間流動的漏電流（關閉狀態電流）。

在此範例中，使用純化氧化物半導體來製造電晶體 804 電晶體 808。電晶體之通道長度（ L ）對通道寬度（ W ）的比例為 $L/W=1/5$ 。在平行配置的測量系統 800 中，電容器 802 的電容值分別為 100fF、1pF、及 3pF。

注意到根據此範例之測量， V_{DD} 為 5V 且 V_{SS} 為 0V。在測量時期，將電位 V_1 基本上設定至 V_{SS} 並僅在每 10 至 300 秒的 100 毫秒的週期中設定成 V_{DD} ，並測量 V_{out} 。此外，用於流經元件之電流 I 之計算中的 Δt 約為 30,000 秒。

第 23 圖顯示輸出電位 V_{out} 及電流測量中經過的時間 $Time$ 之間的關係。根據第 23 圖，電位隨時間流逝而變。

第 24 圖顯示依據上述電流測量所計算之關閉狀態電流。注意到第 24 圖顯示源極－汲極電壓 V 與關閉狀態電流 I 之間的關係。根據第 24 圖，當源極－汲極電壓為 4V 時，關閉狀態電流約為 40zA/ μm 。當源極－汲極電壓為 3.1V 時，關閉狀態電流小於或等於 10zA/ μm 。注意到 1 zA 等同於 10^{-21} A。

根據此實例，確認在包括純化氧化物半導體的電晶體中之關閉狀態電流可夠小。

此申請案依據在 2009 年 12 月 28 日向日本專利局申請之日本專利申請案序號 2009-298891、在 2010 年 1 月 15 日向日本專利局申請之日本專利申請案序號 2010-007519、及在

2010年7月15日向日本專利局申請之日本專利申請案序號
2010-160946，其全部內容以引用方式併於此。

【圖式簡單說明】

在附圖中：

第1A-1及1A-2圖為半導體裝置之電路圖；

第2圖為半導體裝置之電路圖；

第3圖為時序圖；

第4圖為半導體裝置之電路圖；

第5圖為半導體裝置之電路圖；

第6圖為半導體裝置之電路圖；

第7圖為時序圖；

第8A及8B圖為半導體裝置之剖面圖及平面圖；

第9A至9H圖為製造半導體裝置之程序的剖面圖；

第10A至10E圖為製造半導體裝置之程序的剖面圖；

第11A及11B圖為半導體裝置之剖面圖及平面圖；

第12A至12D圖為製造半導體裝置之程序的剖面圖；

第13A及13B圖為半導體裝置之剖面圖及平面圖；

第14A至14D圖為製造半導體裝置之程序的剖面圖；

第15A至15C圖為製造半導體裝置之程序的剖面圖；

第16A及16B圖為半導體裝置之剖面圖及平面圖；

第17圖為半導體裝置之平面圖；

第18A至18F圖為各包括半導體裝置之電子裝置；

第19圖為顯示記憶體窗寬度之測量結果的圖；

第 20 圖 為 顯 示 包 括 氧 化 物 半 導 體 之 電 晶 體 的 特 性 之 圖

；

第 21 圖 為 評 估 包 括 氧 化 物 半 導 體 之 電 晶 體 的 特 性 之 電
路 圖 ；

第 22 圖 為 評 估 包 括 氧 化 物 半 導 體 之 電 晶 體 的 特 性 之 時
序 圖 ；

第 23 圖 為 顯 示 包 括 氧 化 物 半 導 體 之 電 晶 體 的 特 性 之 圖

；

第 24 圖 為 顯 示 包 括 氧 化 物 半 導 體 之 電 晶 體 的 特 性 之 圖

；

第 25 A 及 25 B 圖 為 半 導 體 裝 置 之 剖 面 圖 及 平 面 圖 ； 以 及

第 26 A 至 26 D 圖 為 製 造 半 導 體 裝 置 之 程 序 的 剖 面 圖 。

【 主 要 元 件 符 號 說 明 】

100：基 板

102：保 護 層

104：半 導 體 區 域

106：元 件 隔 離 絕 緣 層

108：閘 極 絕 緣 層

110：閘 極 電 極

112：絕 緣 層

114：雜 質 區 域

116：通 道 形 成 區 域

118：側 壁 絕 緣 層

120：高濃度雜質區域

122：金屬層

124：金屬化合物區域

124a：金屬化合物區域

124b：金屬化合物區域

125：層間絕緣層

126：層間絕緣層

128：層間絕緣層

130a：源極或汲極電極

130b：源極或汲極電極

130c：電極

142a：源極或汲極電極

142b：源極或汲極電極

142c：佈線

142d：佈線

143a：絕緣層

143b：絕緣層

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：電極

150：層間絕緣層

152：層間絕緣層

154：源極或汲極電極

156：佈線

156a：佈線

156b：佈線

158a：源極或汲極電極

158b：電極

160：電晶體

162：電晶體

163：電晶體

164：電容器

165：電容器

166：半導體層

168：記憶胞

701：殼體

702：殼體

703：顯示部

704：鍵盤

711：主體

712：手寫筆

713：顯示部

714：操作鈕

715：外部界面

720：電子書讀取器

721：殼體

723：殼體

725 : 顯示部
727 : 顯示部
731 : 電源開關
733 : 操作鍵
735 : 揚聲器
737 : 鉸鍊
740 : 殼體
741 : 殼體
742 : 顯示板
743 : 揚聲器
744 : 麥克風
745 : 操作鍵
746 : 指示裝置
747 : 相機透鏡
748 : 外部連結端子
749 : 太陽能電池
750 : 外部記憶體槽
761 : 主體
763 : 目鏡
764 : 操作開關
765 : 顯示部
766 : 電池
767 : 顯示部
770 : 電視裝置

771：殼體

773：顯示部

775：支架

780：遙控器

800：測量系統

802：電容器

804：電晶體

805：電晶體

806：電晶體

808：電晶體

1100：記憶胞

1111：驅動器電路

1112：驅動器電路

1113：驅動器電路

1114：驅動器電路

1200：記憶胞

1211：驅動器電路

1212：驅動器電路

1213：驅動器電路

1214：驅動器電路

附4)

空白頁





七、申請專利範圍：

1. 一種半導體裝置，包含：

一源極線；

一位元線；

一信號線；

一字線；

記憶胞；

經由一第一切換元件電連接至該源極線並經由一第二切換元件電連接至該位元線之一第一驅動器電路；

經由一第三切換元件電連接至該源極線之一第二驅動器電路；

電連接至該信號線之一第三驅動器電路；以及

電連接至該字線之一第四驅動器電路，

其中該些記憶胞之一包含：

包含一第一閘極電極、一第一源極電極、及一第一汲極電極之一第一電晶體；

包含一第二閘極電極、一第二源極電極、及一第二汲極電極之一第二電晶體；以及

包含一第一端子及一第二端子之一電容器，

其中該第二電晶體包含一氧化物半導體材料，

其中該第一閘極電極、該第二源極電極及該第二汲極電極之一、及該第一端子彼此電連接，

其中該源極線、該第一源極電極、及該第二源極電極及該第二汲極電極之另一者彼此電連接，

其中該位元線及該第一汲極電極彼此電連接，

其中該信號線及該第二閘極電極彼此電連接，以及

其中該字線及該第二端子彼此電連接。

2.一種半導體裝置，包含：

一源極線；

一位元線；

一信號線；

一字線；

記憶胞；

經由一第一切換元件電連接至該源極線並經由一第二
切換元件電連接至該位元線之一第一驅動器電路；

經由一第三切換元件電連接至該位元線之一第二驅動
器電路；

電連接至該信號線之一第三驅動器電路；以及

電連接至該字線之一第四驅動器電路，

其中該些記憶胞之一包含：

包含一第一閘極電極、一第一源極電極、及一第
一汲極電極之一第一電晶體；

包含一第二閘極電極、一第二源極電極、及一第
二汲極電極之一第二電晶體；以及

包含一第一端子及一第二端子之一電容器，

其中該第二電晶體包含一氧化物半導體材料，

其中該第一閘極電極、該第二源極電極及該第二汲極
電極之一、及該第一端子彼此電連接，

其中該源極線及該第一源極電極彼此電連接，

其中該位元線、該第一汲極電極、及該第二源極電極
及該第二汲極電極之另一者彼此電連接，

其中該信號線及該第二閘極電極彼此電連接，以及

其中該字線及該第二端子彼此電連接。

3. 一種半導體裝置，包含：

n 條（ n 為自然數）位元線；

l 條（ l 為大於或等於 $n/2$ 的最小自然數）源極線；

m 條（ m 為自然數）信號線；

m 條字線；

$m \times n$ 個記憶胞；

經由一第一切換元件電連接至該 l 條源極線之一並經由一第二切換元件電連接至該 n 條位元線之一的一第一驅動器電路；

經由一第三切換元件電連接至該 n 條位元線之該一者的第二驅動器電路；

電連接至該 m 條信號線之一的一第三驅動器電路；以及

電連接至該 m 條字線之一的一第四驅動器電路，

其中該 $m \times n$ 個記憶胞之一包含：

包含一第一閘極電極、一第一源極電極、及一第一汲極電極之一第一電晶體；

包含一第二閘極電極、一第二源極電極、及一第二汲極電極之一第二電晶體；以及

包含一第一端子及一第二端子之一電容器，

其中該第二電晶體包含一氧化物半導體材料，

其中該第一閘極電極、該第二源極電極及該第二汲極電極之一、及該第一端子彼此電連接，

其中該 l 條源極線之一及該第一源極電極彼此電連接，

其中該 n 條位元線之一、該第一汲極電極、及該第二源極電極及該第二汲極電極之另一者彼此電連接，

其中該 m 條信號線之一及該第二閘極電極彼此電連接，以及

其中該 m 條字線之一及該第二端子彼此電連接，

其中該 l 條源極線之一電連接至該 $m \times n$ 個記憶胞之另一者的一第一源極電極，且該 $m \times n$ 個記憶胞之該另一者與該 $m \times n$ 個記憶胞之該一者相鄰，以及

其中該 $m \times n$ 個記憶胞之該另一者的一第一汲極電極電連接至該 n 條位元線的另一者。

4.如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，其中該第一電晶體包含非一氧化物半導體的一半導體材料。

5.如申請專利範圍第 1 或 2 項所述之半導體裝置，其中該些記憶胞並聯連接在該源極線及該位元線之間。

6.如申請專利範圍第 3 項所述之半導體裝置，

其中該第二切換元件組態成在關閉該第三切換元件期間被啟通，且該第三切換元件組態成在關閉該第二切換元

件期間被啟通。

7.如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該第一電晶體包含：

包含非一氧化物半導體的一半導體材料之一通道形成區域；

設置使得該通道形成區域夾在其間之雜質區域；

在該通道形成區域上方的一閘極絕緣層；

在該閘極絕緣層上方的該第一閘極電極；以及

電連接至該些雜質區域的該第一源極電極及該第一汲極電極。

8.如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該第二電晶體包含：

該第二源極電極及該第二汲極電極；

包含該氧化物半導體材料並電連接至該第二源極電極及該第二汲極電極之一通道形成區域；

在該通道形成區域上方的一閘極絕緣層；以及

在該閘極絕緣層上方的該第二閘極電極。

9.如申請專利範圍第 8 項所述之半導體裝置，

其中該電容器包含：

該第二源極電極或該第二汲極電極；

包含該氧化物半導體材料的一氧化物半導體層；

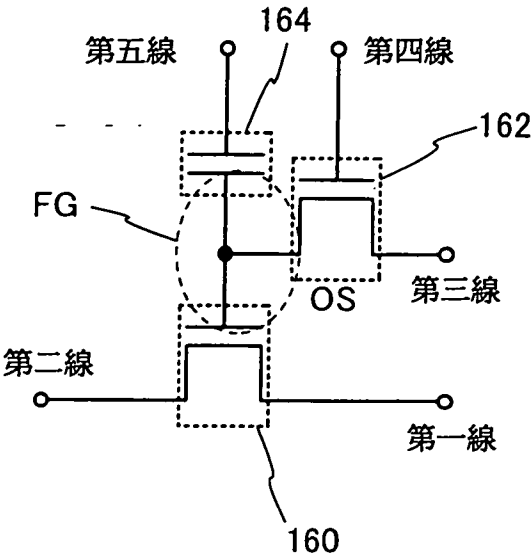
該閘極絕緣層；以及

在該閘極絕緣層上方之該電容器的一電極。

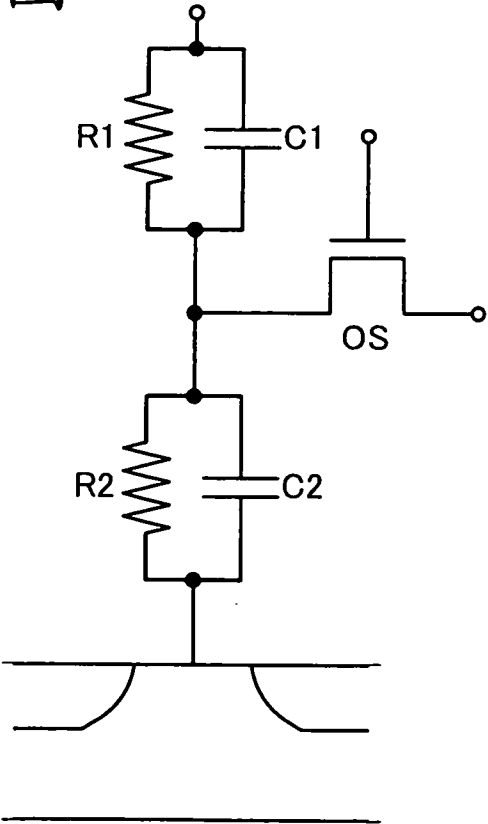
10.如申請專利範圍第 4 項所述之半導體裝置，其中使用單晶矽作為該半導體材料。

11.如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，其中該第一電晶體在比該第二電晶體更高的速度操作。

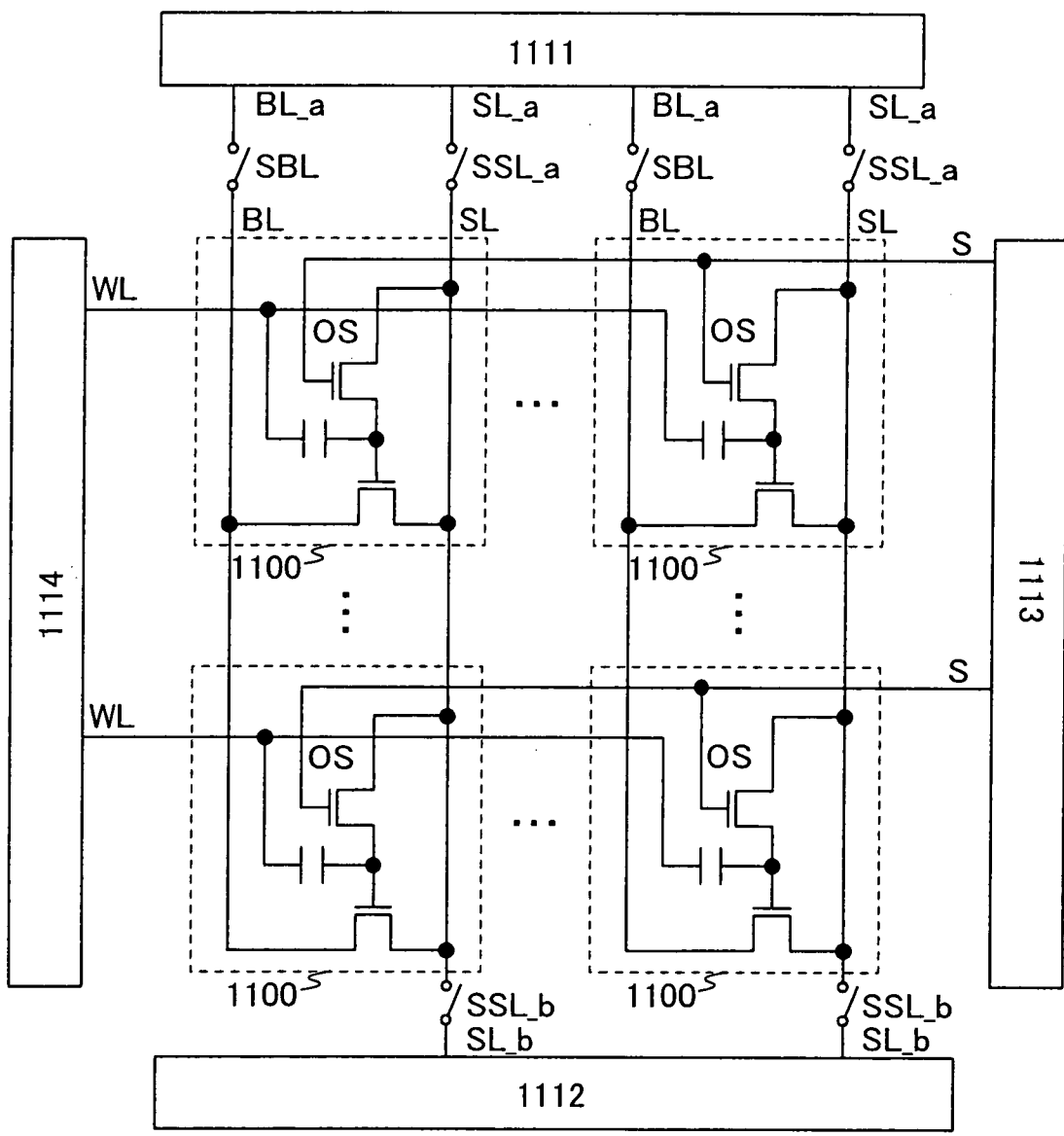
第1A-1圖



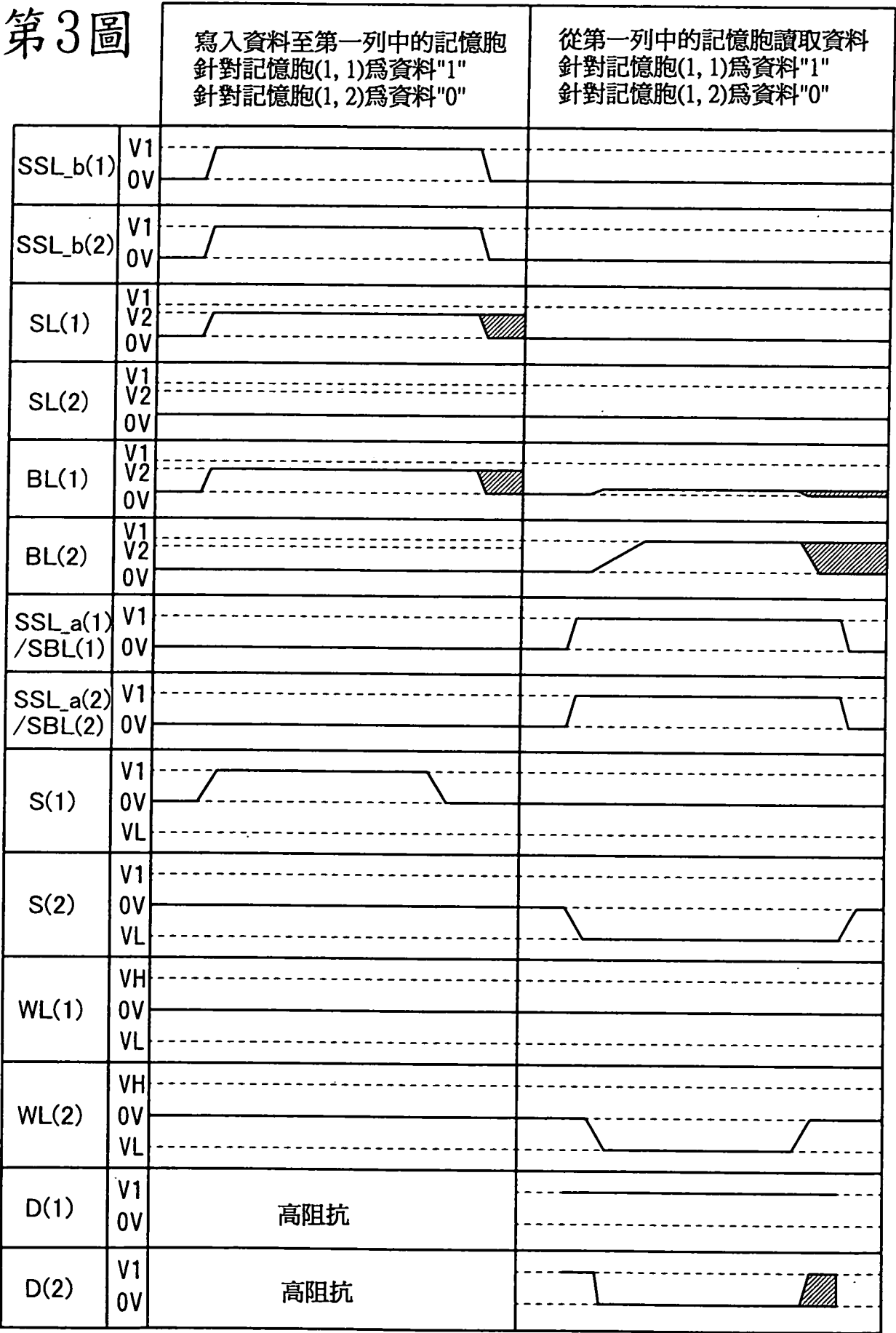
第1A-2圖



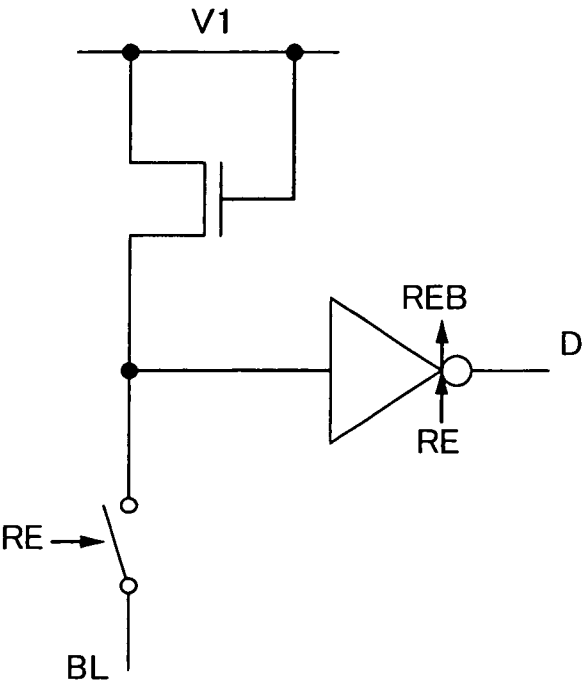
第2圖



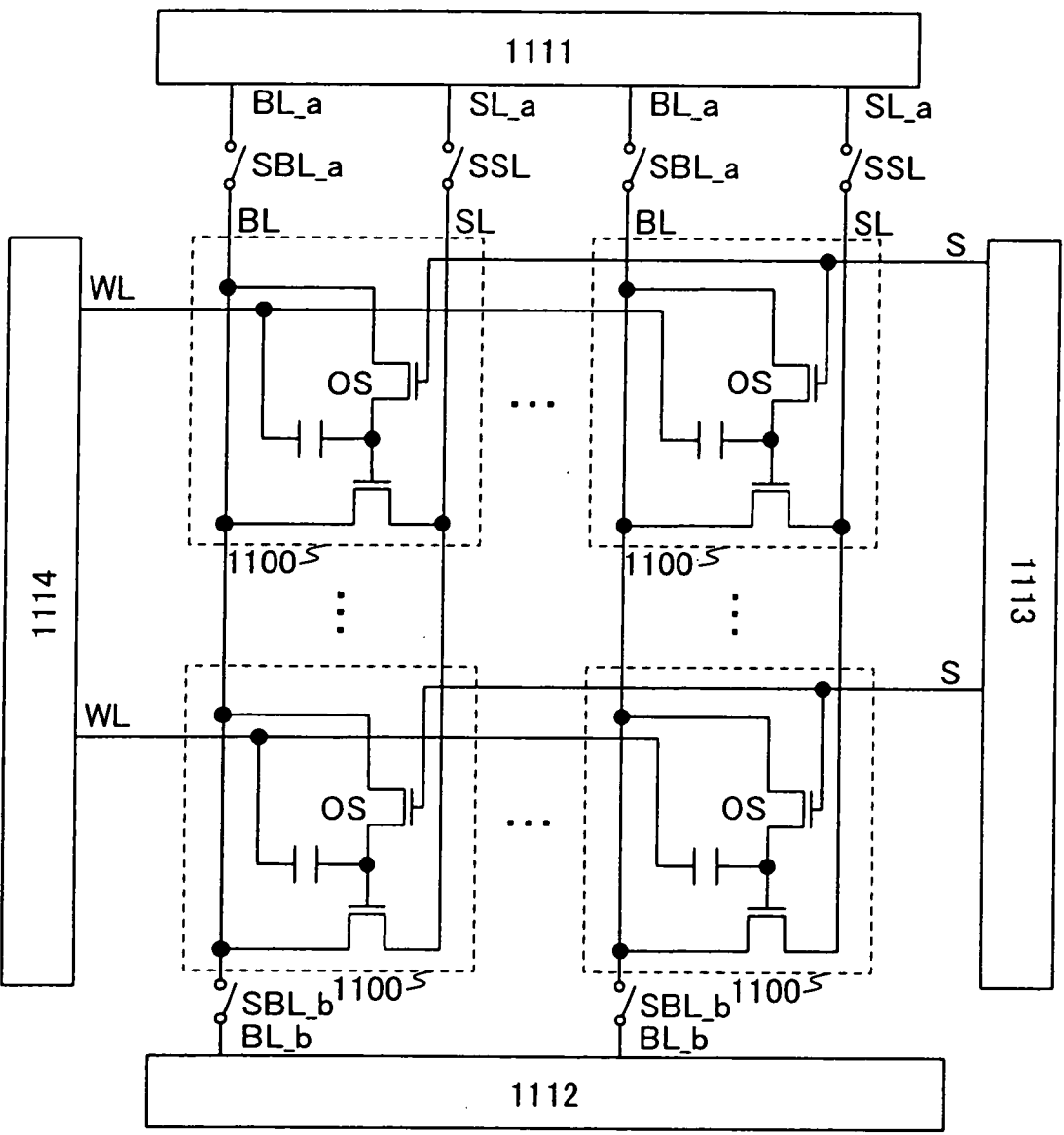
第3圖



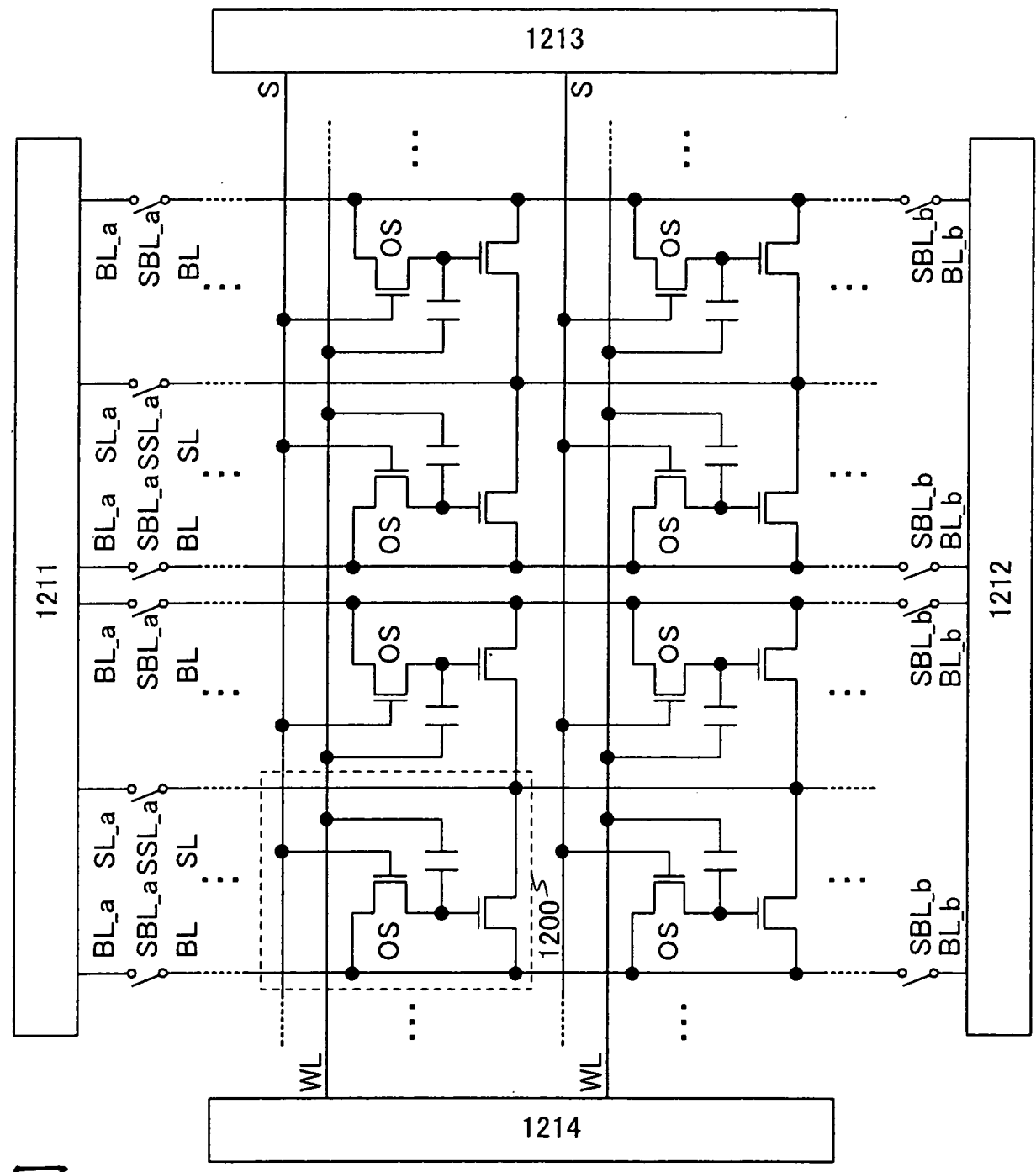
第4圖



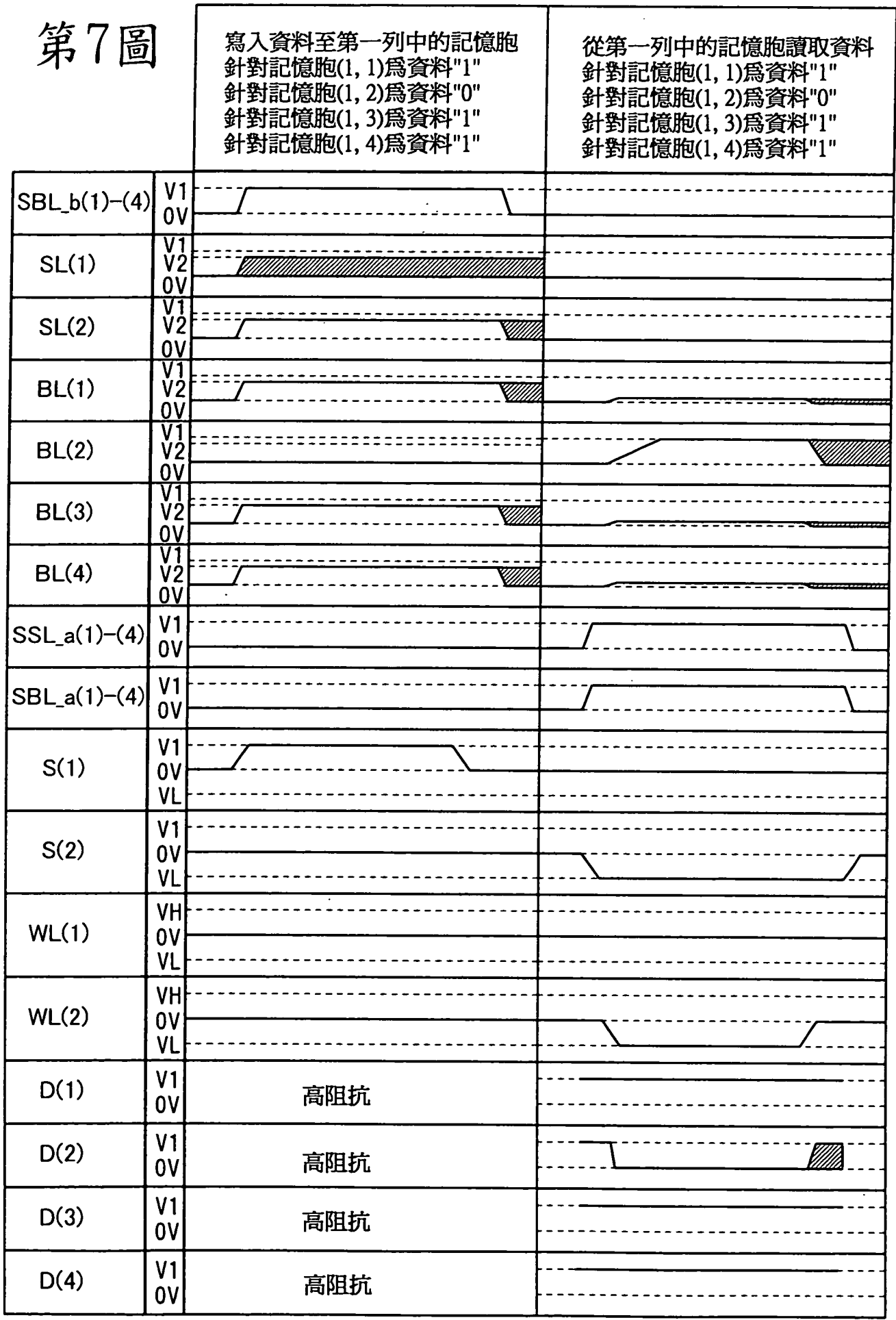
第5圖

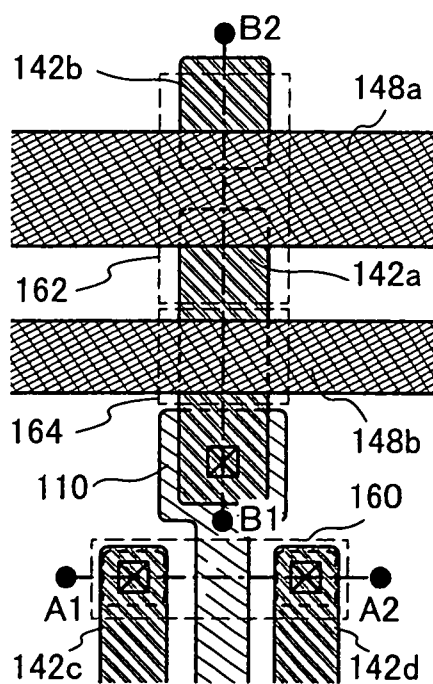


第6圖

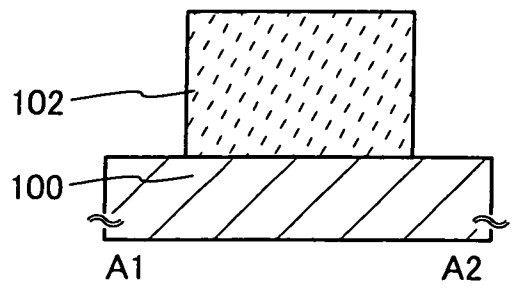


第7圖

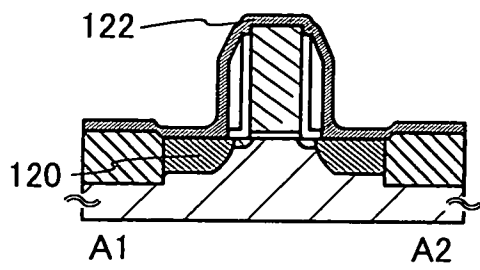




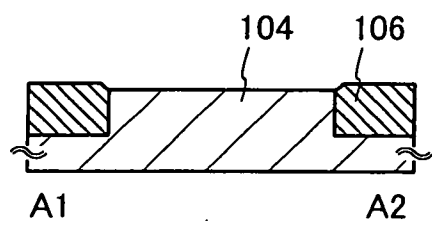
第9A圖



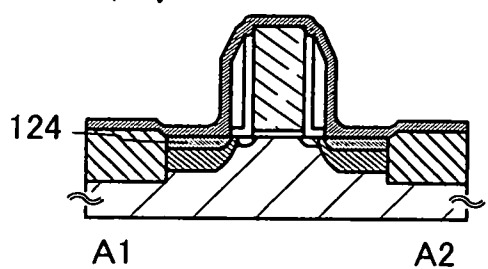
第9E圖



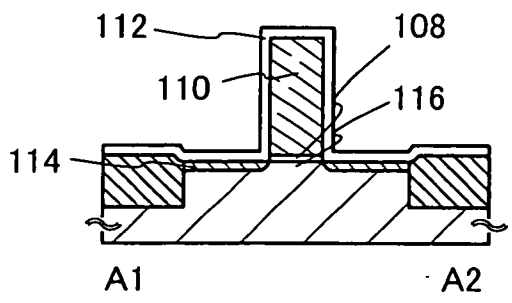
第9B圖



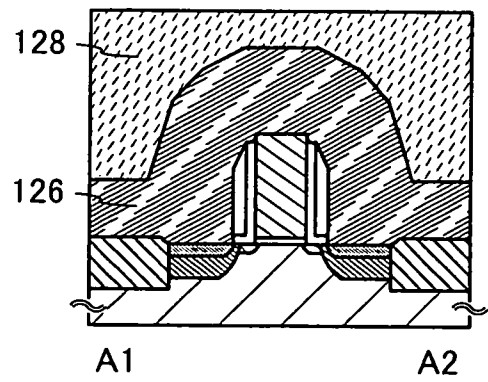
第9F圖



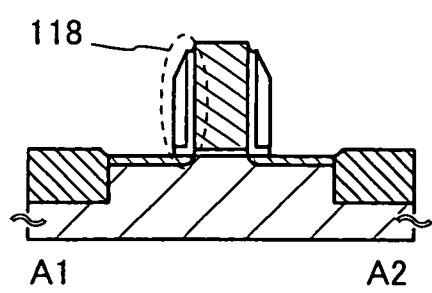
第9C圖



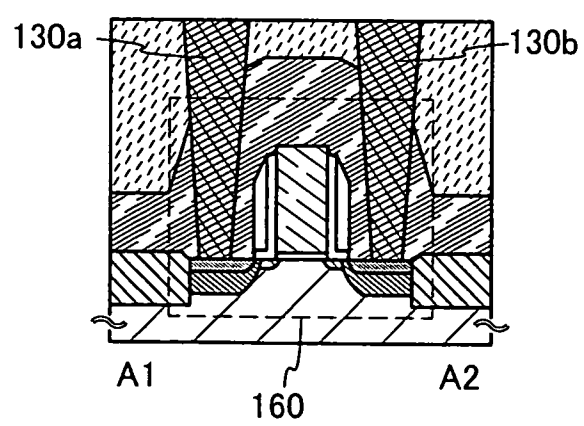
第9G圖



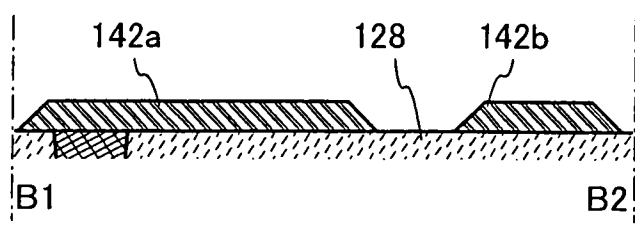
第9D圖



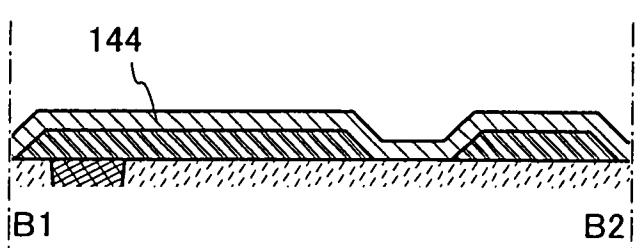
第9H圖



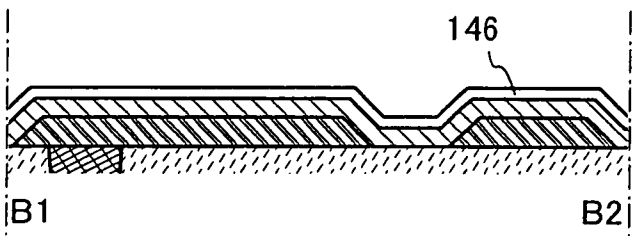
第10A圖



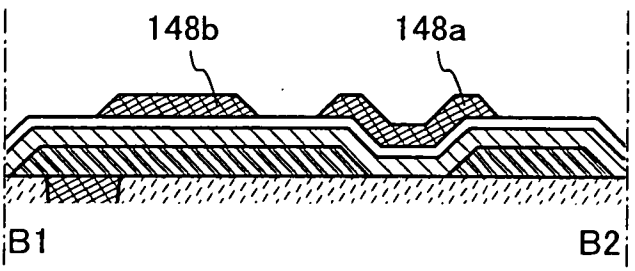
第10B圖



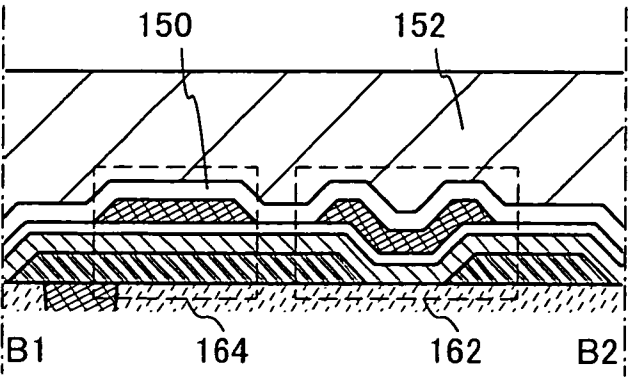
第10C圖



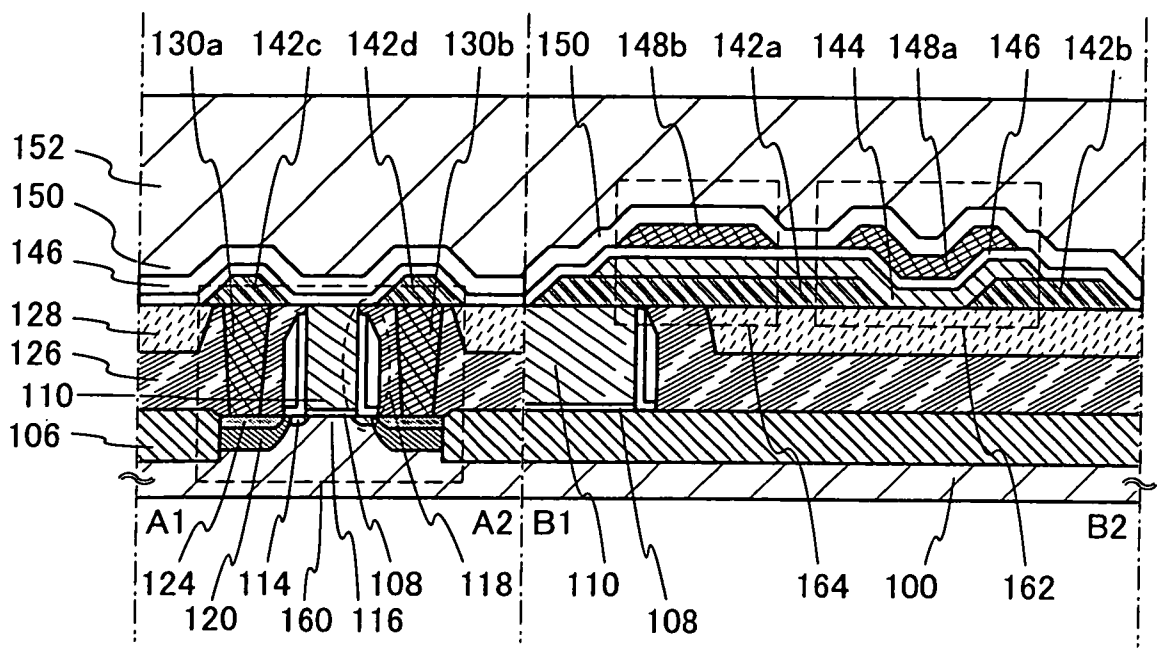
第10D圖



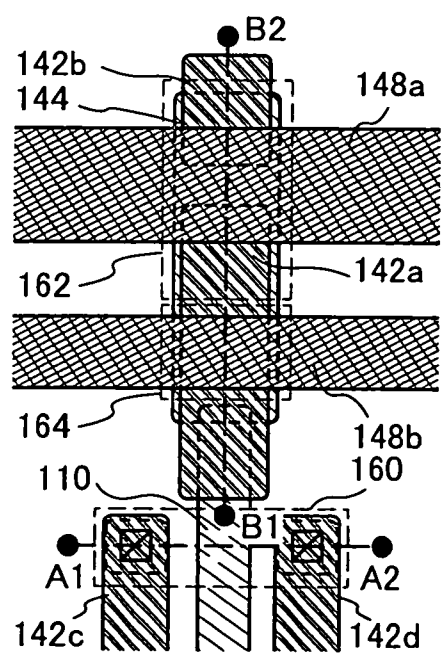
第10E圖



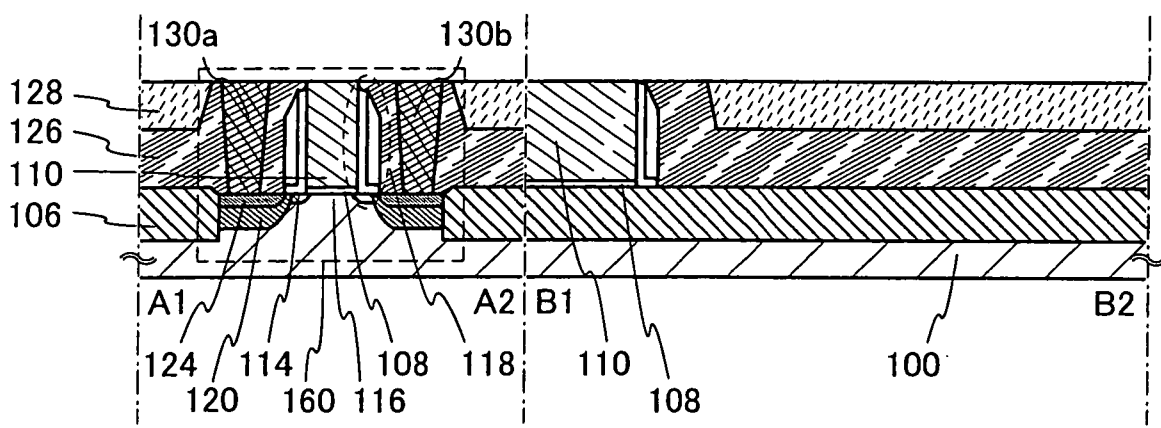
第11A圖



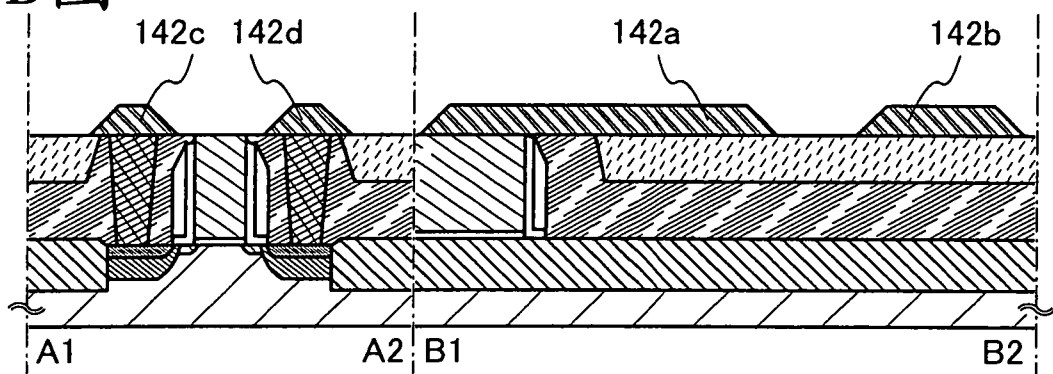
第11B圖



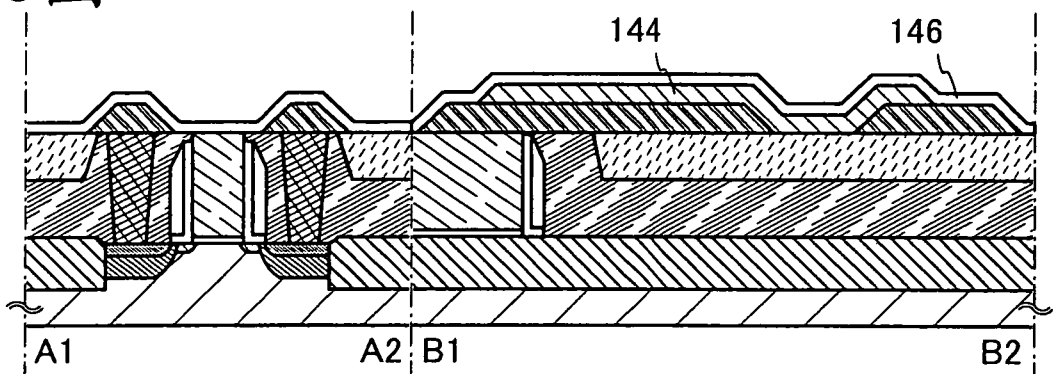
第12A圖



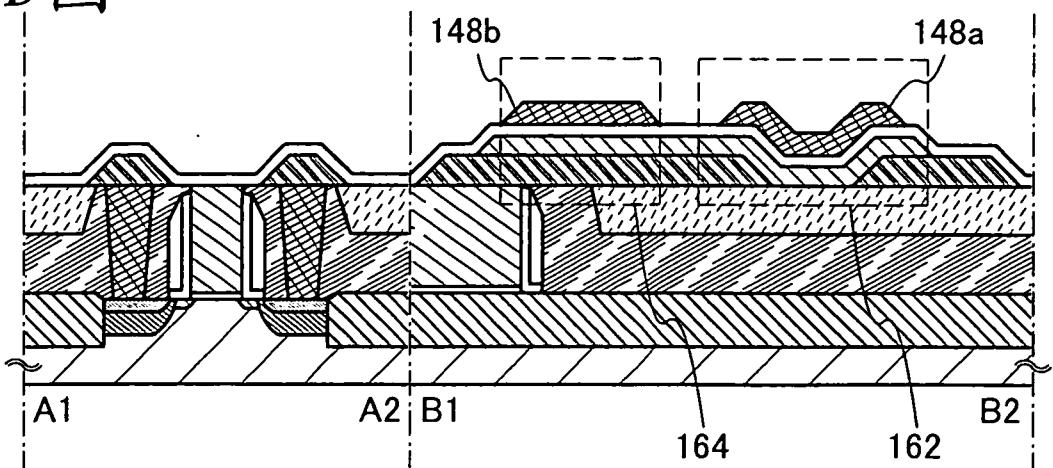
第12B圖



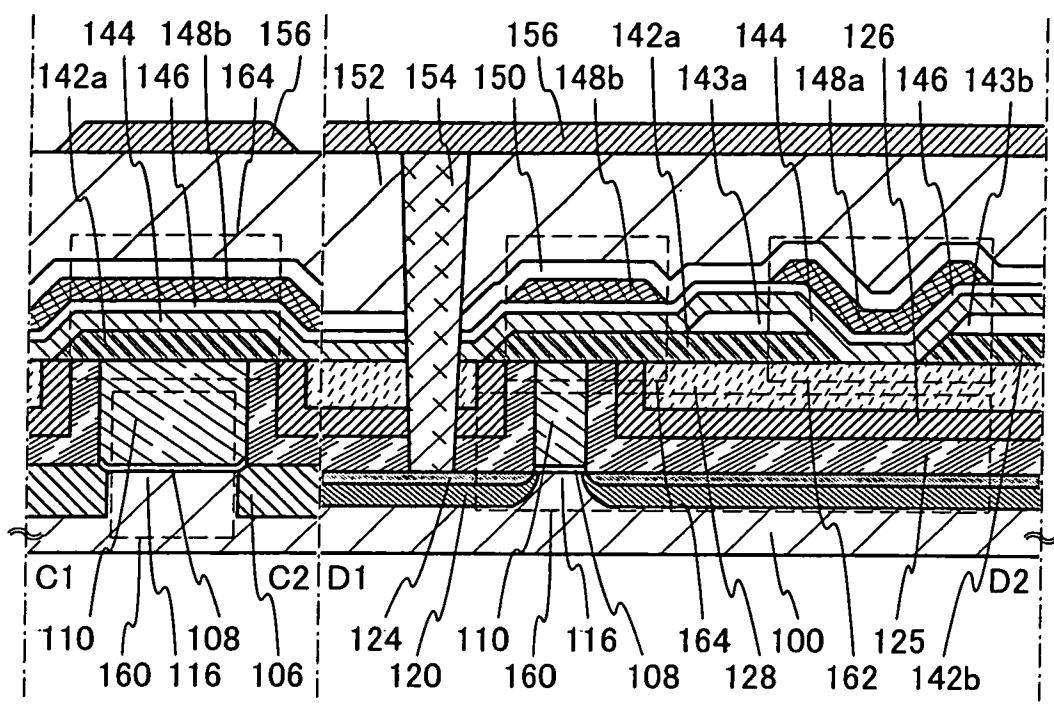
第12C圖



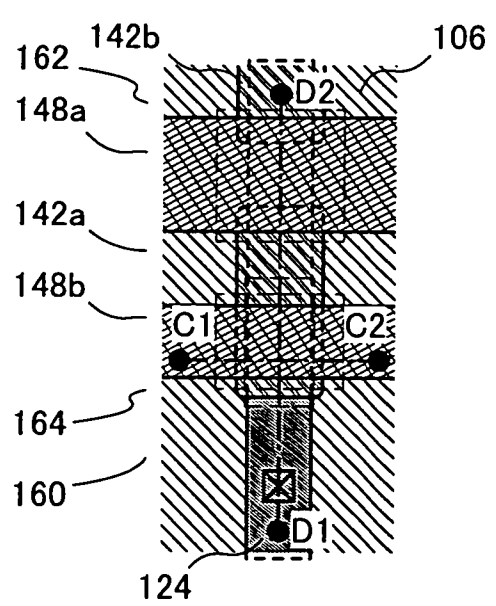
第12D圖



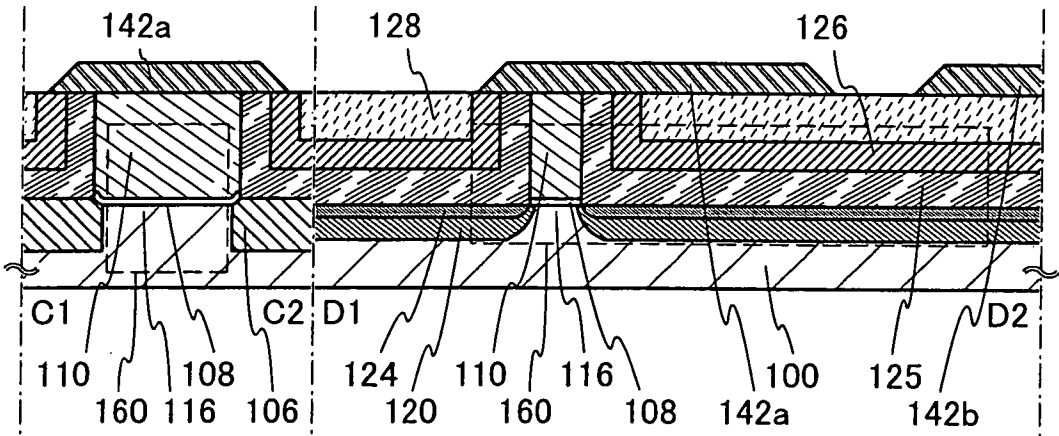
第13A圖



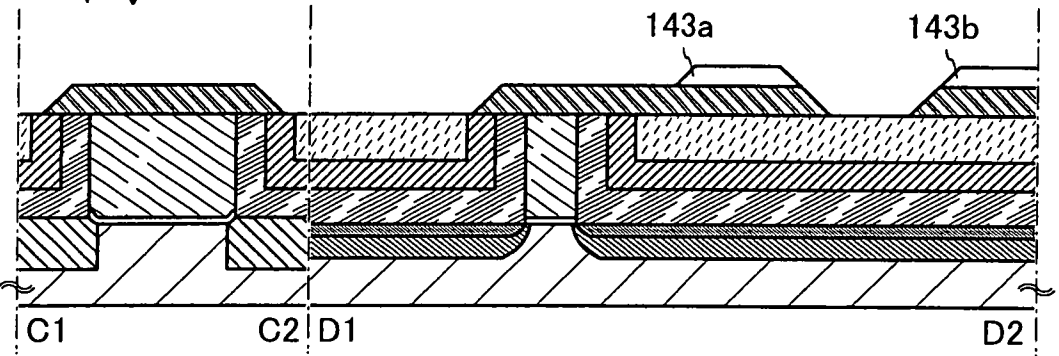
第13B圖



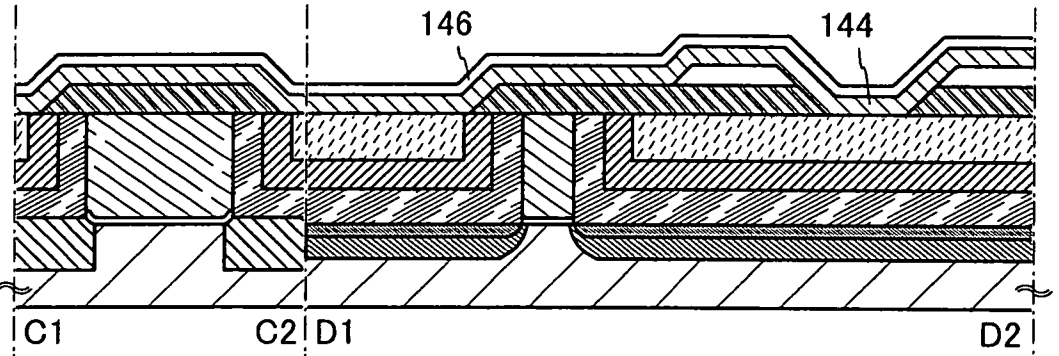
第14A圖



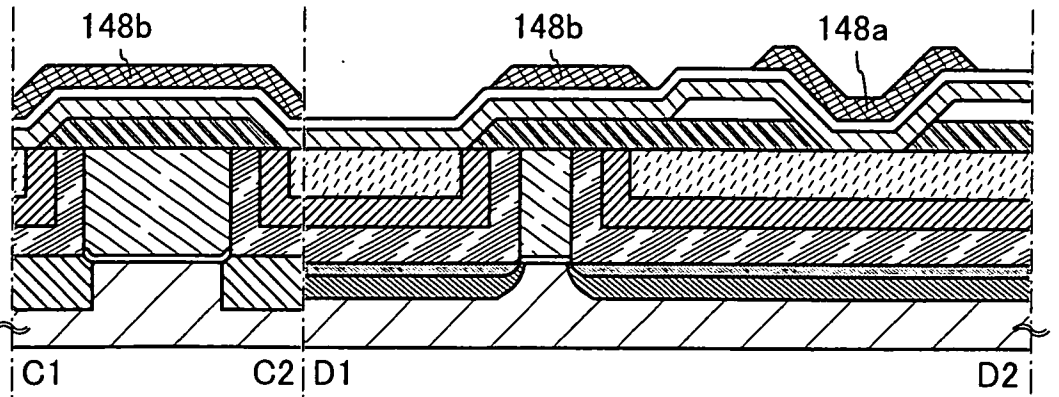
第14B圖



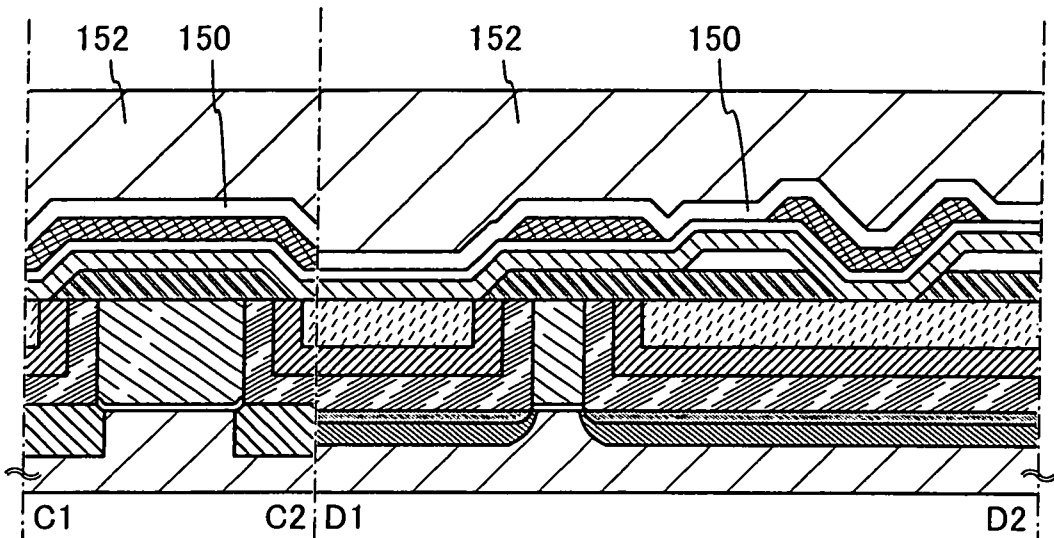
第14C圖



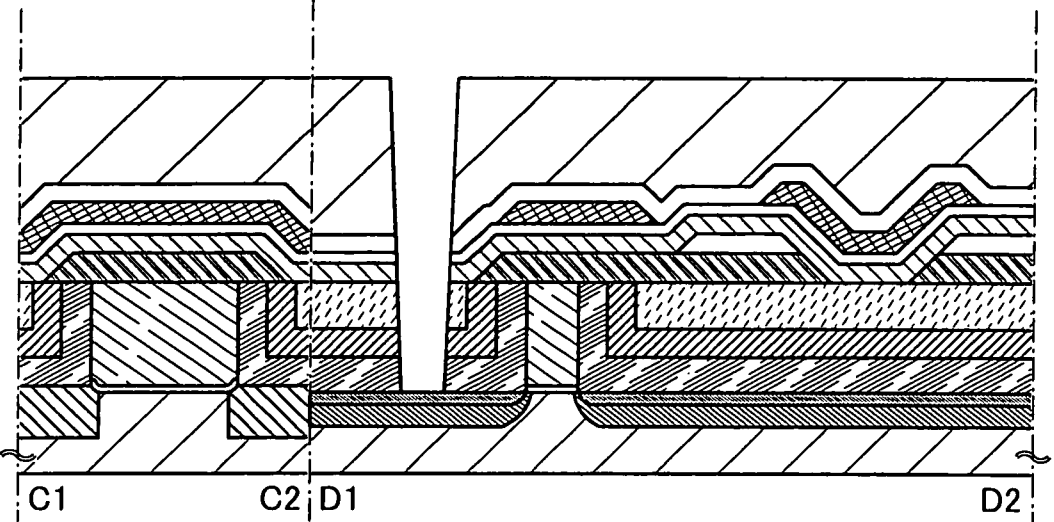
第14D圖



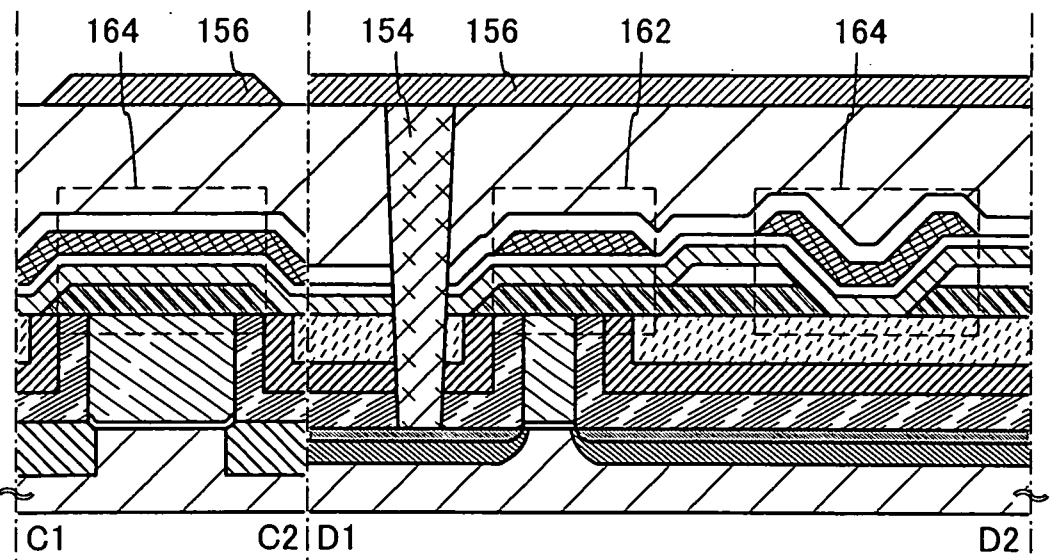
第15A圖



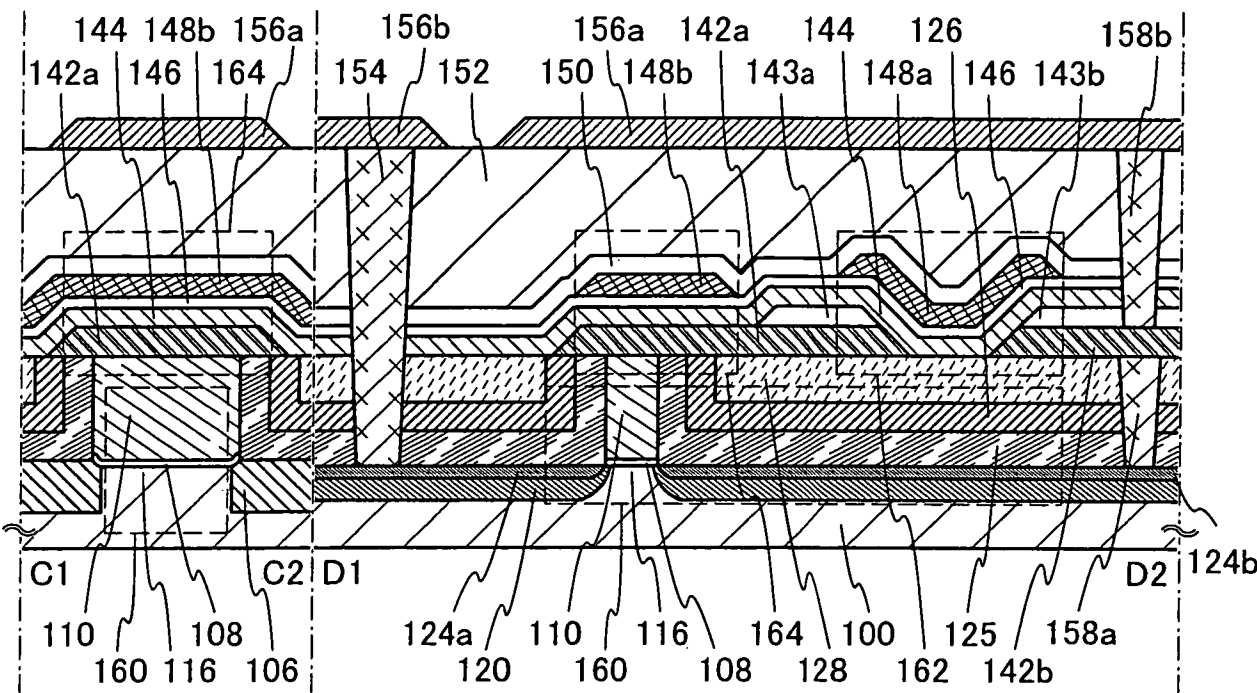
第15B圖



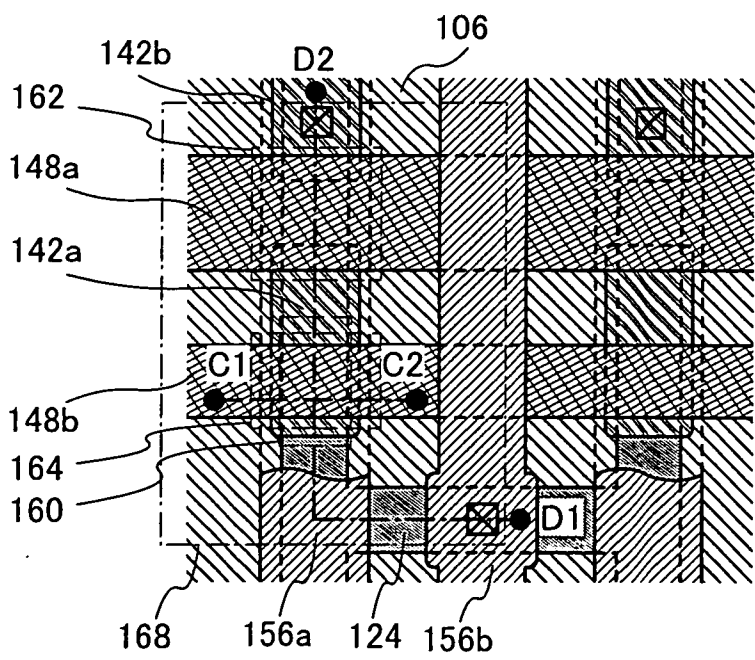
第15C圖



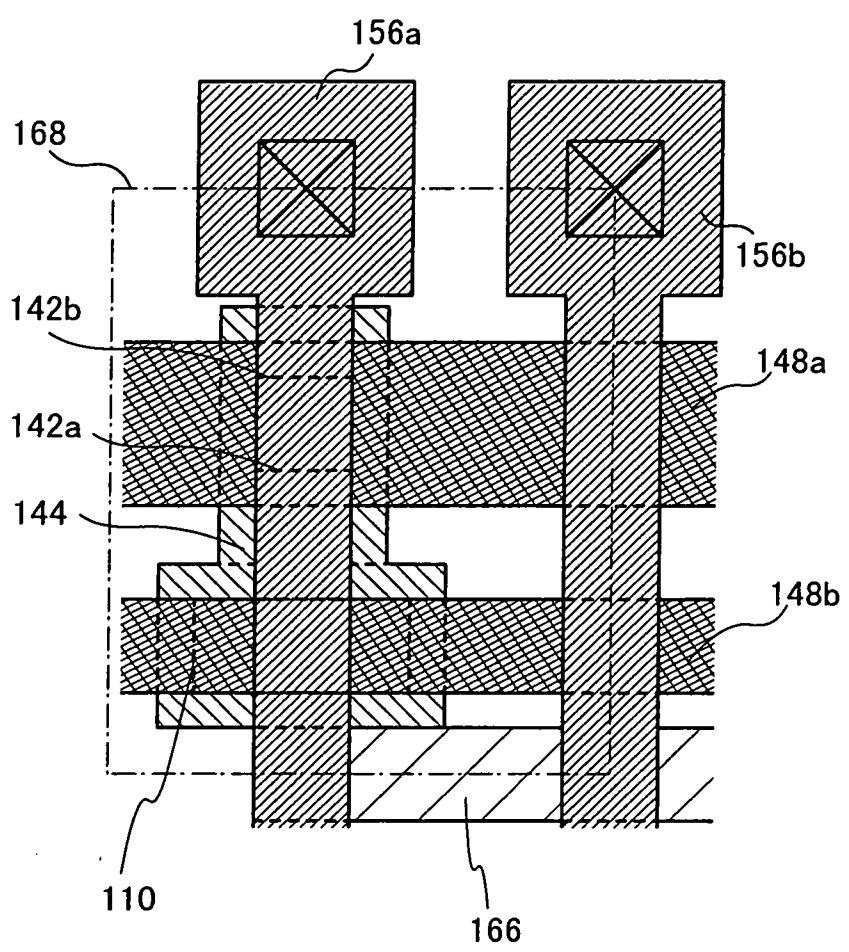
第16A圖



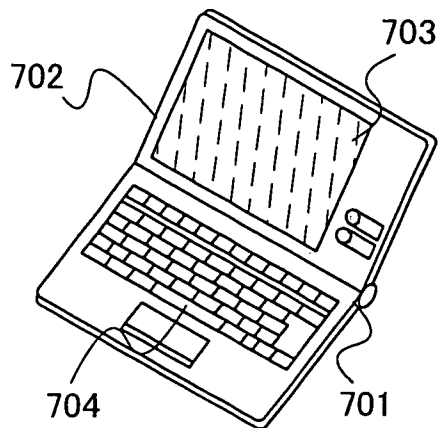
第16B圖



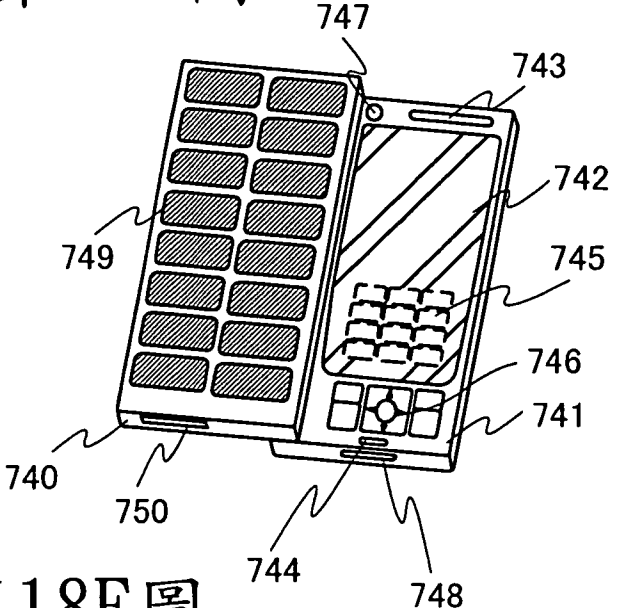
第17圖



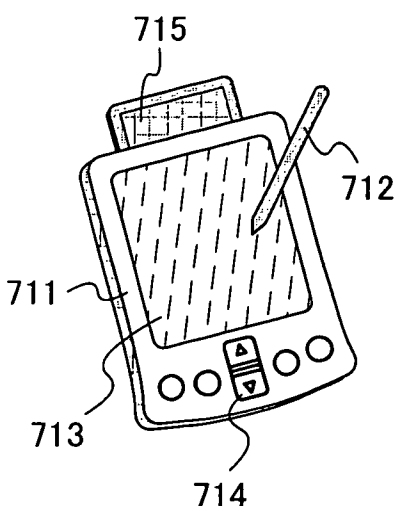
第18A圖



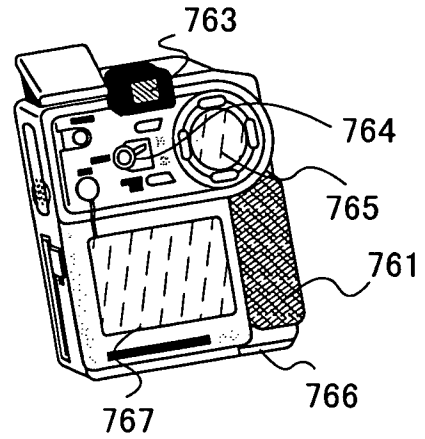
第18D圖



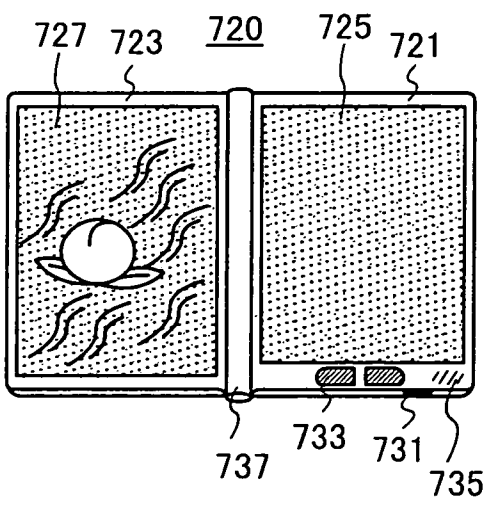
第18B圖



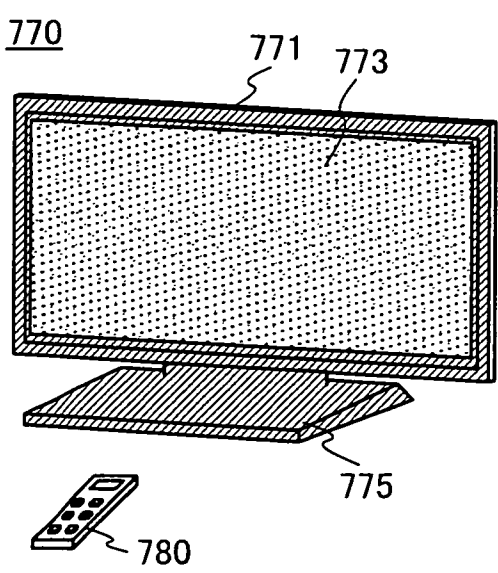
第18E圖



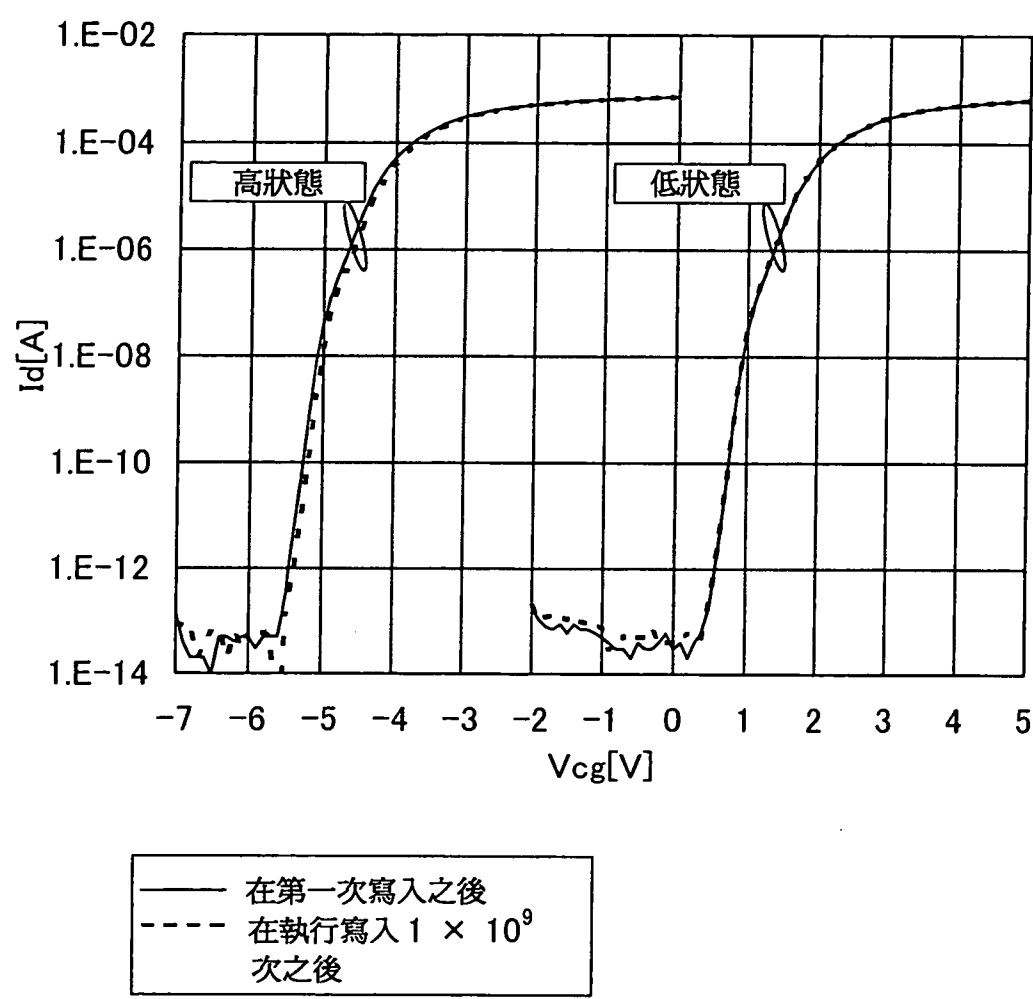
第18C圖



第18F圖

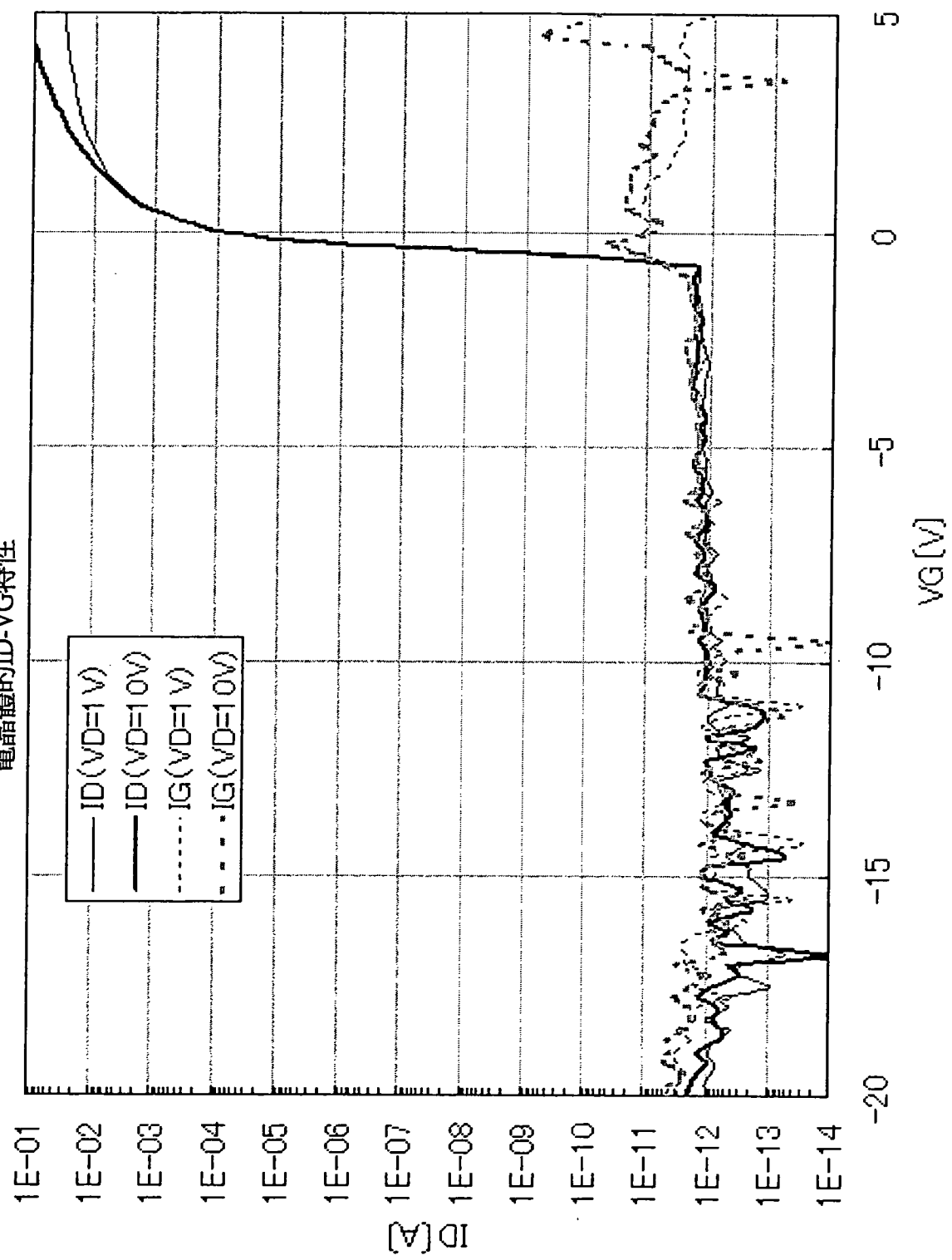


第19圖

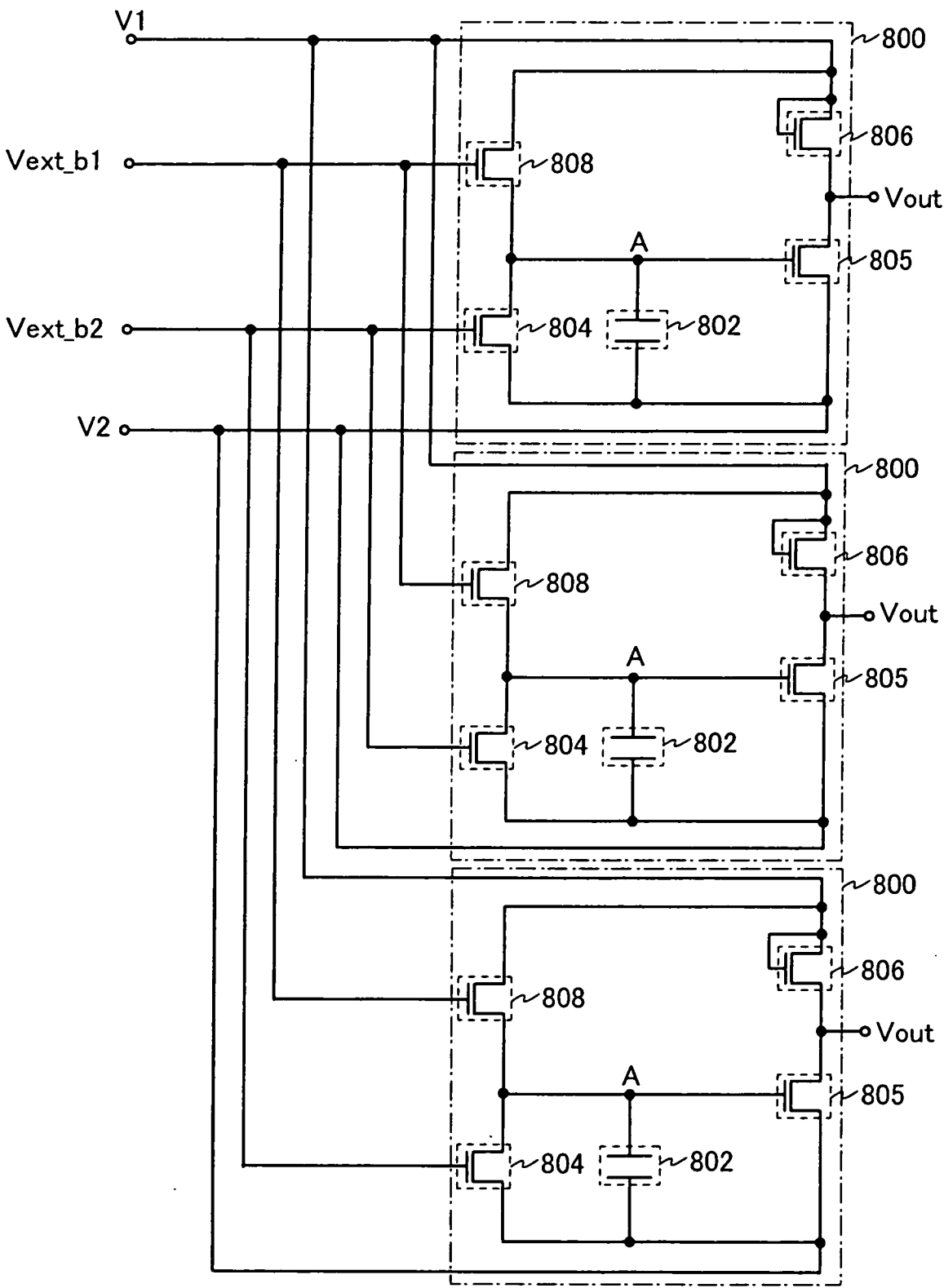


第20圖

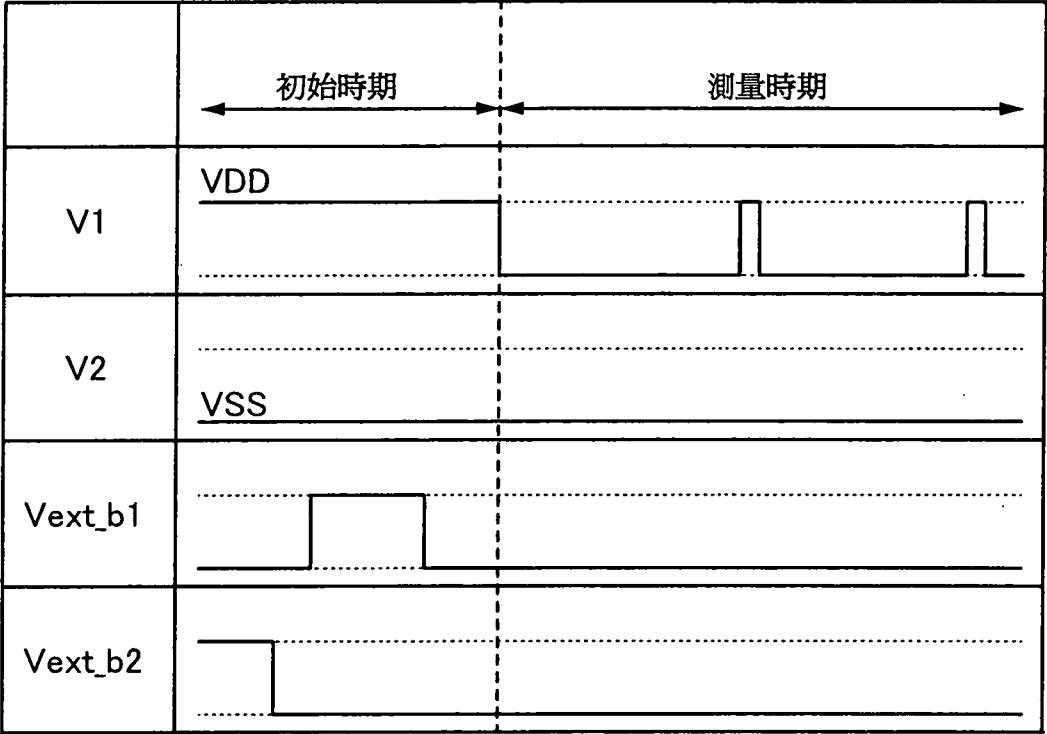
在具有 $L/W=10.0/1,000,000\mu\text{m}$ (1m)的比例之
電晶體的ID-VG特性



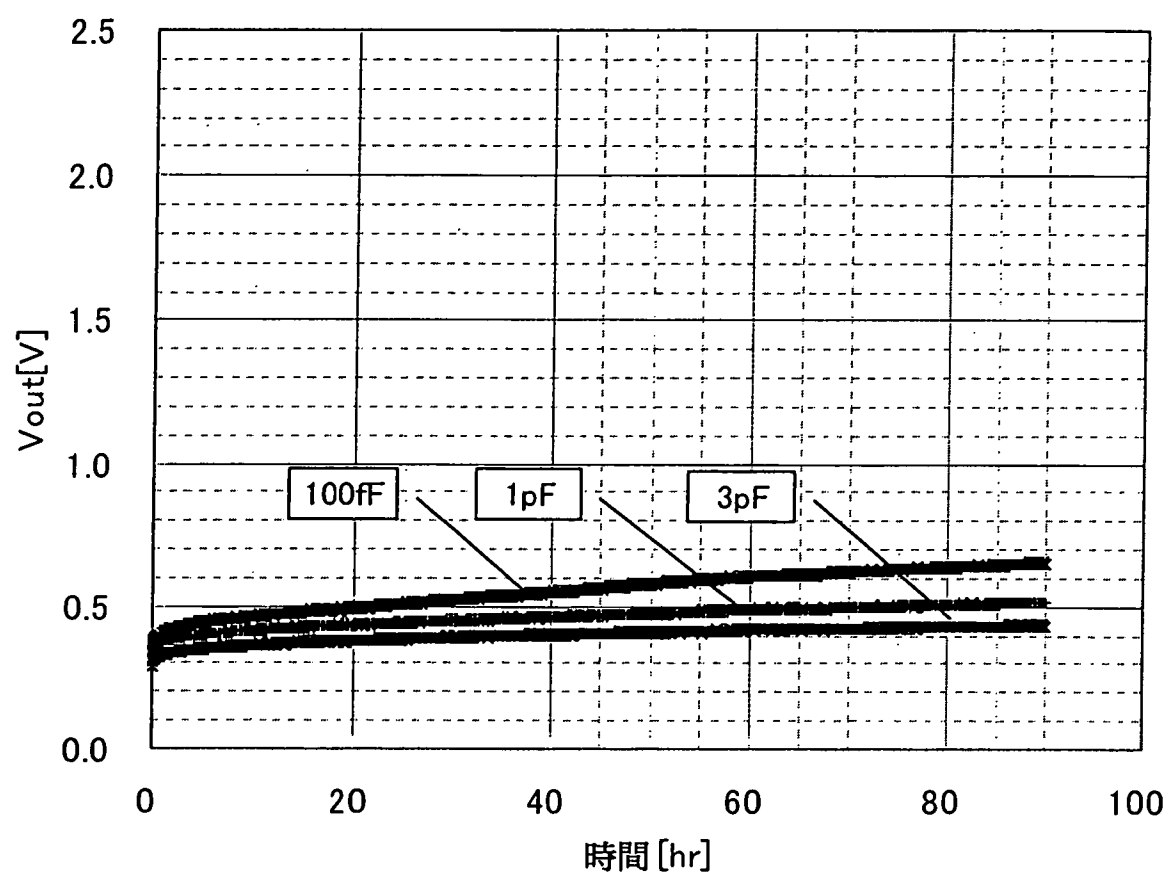
第21圖



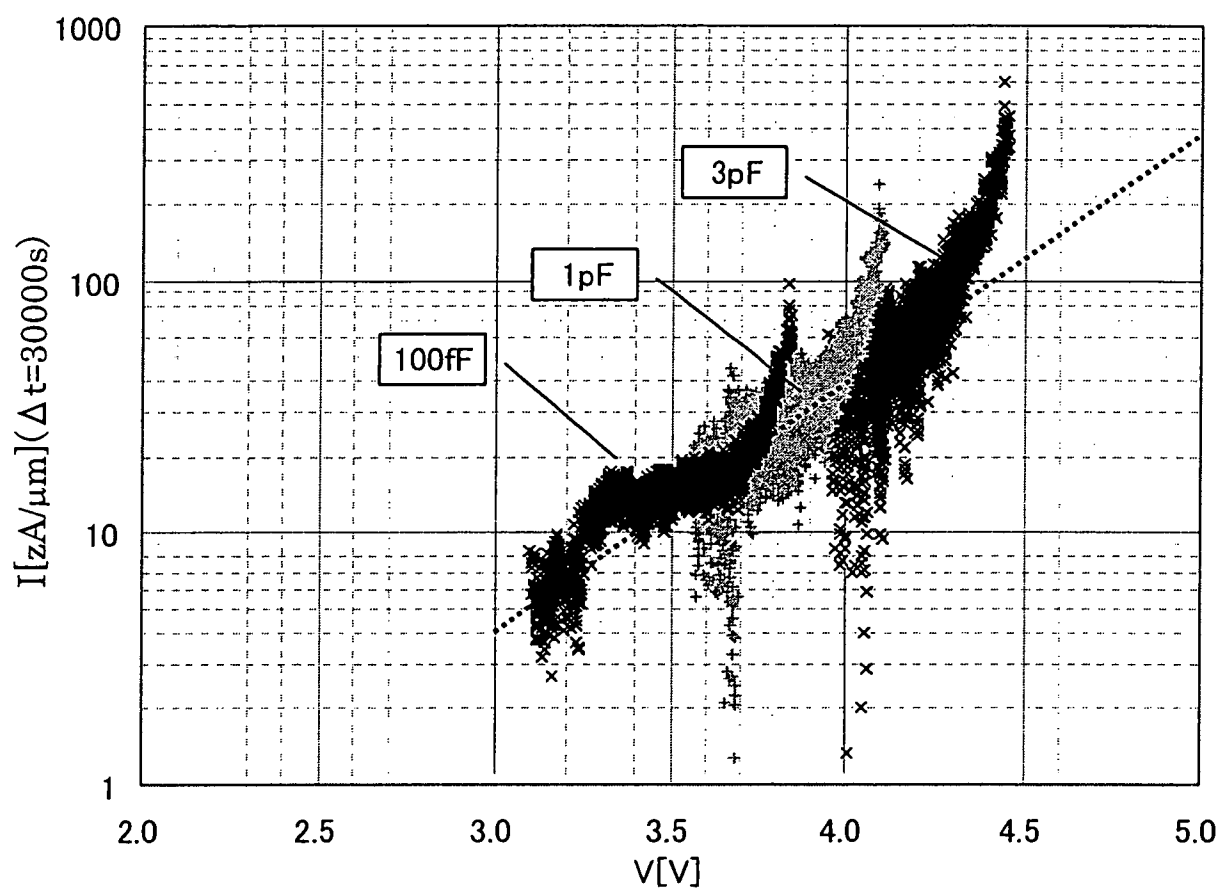
第22圖



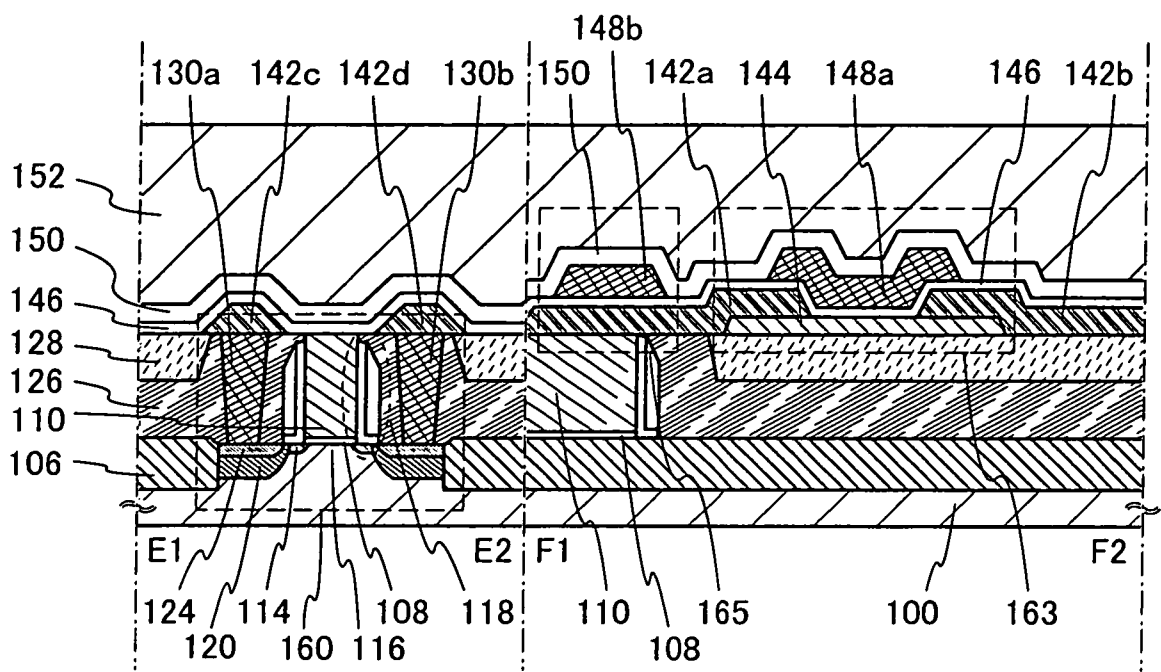
第23圖



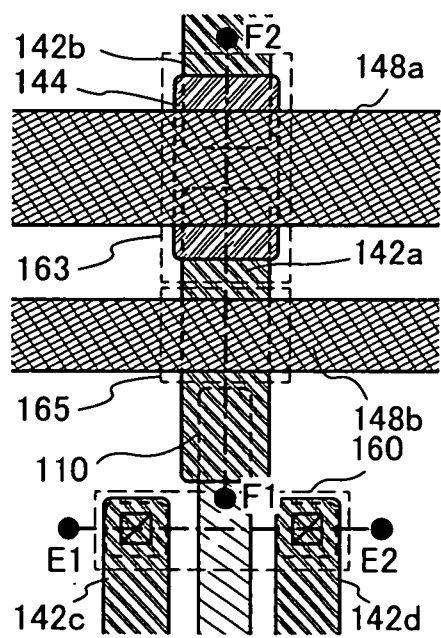
第24圖



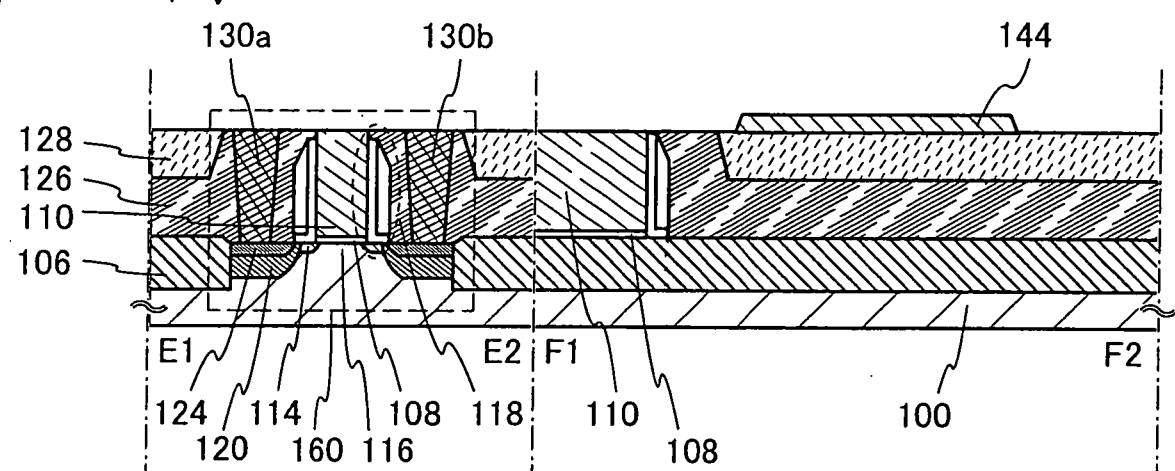
第25A圖



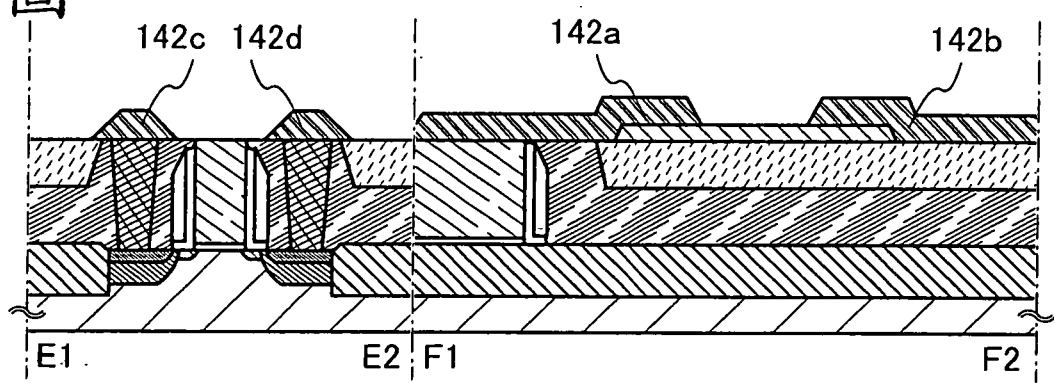
第25B圖



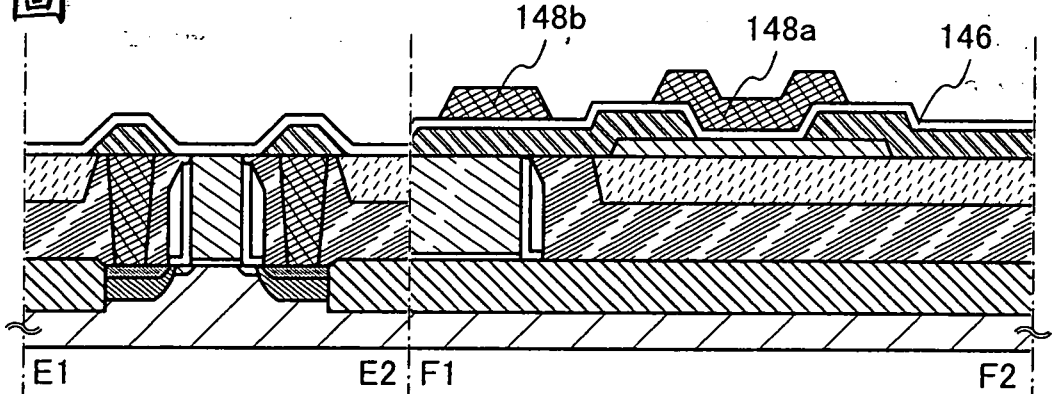
第26A圖



第26B圖



第26C圖



第26D圖

