

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10211

(P2010-10211A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 C	5 F 0 3 8
H O 1 L 27/04 (2006.01)	H O 1 L 21/316 X	5 F 0 5 8
H O 1 L 21/316 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号	特願2008-164701 (P2008-164701)	(71) 出願人	308014341
(22) 出願日	平成20年6月24日 (2008. 6. 24)		富士通マイクロエレクトロニクス株式会社
			東京都新宿区西新宿二丁目7番1号
		(74) 代理人	100091340
			弁理士 高橋 敬四郎
		(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	中林 正明
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		Fターム(参考)	5F038 AC02 AC05 AC09 AC15 AC16
			AC17 AC18 EZ17 EZ20
			5F058 BA11 BD05 BF07 BF27 BF29
			BH01

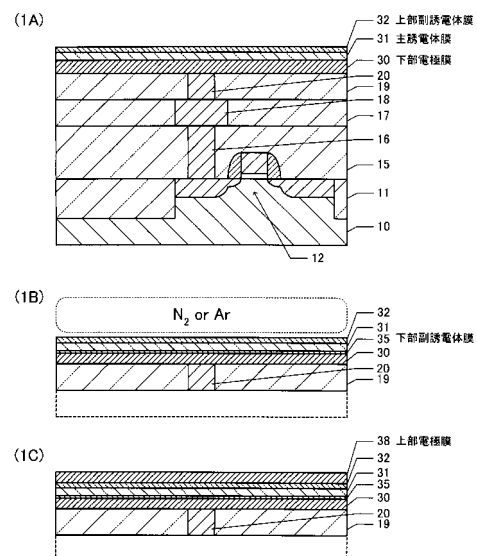
(54) 【発明の名称】 半導体装置の製造方法、及び半導体装置

(57) 【要約】 (修正有)

【課題】次世代デバイスに求められる低リーク電流及び高キャパシタ容量を実現する高誘電体容量の製造方法の提供。

【解決手段】半導体基板の上に、TiAlNを含む第1の電極膜30と、酸化タンタルを含む主誘電体膜31とを形成する。第1の電極膜30と主誘電体膜31とが形成されている状態でアニールを行うことにより、第1の電極膜中のアルミニウム(Al)と主誘電体膜中の酸素(O)とを反応させて、第1の電極膜と主誘電体膜との界面に、酸化アルミニウムを含む副誘電体膜35を形成する。主誘電体膜と副誘電体膜とを介して第1の電極膜に対向する位置に第2の電極膜32を形成する。

【選択図】図1 - 1



【特許請求の範囲】

【請求項 1】

半導体基板の上に、 $TiAlN$ を含む第1の電極膜と、酸化タンタルを含む主誘電体膜とを形成する工程と、

前記第1の電極膜と前記主誘電体膜とが形成されている状態でアニールを行うことにより、前記第1の電極膜中のアルミニウムと前記主誘電体膜中の酸素とを反応させて、前記第1の電極膜と前記主誘電体膜との界面に、酸化アルミニウムを含む副誘電体膜を形成する工程と、

前記主誘電体膜と前記副誘電体膜とを介して前記第1の電極膜に対向する位置に第2の電極膜を形成する工程と

を有する半導体装置の製造方法。

10

【請求項 2】

前記第1の電極膜を形成する工程で形成される該第1の電極膜の厚さが 5 nm 以上である請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記第1の電極膜を形成する工程で形成される該第1の電極膜の Ti に対する Al の含有量の比が $30\text{ 原子}\% \sim 50\text{ 原子}\%$ の範囲内である請求項1または2に記載の半導体装置の製造方法。

【請求項 4】

前記副誘電体膜を形成する工程のアニール温度を $400 \sim 600$ の範囲内とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

20

【請求項 5】

前記主誘電体膜と前記第2の電極膜との間に、さらに、酸化アルミニウムを含む他の副誘電体膜を形成する工程を有する請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項 6】

半導体基板の上に配置され、 $TiAlN$ を含む第1の電極、酸化アルミニウムを含む副誘電体膜、酸化タンタルを含む主誘電体膜、及び第2の電極が、この順番にまたは逆の順番に積層され、該第1の電極と副誘電体膜とが相互に接し、該副誘電体膜と主誘電体膜とが相互に接するキャパシタを有する半導体装置。

30

【請求項 7】

前記副誘電体膜の厚さが 0.5 nm 以上である請求項6に記載の半導体装置。

【請求項 8】

さらに、前記主誘電体膜と前記第2の電極との間に、酸化アルミニウムを含む他の副誘電体膜が配置されている請求項6または7に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、 MIM (Metal Insulator Metal) キャパシタを含む半導体装置の製造方法、及び MIM キャパシタを含む半導体装置に関する。

40

【背景技術】

【0002】

アナログ素子及び高周波素子等に用いられる MIM キャパシタは、素子の高集積化に伴い微細化が進んでいる。微細化に伴うキャパシタンスの低下を補償するために、誘電体膜をより薄くする必要がある。ところが、誘電体膜を薄くすることは、リーク電流の増大につながる。このため、誘電体膜の薄膜化には限界がある。

【0003】

リーク電流の増大を生じさせることなく、かつ大きなキャパシタンスを維持するために、誘電体膜に、従来の $SiON$ 等に比べて誘電率の高い高誘電率材料が採用されつつある。高誘電率材料の例として、アルミナ (Al_2O_3)、酸化タンタル (Ta_2O_5) 等が

50

挙げられる。また、MIMキャパシタの下部電極には、一般的に窒化チタン（TiN）が用いられる。

【0004】

下部電極を構成するTiNが、誘電体膜の成膜時の酸化性雰囲気と晒されると、下部電極の表面が酸化されて酸化チタンが形成される。下部電極の表面に形成された酸化チタンは、リーク電流増大や歩留まり低下の要因になる。TiN膜の上にAlN膜を形成し、その上に酸化物誘電体膜を形成することにより、TiN膜の酸化を防止することができる（特許文献1）。

【0005】

Alの下部電極上に、Ta₂O₅膜を形成し、熱処理を行うことにより、両者の界面にAl₂O₃膜を形成することができる。Al₂O₃膜を形成することにより、耐圧を高めることができる（特許文献2）。

【0006】

【特許文献1】特開2004-39728号公報

【特許文献2】特開2002-164506号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

次世代デバイスでは、リーク電流の増大を招くことなく、かつ単位面積当たりのキャパシタ容量をより大きくする技術が求められている。従来の構造では、次世代デバイスに求められるリーク電流及びキャパシタ容量を実現することが困難である。

【課題を解決するための手段】

【0008】

上記課題を解決する半導体装置の製造方法は、

半導体基板の上に、TiAlNを含む第1の電極膜と、酸化タンタルを含む主誘電体膜とを形成する工程と、

前記第1の電極膜と前記主誘電体膜とが形成されている状態でアニールを行うことにより、前記第1の電極膜中のアルミニウム（Al）と前記主誘電体膜中の酸素（O）とを反応させて、前記第1の電極膜と前記主誘電体膜との界面に、酸化アルミニウムを含む副誘電体膜を形成する工程と、

前記主誘電体膜と前記副誘電体膜とを介して前記第1の電極膜に対向する位置に第2の電極膜を形成する工程とを有する。

【0009】

この製造方法により作製される半導体装置は、

半導体基板の上に配置され、TiAlNを含む第1の電極、酸化アルミニウムを含む副誘電体膜、酸化タンタルを含む主誘電体膜、及び第2の電極が、この順番にまたは逆の順番に積層され、該第1の電極と副誘電体膜とが相互に接し、該副誘電体膜と主誘電体膜とが相互に接するキャパシタを有する。

【発明の効果】

【0010】

アニールで、副誘電体膜を形成することにより、CVD等で形成する場合に比べて、薄くても全面を連続的に覆う膜が得られる。このため、リーク電流の増大を抑制することができる。

【発明を実施するための最良の形態】

【0011】

図1A～図1Fを参照して、実施例による半導体装置の製造方法について説明する。図1A～図1Fは、製造途中段階における主要部の断面図を示す。

【0012】

図1Aに示すように、シリコン等の半導体基板10の表層部に、シャロートレンチアイ

10

20

30

40

50

ソレーション (STI) 等による素子分離絶縁膜 11 を形成する。半導体基板 10 には、直径 300 mm のウエハを用いた。素子分離絶縁膜 11 で囲まれた活性領域に、MISFET 12 を形成する。MISFET 12 を覆うように、半導体基板 10 の上に、層間絶縁膜 15 を形成する。層間絶縁膜 15 にビアホールを形成し、ビアホール内にタンゲステン等の導電プラグ 16 を充填する。導電プラグ 16 は、例えば MISFET 12 のソースに接続される。

【0013】

層間絶縁膜 16 の上に 2 層目の層間絶縁膜 17 を形成する。層間絶縁膜 17 内に、例えばシングルダマシン法により配線 18 を形成する。配線 18 は、導電プラグ 16 に接続される。層間絶縁膜 17 の上に、3 層目の層間絶縁膜 19 を形成する。層間絶縁膜 19 にビアホールを形成し、このビアホール内にタンゲステン等の導電プラグ 20 を充填する。導電プラグ 20 は、配線 18 に接続される。

10

【0014】

層間絶縁膜 19 の上に、TiAlN からなる下部電極膜 30 を形成する。下部電極膜 30 は、例えば DC マグネトロン反応性スパッタリングにより形成される。成膜条件は、例えば下記の通りである。

- ・ターゲット AlTi 合金
- ・基板温度 300
- ・スパッタガス Ar (流量 500 sccm) + N₂ (流量 25 sccm)
- ・DC 印加パワー 1 kW
- ・圧力 40 Pa (0.3 Torr)

20

下部電極膜 30 の上に、Ta₂O₅ からなる主誘電体膜 31 を形成する。主誘電体膜 31 は、例えばプラズマ励起化学気相成長 (PECVD) により形成される。成膜条件は、例えば下記の通りである。

- ・Ta 原料 ペンタエトキシタンタル (Ta(OEt)₅)
- ・酸化ガス O₂ (流量 100 sccm)
- ・キャリアガス Ar (流量 500 sccm)
- ・基板温度 300
- ・RF パワー 450 W
- ・圧力 1.3×10^3 Pa (10 Torr)

30

主誘電体膜 31 の上に、Al₂O₃ からなる上部副誘電体膜 32 を形成する。上部副誘電体膜 32 は、例えば PECVD により形成される。成膜条件は、例えば下記の通りである。

- ・Al 原料 トリメチルアルミニウム (TMA)
- ・酸化ガス O₂ (流量 150 sccm)
- ・キャリアガス Ar (流量 500 sccm)
- ・基板温度 300
- ・RF パワー 600 W
- ・圧力 1.3×10^3 Pa (10 Torr)

図 1 B に示すように、N₂ または Ar 雰囲気において、アニールを行う。このアニールには、例えばラピッドサーマルアニール (RTA) が用いられる。アニール条件は、例えば下記の通りである。

40

- ・圧力 1.0×10^5 Pa (760 Torr)
- ・N₂ または Ar 流量 3 slm
- ・アニール時間 1 分
- ・アニール温度 400 ~ 600

このアニールにより、下部電極膜 30 内の Al と、主誘電体膜 31 内の O とが反応し、両者の界面に Al₂O₃ からなる下部副誘電体膜 35 が形成される。下部副誘電体膜 35 が形成されていることは、X 線光電子分光分析 (XPS) により確認した。XPS の結果については、後に図 2 A ~ 図 2 C を参照して説明する。

50

【 0 0 1 5 】

図 1 C に示すように、上部副誘電体膜 3 2 の上に、TiN からなる上部電極膜 3 8 を形成する。上部電極膜 3 8 は、例えば DC マグネトロン反応性スパッタリングにより形成される。成膜条件は、例えば下記の通りである。

- ・ターゲット Ti
- ・スパッタガス Ar (流量 5 0 0 s c c m) + N₂ (流量 5 0 0 s c c m)
- ・DC 印加パワー 1 k W
- ・圧力 6 7 P a (0 . 5 T o r r)
- ・成膜時間 3 分

図 1 D に示すように、上部電極膜 3 8 から下部電極膜 3 0 までの各膜を同一のエッチングマスクを用いてパターンニングする。これらの膜のエッチングは、例えば 2 周波誘導結合型プラズマエッチング装置を用いて行う。エッチング条件は、例えば下記の通りである。

- ・エッチングガス CHF₃ (流量 3 0 s c c m) + Ar (流量 1 0 0 s c c m)
- ・圧力 2 . 0 P a (1 5 m T o r r)
- ・エッチング時間 4 4 秒
- ・RF パワー 1 0 0 W / 5 0 0 W

TiAlN からなる下部電極 3 0 a、Al₂O₃ からなる下部副誘電体膜 3 5 a、Ta₂O₅ からなる主誘電体膜 3 1 a、Al₂O₃ からなる上部副誘電体膜 3 2 a、及び TiN からなる上部電極 3 8 a により、MIM キャパシタ 4 0 が構成される。平面視において、MIM キャパシタ 4 0 は、その下の導電プラグ 2 0 を内包する。

【 0 0 1 6 】

図 1 E に示すように、層間絶縁膜 1 9 の上にさらに層間絶縁膜 4 5 を形成する。層間絶縁膜 4 5 は MIM キャパシタ 4 0 を被覆する。

【 0 0 1 7 】

図 1 F に示すように、層間絶縁膜 4 5 にビアホールを形成し、このビアホール内に導電プラグ 4 6 を充填する。導電プラグ 4 6 は、平面視において MIM キャパシタ 4 0 に内包され、上部電極 3 8 a に接続される。上部電極 3 8 a は、接地線または電源線に接続される。

【 0 0 1 8 】

図 2 A ~ 図 2 C を参照して、TiAlN 下部電極膜 3 0 と Ta₂O₅ 主誘電体膜 3 1 との界面に、アニールによって Al₂O₃ 下部副誘電体膜 3 5 が形成されることの検証結果について説明する。

【 0 0 1 9 】

図 2 B に、作製した試料のアニール前の断面図を示す。基板上に厚さ 5 n m の TiAlN 下部電極膜 3 0 が形成され、その上に厚さ 5 n m の Ta₂O₅ 主誘電体膜 3 1 が形成されている。下部電極膜 3 0 の成膜には、Ti に対する Al の含有量の比 Al / Ti = 3 0 原子 % の AlTi 合金ターゲットを用いた。アニールは、N₂ 雰囲気中で 4 0 0 °C で行った。

【 0 0 2 0 】

アニール前、及びアニール後の試料について、XPS で Al の 2 p_{3/2} スペクトルを観察した。TiAlN に起因するピークは 7 3 . 9 e V の位置に現れ、Al₂O₃ に起因するピークは 7 4 . 1 e V の位置に現れる。

【 0 0 2 1 】

図 2 A に、TiAlN に起因するピークと、Al₂O₃ に起因するピークとの高さの割合を算出した結果を示す。アニール前では、Al₂O₃ に起因するピークは観察されなかったが、アニール後は、Al₂O₃ に起因するピークが観察された。この評価結果から、アニール前には、図 2 B に示すように、Al₂O₃ 膜は形成されていないが、アニール後の試料では、図 2 C に示すように、TiAlN 下部電極膜 3 0 と Ta₂O₅ 主誘電体膜 3 1 との界面に Al₂O₃ 下部副誘電体膜 3 5 が形成されていることがわかる。アニール後の試料において、TiAlN に起因するピークが観察されるのは、Al₂O₃ 下部副誘電

10

20

30

40

50

体膜 35 が薄いため、その下の $TiAlN$ が検知されるためである。下部副誘電体膜 35 の厚さは 0.53 nm であった。

【0022】

上記実施例による MIM キャパシタ及び従来の MIM キャパシタ（比較例）を作製し、単位面積当たりのキャパシタ容量及びリーク電流を測定した。

【0023】

図 3 A に、実施例による MIM キャパシタの断面図を示し、図 3 B に、比較例による MIM キャパシタの断面図を示す。実施例による MIM キャパシタの Al_2O_3 下部副誘電体膜 35 は、アニールによって形成される。比較例の MIM キャパシタは、下部電極となる TiN 膜、 AlN 膜、 Al_2O_3 膜、 Ta_2O_5 膜、 Al_2O_3 膜、 AlN 膜、及び上部電極となる TiN 膜の 7 層で構成される。比較例の MIM キャパシタの上下の Al_2O_3 膜は、いずれも CVD で形成される。

10

【0024】

実施例の試料では、 Ta_2O_5 主誘電体膜 31 の厚さを 6 nm とし、 Al_2O_3 上部副誘電体膜 32 の厚さを 4 nm とした。比較例の試料では、下部 AlN 膜、 Ta_2O_5 膜、上部 Al_2O_3 膜、及び上部 AlN 膜の厚さを、それぞれ 50 nm 、 6 nm 、 4 nm 、及び 50 nm とした。

【0025】

図 3 C に、実施例及び比較例による MIM キャパシタの単位面積当たりのキャパシタ容量と、 Al_2O_3 下部副誘電体膜の厚さとの関係を示す。横軸は、下部副誘電体膜の厚さを単位「 nm 」で表し、縦軸は、キャパシタ容量を単位「 $\text{fF}/\mu\text{m}^2$ 」で表す。黒丸記号及び白四角記号が、それぞれ実施例及び比較例の MIM キャパシタの測定結果を示す。下部副誘電体膜が厚くなるに従って、キャパシタ容量が低下している。実施例及び比較例において、キャパシタ容量がほぼ等しくなるように、各誘電体膜の厚さが設定されている。

20

【0026】

図 3 D に、実施例による MIM キャパシタの単位面積当たりのリーク電流と、下部副誘電体膜の厚さとの関係を示す。横軸は、下部副誘電体膜の厚さを単位「 nm 」で表し、縦軸は、リーク電流を単位「 $\text{fA}/\mu\text{m}^2$ 」で表す。リーク電流は、 MIM キャパシタの電極間に 3 V の直流電圧を印加して測定した。黒丸記号及び白四角記号が、それぞれ実施例及び比較例の MIM キャパシタの測定結果を示す。

30

【0027】

比較例の試料では、下部副誘電体膜の厚さが 1.5 nm 以下になると、リーク電流が急激に増加する。これに対し、実施例の試料では、下部副誘電体膜の厚さが少なくとも $0.5\text{ nm} \sim 2\text{ nm}$ の範囲内でほぼ一定であり、下部副誘電体膜の厚さが 1.5 nm 以下になっても、リーク電流の急激な増大は見られない。

【0028】

この評価結果から、下部副誘電体膜をアニールで形成することにより、 CVD で形成する場合に比べて、キャパシタ容量を大きく維持したまま、リーク電流の増大を抑制できることがわかる。

40

【0029】

図 4 A ~ 図 4 D を参照して、アニール、 CVD 、及びスパッタリングにより形成した Al_2O_3 膜の膜質の評価結果について説明する。

【0030】

図 4 A に、試料 S1、S2、及び S3 の元素濃度割合を XPS により測定した結果を示す。いずれの試料も、厚さ 150 nm の $TiAlN$ 膜の上に、厚さ 2 nm の Al_2O_3 膜、及び厚さ 3 nm の Ta_2O_5 膜が形成されたものである。試料 S1 の Al_2O_3 膜は、実施例による下部副誘電体膜 35 の形成と同じアニールを用いて形成した。試料 S2 の Al_2O_3 膜は CVD により形成し、試料 S3 の Al_2O_3 膜はスパッタリングにより形成した。

50

【0031】

試料S1においては、Tiが検知されず、実質的にAlとOのみが検知されている。この結果から、図4Bに示すように、TiAlN膜の全面を Al_2O_3 膜が連続的に覆っていると考えられる。これに対し、試料S2及びS3においては、 Al_2O_3 膜の下地のTiが検知されている。この結果から、試料S2及びS3においては、図4C及び図4Dに示すように、 Al_2O_3 膜がTiAlN膜の全面を連続的に覆っておらず、 Ta_2O_5 膜がTiAlN膜に直接接触する領域が存在すると考えられる。試料S2の方が、試料S3よりも、Tiの検出割合が低い。このことから、 Al_2O_3 膜によるTiAlN膜の被覆率は、試料S2の方が試料S3よりも高いと考えられる。

【0032】

2nm程度の薄い Al_2O_3 膜をCVDやスパッタリングで形成すると、TiAlN等の下部電極膜の全面を覆うことが困難である。 Al_2O_3 のバンドギャップは Ta_2O_5 のバンドギャップよりも広いため、 Al_2O_3 膜を配置することは、リーク電流の抑制に有効である。図3Dに示したように、 Al_2O_3 下部副誘電体膜を薄くしたときに、比較例の試料においてリーク電流が急激に増大するのは、TiAlN下部電極膜と Ta_2O_5 主誘電体膜とが、 Al_2O_3 下部副誘電体膜を介することなく、直接接触すること起因すると考えられる。

【0033】

これに対し、実施例のように、アニールによって Al_2O_3 下部副誘電体膜を形成する場合には、 Al_2O_3 膜を薄くしてもTiAlNからなる下部電極の全面を連続的に覆うことができる。このため、 Al_2O_3 下部副誘電体膜を薄くしたときのリーク電流の増大が抑制されていると考えられる。

【0034】

図5Aに、実施例によるMIMキャパシタの Al_2O_3 下部副誘電体膜の厚さとキャパシタ容量との関係を示し、図5Bに、 Al_2O_3 下部副誘電体膜の厚さとリーク電流との関係を示す。図5A及び図5Bの横軸は、 Al_2O_3 下部副誘電体膜の厚さを単位「nm」で表し、図5Aの縦軸は単位面積当たりのキャパシタ容量を単位「fF/ μm^2 」で表し、図5Bの縦軸は、単位面積当たりのリーク電流を単位「fA/ μm^2 」で表す。

【0035】

下部副誘電体膜の厚さを0.5nm以下にすると、リーク電流が急激に増大することが分かる。これは、下部副誘電体膜が下部電極膜の全面を連続的に覆っていないためと考えられる。リーク電流を抑制するために、下部副誘電体膜の厚さを0.5nm以上にするのが好ましい。

【0036】

図6Aに、実施例によるMIMキャパシタのTiAlN下部電極の厚さとキャパシタ容量との関係を示し、図6Bに、TiAlN下部電極の厚さとリーク電流との関係を示す。図6A及び図6Bの横軸は、下部電極の厚さを単位「nm」で表し、図6Aの縦軸は単位面積当たりのキャパシタ容量を単位「fF/ μm^2 」で表し、図6Bの縦軸は、単位面積当たりのリーク電流を単位「fA/ μm^2 」で表す。

【0037】

下部電極の形成には、Tiに対するAlの含有量の比 $Al/Ti = 30$ 原子%のAlTi合金ターゲットを用いた。 Ta_2O_5 主誘電体膜の厚さは5nmとし、 Al_2O_3 上部副誘電体膜の厚さは6nmとした。TiN上部電極の厚さは150nmとした。下部副誘電体膜を形成するためのアニール温度は400 とした。

【0038】

キャパシタ容量は、下部電極の厚さには殆ど依存しない。ところが、リーク電流は、下部電極の厚さが5nm未満になると、急激に増大する。これは、アニール時に、下部電極から十分な量のAlが供給されなくなり、全面を連続的に覆う Al_2O_3 膜を形成できないためと考えられる。リーク電流の急激な増加を防止するために、TiAlN下部電極の厚さを5nm以上にするのが好ましい。

10

20

30

40

50

【0039】

図7を参照して、下部電極のAlとTiとの含有量の好適値について説明する。下部電極のAlとTiとの含有量を変えて複数の試料を作製し、 Al_2O_3 下部副誘電体膜の厚さを測定した。

【0040】

図7に、下部副誘電体膜を形成するためのアニール温度と、 Al_2O_3 下部副誘電体膜の厚さとの関係を示す。横軸はアニール温度を単位「 $^{\circ}C$ 」で表し、縦軸は、形成された Al_2O_3 下部副誘電体膜の厚さを単位「nm」で表す。アニール温度を600よりも高くすると、 Al_2O_3 、及び Ta_2O_5 が結晶化してしまうため、アニール温度は400～600の範囲内で変化させた。アニール時間は60秒とした。

10

【0041】

図中の菱形、正方形、三角、及びエックス記号は、それぞれTiに対するAlの含有量の比 $Al/Ti = 20$ 原子%、30原子%、50原子%、及び60原子%のAlTi合金ターゲットを用いてTiAlN膜を形成した試料における下部副誘電体膜の厚さを示す。なお、実際に形成されるTiAlN膜のAlとTiの含有量の比は、AlTi合金ターゲットのAlとTiの含有量の比とほぼ等しい。

【0042】

図5A及び図5Bに示した評価結果から、下部副誘電体膜の厚さは0.5nm以上にすることが好ましい。 $Al/Ti = 20$ 原子%のAlTi合金ターゲットを用いると、アニール温度を600まで高くしても、0.5nm以上の厚さの Al_2O_3 膜が形成されない。これは、アニール時に、下部電極から十分な量のAlが供給されないためであると考えられる。十分な厚さの Al_2O_3 下部副誘電体膜を形成するために、下部電極膜のTiAlNのアニール前におけるTiに対するAlの含有量の比 Al/Ti を30原子%以上にすることが好ましい。

20

【0043】

また、含有量の比 Al/Ti を60原子%にすると、 Al_2O_3 膜の成膜速度が速くなりすぎ、膜厚の制御が困難になる。 Al_2O_3 下部副誘電体膜の膜厚の制御性を高くするために、TiAlN下部電極膜のアニール前におけるTiに対するAlの含有量の比 Al/Ti を50原子%以下とすることが好ましい。

【0044】

図8A及び図8Bを参照して、アニールを行う好適な時期について説明する。図1A～図1Fに示した実施例では、 Al_2O_3 上部副誘電体膜32を形成した後にアニールを行った。その他に、TiAlN下部電極膜30を形成した直後、 Ta_2O_5 主誘電体膜31を形成した直後、及びTiN上部電極膜38を形成した直後のいずれかにアニールを行った複数の試料を作製した。

30

【0045】

図8Aに、アニール温度とキャパシタ容量との関係を示し、図8Bに、アニール温度とリーク電流との関係を示す。図8A及び図8Bの横軸は、アニール温度を単位「 $^{\circ}C$ 」で表し、図8Aの縦軸は単位面積当たりのキャパシタ容量を単位「 $fF/\mu m^2$ 」で表し、図8Bの縦軸は、単位面積当たりのリーク電流を単位「 $fA/\mu m^2$ 」で表す。図中の菱形、正方形、三角、及びエックス記号は、それぞれTiAlN下部電極膜形成直後、 Ta_2O_5 主誘電体膜形成直後、 Al_2O_3 上部副誘電体膜形成直後、及びTiN上部電極膜形成直後にアニールを行った試料の測定結果を示す。

40

【0046】

TiAlN下部電極膜を形成した後、 Ta_2O_5 主誘電体膜を形成する前にアニールを行った試料は、他の試料に比べて大きなキャパシタ容量が得られているが、リーク電流も多い。これは、TiAlN下部電極膜の表面が、アニール雰囲気中に残留する酸素によって酸化され、酸化に起因する荒れが生じているためと考えられる。なお、TiN表面が露出している場合には、同一の条件でアニールを行っても、酸化は生じない。TiAlN下部電極膜を形成した後、 Ta_2O_5 主誘電体膜を形成する前にアニールを行った試料では

50

、表面に析出する Al が酸化されるため、表面荒れが生じたと考えられる。

【0047】

また、 Ta_2O_5 主誘電体膜を形成した後は、いずれの段階でアニールを行っても、キャパシタ容量及びリーク電流に有意な差はない。従って、アニールは、 Ta_2O_5 主誘電体膜を形成した後、どの段階でおこなってもよい。

【0048】

図9に、アニール温度と Al_2O_3 下部副誘電体膜の厚さとの関係を示す。図9に示した評価の対象となった試料は、 Ta_2O_5 主誘電体膜を形成した後に、アニールを行った。 $TiAlN$ 下部電極膜の Ti に対する Al の含有量の比 Al / Ti は50原子%とした。アニール時間は60秒とした。

10

【0049】

アニール温度が350 以下の場合には、下部副誘電体膜の厚さを0.5nm以上にすることが困難である。このため、図5Bに示した評価結果からわかるように、リーク電流が多くなってしまう。リーク電流の増大を防止するために、アニール温度を400 以上にすることが好ましい。また、アニール温度を600 よりも高くすると、 Al_2O_3 や Ta_2O_5 が結晶化してしまう。従って、アニール温度を600 以下にすることが好ましい。

【0050】

上記実施例では、導電プラグ20の直上に配置したいわゆるスタック構造のMIMキャパシタについて説明したが、上記実施例は、プレーナ構造のMIMキャパシタにも適用可能である。

20

【0051】

図10に、プレーナ構造のMIMキャパシタの断面図を示す。以下、図1Fに示したスタック構造のMIMキャパシタとの相違点に着目して説明する。

【0052】

プレーナ構造のMIMキャパシタにおいては、下部副誘電体膜35aから上部電極38aまでの積層構造の平面形状が、下部電極30aの平面形状よりも小さくされている。スタック構造のMIMキャパシタにおいては、下部電極30aが、その下方に配置された導電プラグ20に接続されていたが、プレーナ構造では、MIMキャパシタの直下には導電プラグが配置されない。その代わりに、下部電極30aは、上部電極38aの脇を通過する導電プラグ38に接続される。

30

【0053】

プレーナ構造においても、 Al_2O_3 下部副誘電体膜35aは、 Ta_2O_5 主誘電体膜31aを形成した後のアニールにより、形成される。このため、スタック構造の実施例と同様に、キャパシタ容量を大きく保ったまま、リーク電流の増大を防止することができる。

【0054】

また、上記実施例では、 $TiAlN$ 下部電極膜30と Ta_2O_5 主誘電体膜31との間の下部副誘電体膜35を、アニールにより形成したが、上部副誘電体膜32をアニールにより形成してもよいし、下部と上部の両方の Al_2O_3 誘電体膜35、32をアニールにより形成してもよい。上部副誘電体膜32をアニールで形成する場合には、 Ta_2O_5 主誘電体膜31の上に、 $TiAlN$ 上部電極膜38を形成し、その後アニールを行えばよい。主誘電体膜31内のOと上部電極膜38内のAlとが反応することにより、両者の界面に Al_2O_3 からなる上部副誘電体膜32が形成される。

40

【0055】

上記実施例では、下部電極膜30の材料を「 $TiAlN$ 」と表記したが、実施例中の説明から、この表記は、 Ti と Al と N との組成比が1:1:1であることを意味していないことは明らかである。同様に、上部電極膜38の材料を「 TiN 」と表記したが、この表記は、 Ti と N との組成比が1:1であることを意味していない。さらに、上記実施例では、誘電体膜の材料に「 Al_2O_3 」、「 Ta_2O_5 」という表記を用いたが、実際に

50

形成される誘電体膜の元素組成比じゃ、化学量論的組成比に一致するとは限らない。実際の誘電体膜の元素組成比が化学量論的組成比からずれたとしても、上記実施例で説明した効果と同等の効果を得ることができる。

【0056】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【図面の簡単な説明】

【0057】

【図1-1】(1A)～(1C)は、実施例による半導体装置の製造途中段階における主要部の断面図である。

10

【図1-2】(1D)～(1F)は、実施例による半導体装置の製造途中段階における主要部の断面図である。

【図2】(2A)は、アニール前後のAlのTiAlNに起因するピークの高さとAl₂O₃に起因するピークの高さとの割合を示すグラフであり、(2B)はアニール前の試料の断面図であり、(2C)はアニール後の試料の断面図である。

【図3】(3A)及び(3B)は、それぞれ実施例及び比較例によるMIMキャパシタの断面図であり、(3C)は、Al₂O₃下部副誘電体膜の厚さとキャパシタ容量との関係を示すグラフであり、(3D)は、Al₂O₃下部副誘電体膜の厚さとリーク電流との関係を示すグラフである。

20

【図4】(4A)は、Al₂O₃膜をアニール、CVD、及びスパッタリングで形成した試料S1～S3の元素濃度割合を示すグラフであり、(4B)～(4D)は、それぞれ試料S1～S3の断面図である。

【図5】(5A)は、Al₂O₃下部副誘電体膜の厚さとキャパシタ容量との関係を示すグラフであり、(5B)は、Al₂O₃下部副誘電体膜の厚さとリーク電流との関係を示すグラフである。

【図6】(6A)は、TiAlN下部電極の厚さとキャパシタ容量との関係を示すグラフであり、(6B)は、TiAlN下部電極の厚さとリーク電流との関係を示すグラフである。

【図7】TiAlN下部電極のAlとTiとの含有量の比が異なる試料ごとに、アニール温度とAl₂O₃下部副誘電体膜の厚さとの関係を示すグラフである。

30

【図8】(8A)は、アニールを行う時期が異なる試料ごとに、アニール温度とキャパシタ容量との関係を示すグラフであり、(8B)は、アニール温度とリーク電流との関係を示すグラフである。

【図9】アニール温度と、Al₂O₃下部副誘電体膜の厚さとの関係を示すグラフである。

【図10】プレーナ構造のMIMキャパシタの断面図である。

【符号の説明】

【0058】

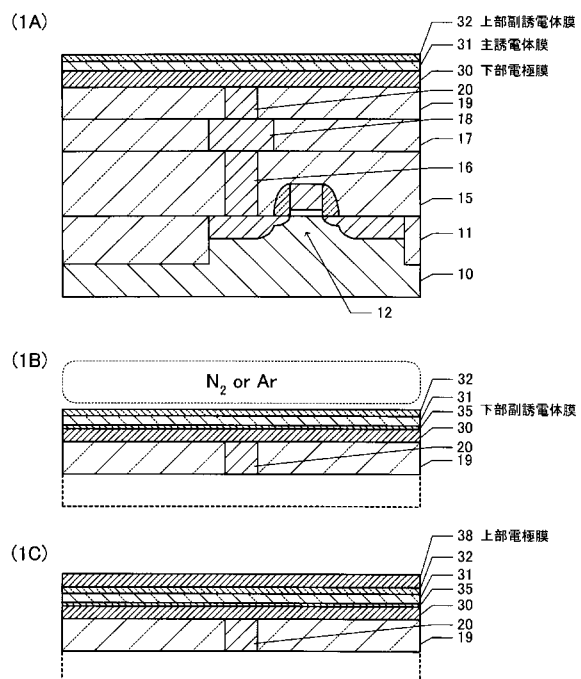
- 10 半導体基板
- 11 素子分離絶縁膜
- 12 MISFET
- 15、17、19 層間絶縁膜
- 16、20 導電プラグ
- 18 配線
- 30 下部電極膜
- 30a 下部電極
- 31、31a 主誘電体膜
- 32、32a 上部副誘電体膜
- 35、35a 下部副誘電体膜
- 38 上部電極膜

40

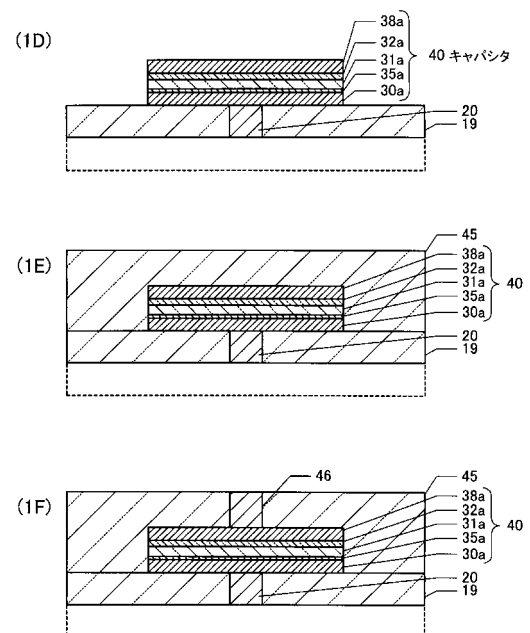
50

- 38 a 上部電極
 40 MIMキャパシタ
 45 層間絶縁膜
 46、48 導電プラグ

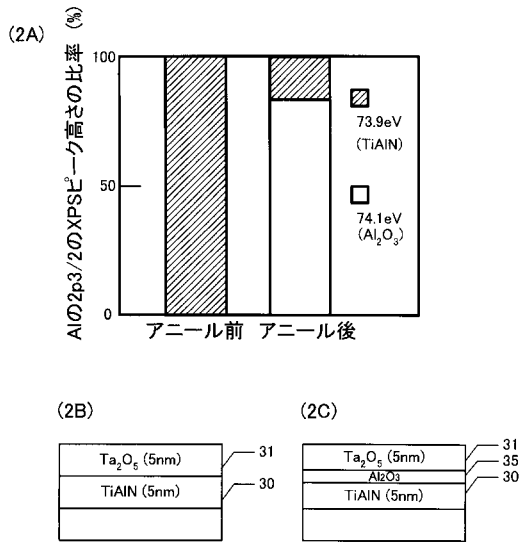
【図 1 - 1】



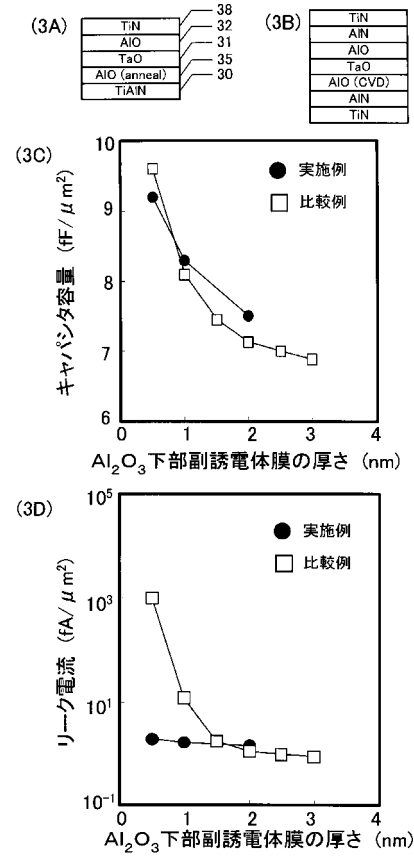
【図 1 - 2】



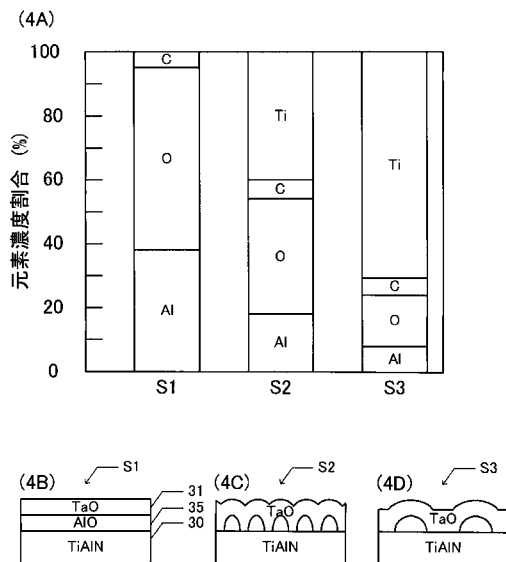
【図 2】



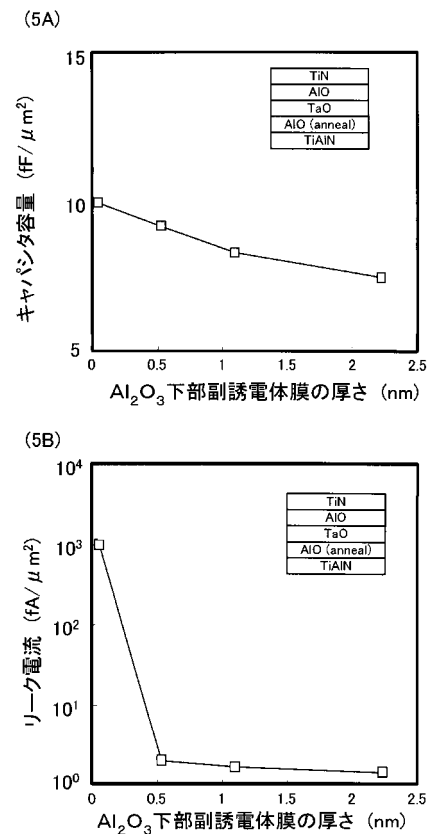
【図 3】



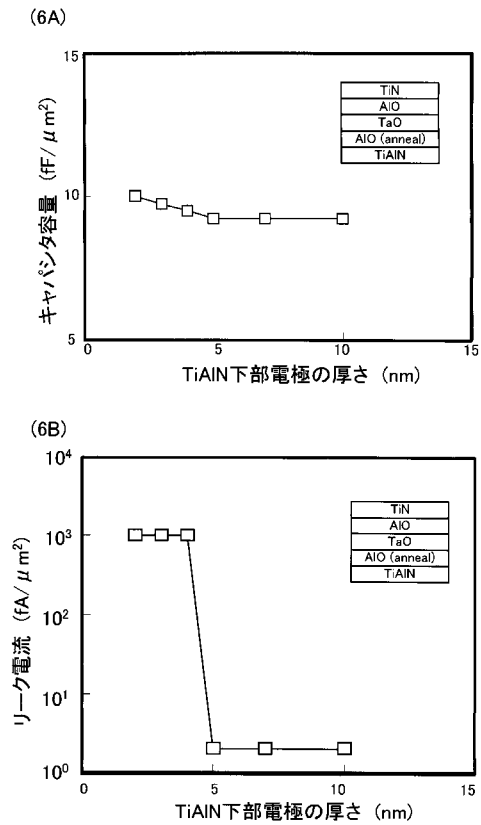
【図 4】



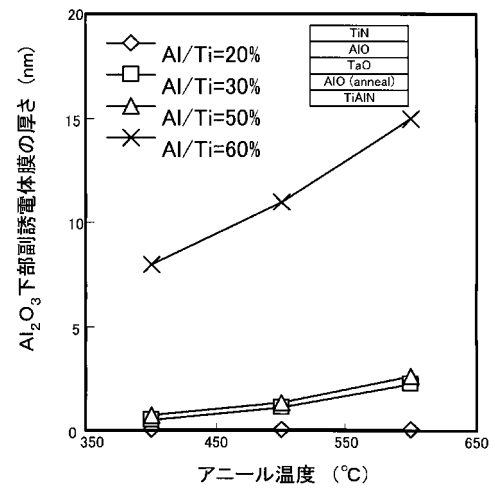
【図 5】



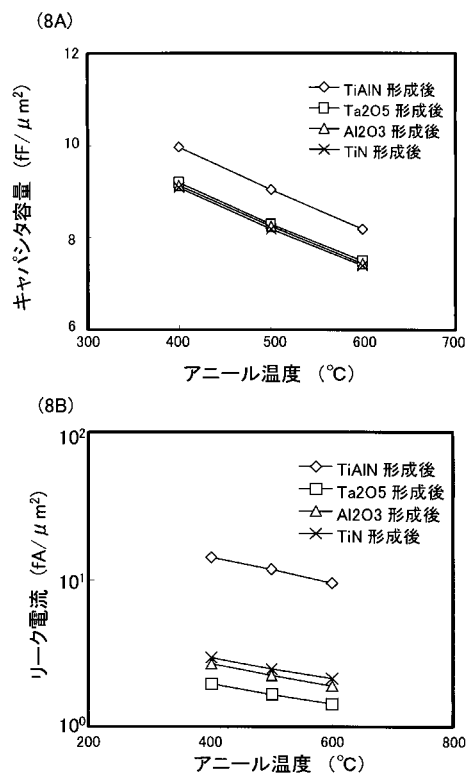
【図 6】



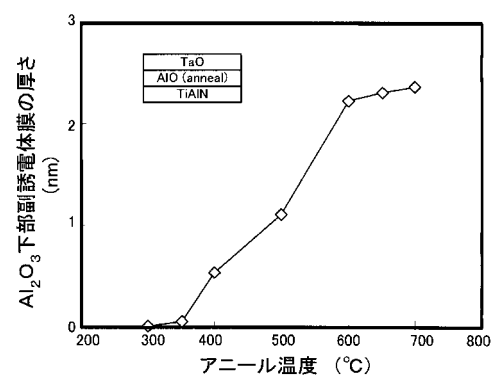
【図 7】



【図 8】



【図 9】



【図 10】

