



(12) Ausschließungspatent

(11) DD 288 711 A5

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 03 M 1/10

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD H 03 M / 333 860 3 (22) 24. 10. 89 (44) 04. 04. 91

(71) siehe (73)
(72) Schauer, Lothar, Dr.-Ing. Dipl.-Ing., DE
(73) Akademie der Wissenschaften der DDR, Institut für Automatisierung, Rudower Chaussee 5, O - 1199 Berlin, DE
(74) Institut für Kosmosforschung der Akademie der Wissenschaften der DDR, Rudower Chaussee 5, O - 1199 Berlin, DE

(54) Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern (II)

(55) Schaltungsanordnung; Analog-Digital-Umsetzer; ADU; Parameter; Genauigkeit; Umsetzungsergebnis, dynamisch; Funktionsgenerator; Referenz-ADU; Testsignal maximaler Dynamik

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern und findet Anwendung bei der Parameterspezifikation von Umsetzerelementen. Ziel der Erfindung ist die Schaffung einer Schaltungsanordnung zur unmittelbaren Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, wobei auf aufwendige Hardware, wie z. B. triggerbare Sinusgeneratoren verzichtet werden soll. Erfindungsgemäß wird ein dynamisches periodisches Testsignal aus einem Funktionsgenerator zugleich dem Analogeingang des zu testenden Analog/Digital-Umsetzers und dem dritten Eingang eines Komparators zugeführt. Hierbei erhält der Funktionsgenerator einen Grundtakt aus dem Taktgenerator und ist mit diesem synchronisiert. Weiterhin besteht eine Verbindung zwischen dem Grundtaktgenerator und dem ersten Eingang eines Monoflops, wobei der zweite Eingang des Monoflops der digitalen Einstellung der Zeitverzögerung des Monoflops dient. Der Ausgang des Monoflops führt ein Strobe-Signal und ist am ersten Eingang bzw. dem Strobe-Eingang des Komparators und am Start-Eingang des zu testenden Analog/Digital-Umsetzers angeschlossen. Der Ausgang des Komparators ist am Eingang eines Integrators angeschlossen, wobei der Ausgang des Integrators auf den zweiten Eingang des Komparators rückgeführt ist und mit dem Eingang eines Referenz-Analog/Digital-Umsetzers in Verbindung steht. Der Ausgang des Referenz-ADU ist mit dem ersten Eingang eines Subtrahierers verbunden. Der digitale Ausgang des zu testenden Analog/Digital-Umsetzers führt auf den zweiten Eingang des Subtrahierers, wobei am Ausgang E des Subtrahierers die differentielle Nichtlinearität im Abtastpunkt abgreifbar ist. In einer Ausführungsform der Erfindung wird die Bestimmung der dynamischen Nichtlinearität am ausgewählten Abtastzeitpunkt zusätzlich unter der Bedingung von alternierend eingeschobenen Umsetzungen der Skalenendwerte $-FS$ und $+FS$ am Test-ADU ergänzt. Damit kann das Verhalten der Genauigkeit des Umsetzers bei maximaler Dynamik des Testsignals untersucht werden.

Patentansprüche:

1. Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, **gekennzeichnet dadurch**, daß ein dynamisches periodisches Testsignal aus einem Funktionsgenerator (2) zugleich dem Analogeingang des zu testenden Analog/Digital-Umsetzers (4) und dem dritten Eingang eines Komparators (5) zugeführt ist, der Funktionsgenerator (2) einen Grundtakt aus einem Taktgenerator (1) erhält und mit diesem synchronisiert ist, weiterhin eine Verbindung zwischen dem Grundtaktgenerator (1) und dem ersten Eingang eines Monoflops (3) besteht, wobei der zweite Eingang des Monoflops (3) der digitalen Einstellung der Zeitverzögerung des Monoflops (3) dient, der Ausgang des Monoflops (3) ein Strobe-Signal S führt und am ersten Eingang bzw. dem Strobe-Eingang des Komparators (5) und am Start-Eingang des zu testenden Analog/Digital-Umsetzers (4) angeschlossen ist, der Ausgang des Komparators (5) am Eingang eines Integrators (6) angeschlossen ist, wobei der Ausgang des Integrators (6) auf den zweiten Eingang des Komparators (5) rückgeführt ist und mit dem Eingang eines Referenz-Analog/Digital-Umsetzers (7) in Verbindung steht, der Ausgang des Referenz-ADU (7) mit dem ersten Eingang eines Subtrahierers (8) verbunden ist und der digitale Ausgang des zu testenden Analog/Digital-Umsetzers (4) auf den zweiten Eingang des Subtrahierers (8) führt, wobei am Ausgang E des Subtrahierers (8) die differentielle Nichtlinearität im Abtastpunkt abgreifbar ist.
2. Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern nach Anspruch 1, **gekennzeichnet dadurch**, daß zusätzlich ein digitaler Taktteiler (9), dessen Eingang vom Grundtaktgenerator (1) gespeist wird und welcher ausgangsseitig mit dem Eingang des Funktionsgenerators (2) in Verbindung steht, vorhanden ist, weiterhin eine Initiierungsschaltung (10) zum Start der Umsetzung des Test-ADU (4) vorgesehen ist, wobei der erste Eingang der Initiierungsschaltung (10) mit dem Ausgang des Taktteilers (9) und der zweite Eingang mit dem Grundtaktgenerator (1) verbunden ist und der Ausgang der Initiierungsschaltung (10) am Start-Eingang des Test-ADU (4) angeschlossen ist.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern und findet Anwendung bei der Parameterspezifikation von Umsetzerelementen.

Charakteristik des bekannten Standes der Technik

Bekannt sind Schaltungsanordnungen zur Bestimmung der dynamischen Eigenschaften von Analog/Digital-Umsetzern, die auf der Abtastung eines bekannten Signals, vorzugsweise eines Sinus-Testsignals, der Speicherung der Umsetzungsergebnisse und der anschließenden mathematischen Auswertung beruhen. Aus /1/ wurden Testmethoden bekannt, die auf der Messung der Code-Häufigkeitsverteilung (Histogrammtest) und der Spektralanalyse durch eine schnelle Fourier-Transformation basieren. Für den Histogrammtest wird eine statistisch signifikante Anzahl von Abtastwerten aufgenommen und die Häufigkeit ihres Auftretens als Funktion der digitalen Stufenzahl dargestellt. Beim spektralanalytischen Testverfahren werden die Amplituden der Harmonischen einer Sinusfrequenz berechnet und mit dem theoretisch erreichbaren Signal-Störabstand (Quantisierungsrauschen) verglichen.

Nachteilig ist, daß bei beiden Verfahren eine unmittelbare quantitative Größenaussage über den Wichtungsfehler der einzelnen Bitstufe des zu testenden A/D-Umsetzers nicht möglich ist. Die unmittelbare, bisher jedoch nur zur Erfassung der statischen Fehler eingesetzte Meßmethode zur Bestimmung der Wichtungsfehler und damit der Linearität der Umsetzungsfunktion besteht darin, dem A/D-Umsetzer (ADU) das Ausgangssignal eines analogen Integrators zuzuführen, wobei der Ausgang des ADU an eine digitale Steuerung angeschlossen ist, die auf den Integratoreingang wirkt. Durch die Schaltungsauslegung als Gegenkopplung repräsentiert die analoge Größe am Integratorausgang die digitale Stufenzahl eines voreingestellten Codes der digitalen Steuerung, um dessen Nachbarcodes die zugehörige Integratorspannung schwankt. Diese Größe kann mit einem Digitalvoltmeter erfaßt werden. Hierbei wird je Code nach beendetem Einschwingvorgang ein statischer Meßwert abgelesen. Dynamische Messungen sind bedingt durch die Grenzfrequenz der Gegenkopplung und durch das Ablesen diskreter Werte am Digitalmultimeter nur bedingt möglich.

/1/ Doernberg, J.; Full-speed testing of A/D-Converters; IEEE Journal of Solid-State Circuits, vol. SC-19, Nr. 6, 1984, Seite 820-827

Ziel der Erfindung

Ziel der Erfindung ist die Schaffung einer Schaltungsanordnung zur unmittelbaren Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, wobei auf aufwendige Hardware, wie z. B. triggerbare Sinusgeneratoren verzichtet werden soll.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist die Angabe einer Schaltungsanordnung zur unmittelbaren Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, wobei die Wichtungsfehler einzelner, anwählbarer Bitstellen am A/D-Umsetzer unter dynamischen Bedingungen ermittelbar sein sollen.

Erfindungsgemäß wird die Aufgabe durch eine Schaltungsanordnung gelöst, welche ein dynamisches periodisches Testsignal aus einem Funktionsgenerator zugleich dem Analogeingang des zu testenden Analog/Digital-Umsetzers und dem dritten Eingang eines Komparators zuführt. Hierbei erhält der Funktionsgenerator einen Grundtakt aus dem Taktgenerator und ist mit diesem synchronisiert. Weiterhin besteht eine Verbindung zwischen dem Grundtaktgenerator und dem ersten Eingang eines Monoflops, wobei der zweite Eingang des Monoflops der digitalen Einstellung der Zeitverzögerung des Monoflops dient. Der Ausgang des Monoflops führt ein Strobe-Signal und ist am ersten Eingang bzw. dem Strobe-Eingang des Komparators und am Start-Eingang des zu testenden Analog/Digital-Umsetzers angeschlossen. Der Ausgang des Komparators ist am Eingang eines Integrators angeschlossen, wobei der Ausgang des Integrators auf den zweiten Eingang des Komparators rückgeführt ist und mit dem Eingang eines Referenz-Analog/Digital-Umsetzers in Verbindung steht. Der Ausgang des Referenz-ADU ist mit dem ersten Eingang eines Subtrahierers verbunden. Der digitale Ausgang des zu testenden Analog/Digital-Umsetzers führt auf den zweiten Eingang des Subtrahierers, wobei am Ausgang E des Subtrahierers die differentielle Nichtlinearität im Abtastpunkt abgreifbar ist.

In einer Ausführungsform der Erfindung wird die Bestimmung der dynamischen Nichtlinearität am ausgewählten Abtastzeitpunkt zusätzlich unter der Bedingung von alternierend eingeschobenen Umsetzungen der Skalenendwerte $-FS$ und $+FS$ am Test-ADU ergänzt. Damit kann das Verhalten der Genauigkeit des Umsetzers bei maximaler Dynamik des Testsignals untersucht werden.

Hierfür wird die Schaltungsanordnung durch einen digitalen Taktteiler, dessen Eingang vom Grundtaktgenerator gespeist wird und welcher ausgangsseitig mit dem Eingang des Funktionsgenerators in Verbindung steht, ergänzt. Weiterhin erfolgt eine Erweiterung der Schaltungsanordnung durch eine Initiierungsschaltung zum Start der Umsetzung des Test-ADU. Hierbei ist der erste Eingang der Initiierungsschaltung mit dem Ausgang des Taktteilers und der zweite Eingang mit dem Grundtaktgenerator verbunden. Der Ausgang der Initiierungsschaltung ist am Start-Eingang des Test-ADU angeschlossen.

Ausführungsbeispiel

Die Erfindung soll anhand eines Beispiels und mehrerer Figuren näher erläutert werden.

Die Figur 1 zeigt die prinzipielle Ausbildung der erfindungsgemäßen Anordnung, wobei die Figur 2 hierfür typische Signalwellenformen angibt.

Die Figur 3 zeigt eine ergänzte Ausführungsform der Erfindung mit in Figur 4 dargestellten hierfür wesentlichen Signalwellenformen.

Der Taktgenerator 1 gemäß Figur 1 erzeugt den Grundtakt ϕ , der auf den Eingang des Funktionsgenerators 2 und den ersten Eingang des Monoflops 3 gelangt. Über den Eingang δ , d. h. den zweiten Eingang des Monoflops 3, ist die Zeitverzögerung δ_1 des Monoflops 3 und damit das Auftreten eines Strobe-Signals S am Ausgang einstellbar. Das Strobe-Signal S gelangt an den Strobe-Eingang (erster Eingang) des Komparators 5 und als Initiierungssignal an den Start-Eingang des zu testenden ADU 4, in beiden Fällen mit der steigenden Flanke wirksam werdend. Das Testsignal T führt auf den dritten Eingang des Komparators 5 und den Analogeingang des Test-ADU 4. Der abgetastete Punkt U_1 des Testsignals T korrespondiert mit der Auslösung des Strobe-Signals S nach der Zeitdauer δ_1 .

Der Ausgang des Komparators 5 ist mit dem Eingang des Integrators 6 verbunden, dessen Ausgang auf den zweiten Eingang des Komparators 5 rückgekoppelt und auf den Eingang des Referenz-ADU 7 geführt ist. Der digitale Ausgang des Referenz-ADU 7 und des Test-ADU 4 sind auf jeweils einen Eingang eines digitalen Subtrahierers 8 gelegt, wobei am Ausgang des Subtrahierers 8 der Linearitätsfehler E abgreifbar ist.

Die Figur 2 zeigt die Bestimmung des Linearitätsfehlers

$$E = U'_1 - U_1 \text{ mit } E \text{ analog}$$

für zwei Abtastpunkte U_1 und U_2 .

Die digitale Stufenzahl Z_1 , entstanden aus der Umsetzung der Integrator-Ausgangsspannung im Referenz-ADU 7, und die reale Stufenzahl Z'_1 bilden im Subtrahierer 8 den Linearitätsfehler

$$E = Z'_1 - Z_1 \text{ mit } E \text{ digital.}$$

Nach Vorgabe des Abtastpunktes durch die Einstellung am Steuereingang δ des Monoflops 3, verändert sich die Ausgangsspannung des Integrators 6 solange, bis nach mehreren Perioden des Grundtaktes die Integratorausgangsspannung um die abgetastete Spannung U_1 pendelt. Dieser Zustand wird in Figur 2 durch die unterbrochene Linienführung für die Integratorausgangsspannung durch Umladen nach jeder Abtastung S gezeigt. Damit reproduziert der Integrator 6 die ideale Spannung im Abtastzeitpunkt, die durch den Referenz-ADU 7 als Referenz umgewandelt wird. Das Testsignal T wird in Figur 2 mit der Zeitverzögerung δ_1 und δ_2 bezüglich des Grundtaktes ϕ abgetastet. U_1 im ADU 4 nach Umsetzung erhaltenen Stufenzahlen Z'_1 und Z_2 entsprechen den eingetragenen beispielhaften Analoggrößen U'_1 und U'_2 .

Die in Figur 3 gezeigte Ausführungsform der Erfindung realisiert alternierend initiierte AD-Umsetzungen der Skalendewerte $-FS$ und $+FS$ zwischen den durch S ausgelösten Umsetzungen, jeweils mit der steigenden Flanke des Grundtaktes ϕ . Der Taktsteller 9 bildet den Bezugstakt für das Strobe-Signal S , während die Initiierungsschaltung 10 die steigenden Flanken des Grundtaktes ϕ und des Strobe-Signals S zum Eingang für das Start-Signal C des ADU 4 durchschaltet. In Figur 4 ist eine Reihenfolge von Umsetzungen, ausgelöst durch einen Nadellimpuls an C beispielhaft gezeigt: $-FS, U_3, +FS, -FS, U_3, +FS$ usw. Durch weitere Kombinatorik in der Initiierungsschaltung 10 läßt sich die Aufeinanderfolge der umgesetzten Spannungen beliebig ändern.

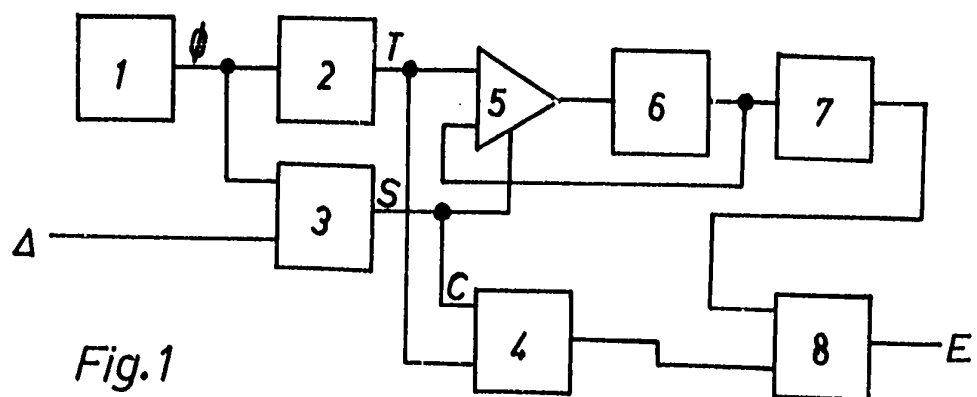


Fig. 1

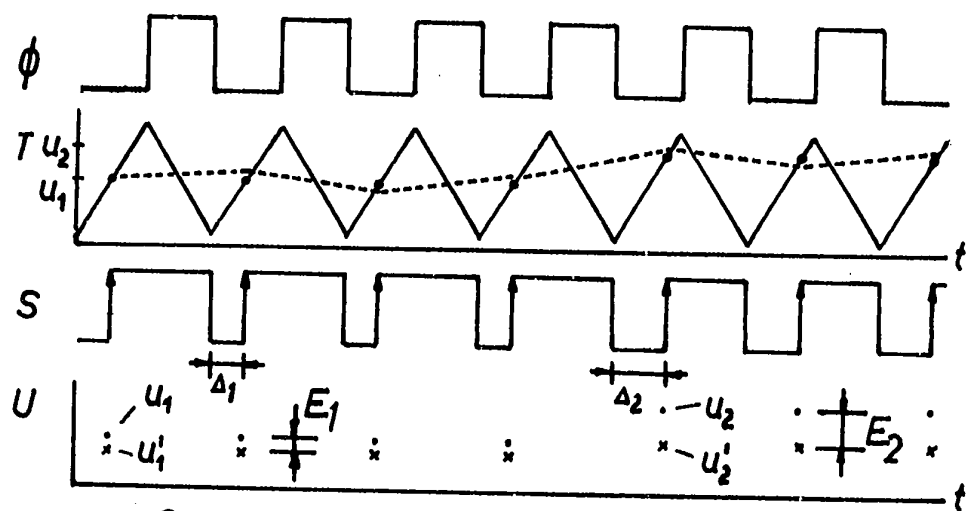


Fig. 2

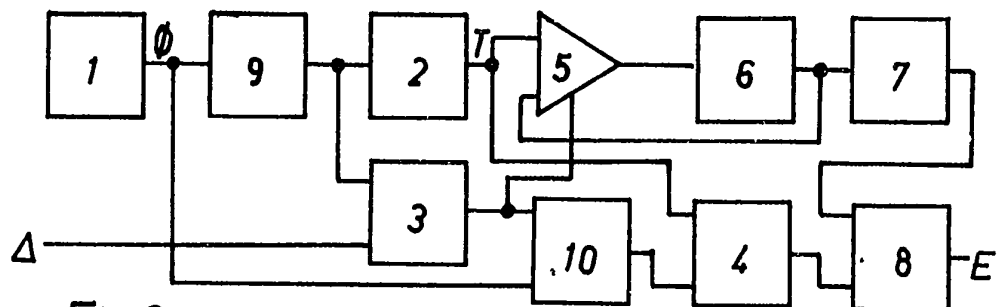


Fig. 3

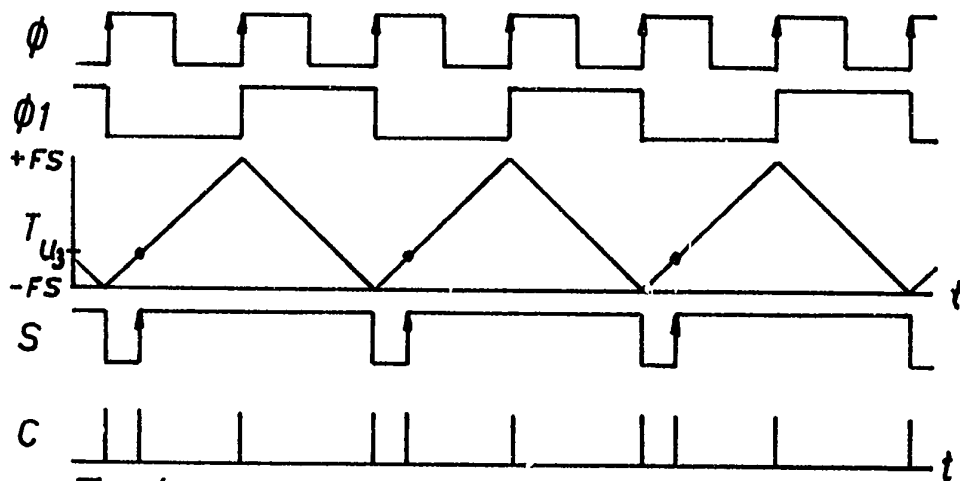


Fig. 4