

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4057990号
(P4057990)

(45) 発行日 平成20年3月5日 (2008.3.5)

(24) 登録日 平成19年12月21日 (2007.12.21)

(51) Int.Cl.	F I
H03K 5/1252 (2006.01)	H03K 5/01 G
H03K 5/08 (2006.01)	H03K 5/08 E
H03K 19/0175 (2006.01)	H03K 19/00 I O I F

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2003-363461 (P2003-363461)	(73) 特許権者	000221199 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1
(22) 出願日	平成15年10月23日 (2003.10.23)		
(65) 公開番号	特開2005-130185 (P2005-130185A)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年5月19日 (2005.5.19)	(74) 代理人	100092820 弁理士 伊丹 勝
審査請求日	平成17年10月7日 (2005.10.7)	(72) 発明者	大川 浩一 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社 内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

論理信号に含まれるグリッチを除去するフィルタ回路を備えた半導体集積回路装置において、

前記フィルタ回路は、

入力論理信号の各立ち上がりエッジのタイミング後一定時間活性化されてその立ち上がりエッジを遅延させる第1の遅延回路と、

前記入力論理信号の各立ち下がりエッジのタイミング後一定時間活性化されてその立ち下がりエッジを遅延させる第2の遅延回路と、

前記第1及び第2の遅延回路の出力により制御されて前記入力論理信号の遅延出力を出す出力ドライバとを有し、

前記第1及び第2の遅延回路はそれぞれ、

前記入力論理信号に基づいて生成された相補的レベルを持つ二系統の信号の一方が入力される、ゲートに参照電圧が与えられて出力の放電電流を制限する電流源トランジスタを備えた第1のインバータと、

前記第1のインバータの出力に接続されたキャパシタと、

前記第1のインバータの出力電圧を前記参照電圧と比較して検知するための、前記二系統の信号の一方の立ち上がりエッジから一定時間活性化されるカレントミラー型差動増幅器とを有する

ことを特徴とする半導体集積回路装置。

10

20

【請求項 2】

前記差動増幅器は、

一方のゲートが前記第 1 のインバータの出力に接続され、他方のゲートに前記参照電圧が与えられる一対のドライバ NMOS トランジスタと、

前記ドライバ NMOS トランジスタのドレインにそれぞれドレインが接続されてカレントミラー回路を構成する一対の負荷 PMOS トランジスタと、

前記ドライバ NMOS トランジスタの共通ソースと接地端子の間に介在する活性化用 NMOS トランジスタと、

前記負荷 PMOS トランジスタの共通ソースと電源端子の間に介在する活性化用 PMOS トランジスタとを有する

ことを特徴とする請求項 1 記載の半導体集積回路装置。

10

【請求項 3】

前記第 1 及び第 2 の遅延回路はそれぞれ、

前記差動増幅の出力と前記出力ドライバの間に介在させた第 2 及び第 3 のインバータと

、

前記差動増幅器の出力レベルをそれが非活性化された後にも保持するためのラッチ回路と、

前記第 2 及び第 3 のインバータの接続ノードの電圧レベルを電源投入時に初期設定する初期設定回路とを更に備えた

ことを特徴とする請求項 1 記載の半導体集積回路装置。

20

【請求項 4】

前記出力ドライバは、

ソースが電源端子に接続されドレインが前記出力ノードに接続されて、前記第 1 の遅延回路の出力によりゲートが駆動される PMOS トランジスタと、

ソースが接地端子に接続されドレインが前記出力ノードに接続されて、前記第 2 の遅延回路の出力によりゲートが駆動される NMOS トランジスタと、

前記出力ノードに接続されてその電圧レベルを正帰還制御する帰還回路とを有する

ことを特徴とする請求項 1 記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

この発明は、論理信号に含まれるグリッチを除去するためのフィルタ回路を備えた半導体集積回路装置に関する。

【背景技術】

【0002】

半導体集積回路において、しばしば論理信号を内部回路に転送する際に、その論理信号に重畳されているグリッチを除去乃至抑圧することが必要になる。グリッチは、狭いパルス幅の電圧スパイクノイズであるから、これを除去するためには一般にフィルタ回路が用いられる。グリッチ除去のためのフィルタ回路としては例えば、積分回路が用いられる（例えば、特許文献 1 参照）。

40

【0003】

図 5 は従来のフィルタ回路 30 の構成例を示している。このフィルタ回路 30 は、二系統の遅延回路 31 a , 31 b と、それらの遅延出力で交互に駆動される PMOS トランジスタ P 1 1 と NMOS トランジスタ N 1 1 からなる出力ドライバ 32 とを有する。一方の遅延回路 31 a は、入力ノード IN に接続されたインバータ I 3 1 a , I 3 2 a , I 3 3 a の列を有し、そのインバータ I 3 1 a と I 3 2 a の間には抵抗 R 1 1 a とキャパシタ C 1 a からなる積分回路 32 a が配置されている。他方の遅延回路 31 b は、同様に入力ノード IN に接続されたインバータ I 3 1 b , I 3 2 b , I 3 3 b の列を有し、そのインバータ I 3 2 b と I 3 3 b の間に抵抗 R 1 1 b とキャパシタ C 1 b からなる積分回路 32 b が配置されている。

50

【 0 0 0 4 】

各遅延回路 3 1 a , 3 1 b 内に配置された積分回路 3 2 a , 3 2 b が内部回路に転送すべき入力論理信号のグリッチを除去するための低域通過フィルタ (L P F) の働きをする。即ち、入力ノード I N が “ L ” から “ H ” 或いは “ H ” から “ L ” に遷移する論理信号が入力されると、遅延回路 3 1 a , 3 1 b によりそれぞれ一定の遅延を受けて、 P M O S トランジスタ P 1 1 , N M O S トランジスタ N 1 1 の一方がオン、他方がオフになり、出力ノード O U T に遅延された論理信号が出力される。入力論理信号に重畳している正、負のグリッチパルスは、遅延回路 3 1 b , 3 1 b の積分回路 3 2 b , 3 2 b により除去される。

【特許文献 1】特開平 7 - 3 3 6 2 0 1 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

インバータと積分回路を組み合わせた従来のグリッチ除去フィルタ回路は、電源電圧依存性があり、またインバータを構成するトランジスタのしきい値電圧のばらつきの影響を受ける。

【 0 0 0 6 】

この発明は、消費電力を増大させることなく特性改善を図ったグリッチ除去フィルタを備えた半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

20

【 0 0 0 7 】

この発明の一態様によれば、論理信号に含まれるグリッチを除去するフィルタ回路を備えた半導体集積回路装置において、前記フィルタ回路は、入力論理信号の各立ち上がりエッジのタイミング後一定時間活性化されてその立ち上がりエッジを遅延させる第 1 の遅延回路と、前記入力論理信号の各立ち下がりエッジのタイミング後一定時間活性化されてその立ち下がりエッジを遅延させる第 2 の遅延回路と、前記第 1 及び第 2 の遅延回路の出力により制御されて前記入力論理信号の遅延出力を出す出力ドライバとを有し、前記第 1 及び第 2 の遅延回路はそれぞれ、前記入力論理信号に基づいて生成された相補的レベルを持つ二系統の信号の一方が入力される、ゲートに参照電圧が与えられて出力の放電電流を制限する電流源トランジスタを備えた第 1 のインバータと、前記第 1 のインバータの出力に接続されたキャパシタと、前記第 1 のインバータの出力電圧を前記参照電圧と比較して検知するための、前記二系統の信号の一方の立ち上がりエッジから一定時間活性化されるカレントミラー型差動増幅器とを有する。

30

【発明の効果】

【 0 0 0 8 】

この発明によれば、消費電力を増大させることなく特性改善を図ったフィルタ回路を備えた半導体集積回路装置が得られる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、図面を参照して、この発明の実施の形態を説明する。

40

【 0 0 1 0 】

図 1 は、この発明の実施の形態による半導体集積回路に搭載されるフィルタ回路 1 0 の構成を示している。フィルタ回路 1 0 は、二つの遅延回路 1 1 a , 1 1 b とこれらの遅延出力により駆動される出力ドライバ 1 2 を有する。二つの遅延回路 1 1 a , 1 1 b は同じ構成を有するから、図では対応する回路要素に対してサフィックス “ a ” , “ b ” により区別した同じ符号を付してある。

【 0 0 1 1 】

第 1 の遅延回路 1 1 a は、入力ノード I N に供給される論理信号の各立ち上がりエッジのタイミング後一定時間活性化されてその立ち上がりエッジを遅延させて、出力ドライバ 1 2 の P M O S トランジスタ P 1 1 をオン駆動するためのものである。その遅延処理のな

50

かでグリッチ除去が行われる。入力ノードINが“H”レベルを保つ間、第2の遅延回路11bは非活性に保たれる。

【0012】

第2の遅延回路11bは、入力ノードINの論理信号の各立ち下がりエッジのタイミング後一定時間活性化されてその立ち下がりエッジを遅延させて、出力ドライバ12のNMOSTランジスタN11をオン駆動するためのものである。その遅延処理のなかで、グリッチ除去が行われる。入力ノードINが“L”レベルを保つ間、第1の遅延回路11aは非活性に保たれる。

【0013】

二つの遅延回路11a, 11bを入力論理信号に基づいて相補的に動作させるために、入力ノードINには2段のインバータI1, I2が接続されている。これらのインバータの出力ノードACT0, ACT1には、入力論理信号に対応して相補的レベルを持つ二系統の信号が得られる。これらの二系統の信号がそれぞれ、第1の遅延回路11aと第2の遅延回路11bに入力される。

【0014】

以下、第1の遅延回路11aに着目してその構成を説明する。ノードACT1に接続されたインバータI3aのNMOSTランジスタN1aと接地端子の間には、電源電圧Vccより低くかつ電源電圧に依存しない参照電圧IREFNにより駆動される電流源NMOSTランジスタN2aが設けられている。電流源NMOSTランジスタN2aには、チャネルドーピングが行われていないイントリンシック(I)型NMOSTランジスタを用いている。インバータI3aの出力ノードMONaにキャパシタCaが接続されている。キャパシタCaは、DタイプMOSTランジスタを用いたMOSキャパシタである。

【0015】

このインバータI3aとキャパシタCaは、グリッチ除去のための低域通過フィルタ(LPF)1aを構成している。即ち、ノードMONaの“H”から“L”への遷移(立ち下がり)波形は、参照電圧IREFNにより駆動される電流源NMOSTランジスタN2aのオン抵抗(R)とキャパシタCaの容量(C)によるCR時定数により遅延される。この時定数を最適設定することによって、一定パルス幅以下のグリッチ除去が可能となる。

【0016】

インバータI3aの出力ノードMONaには、カレントミラー型差動増幅器3aが接続されている。差動増幅器3aは、ドライバNMOSTランジスタN3a, N4aと、それらのドレインにそれぞれドレインが接続されたカレントミラー負荷を構成するPMOSTランジスタP3a, P4aを有する。差動トランジスタN3a, N4aのうち、一方N3aのゲートがノードMONaに接続され、他方N4aのゲートには電源電圧に依存しない参照電圧IREFNが与えられている。これらのPMOSTランジスタP3a, P4a及びNMOSTランジスタN3a, N4aとしてもI型トランジスタが用いられている。

【0017】

差動アンプ3aのPMOSTランジスタ対P3a, P4aの共通ソースと電源端子Vccとの間、NMOSTランジスタ対N3a, N4aの共通ソースと接地端子Vssとの間にはそれぞれ、活性化用PMOSTランジスタP2a, NMOSTランジスタN5aが接続されている。これらの活性化用トランジスタP2a, N5aを一定時間オン駆動するために、NANDゲート2aが用意されている。

【0018】

NANDゲート2aの二入力には、この遅延回路11aの入力ノードACT1と出力ノードOUTaが接続されている。従って、ノードACT1が“H”になった後、一定時間遅れて出力ノードOUTaが“L”になるまでの間、NANDゲート2aの出力ノードACTaは“L”となる。このノードACTaの“L”レベル電圧により、活性化PMOSTランジスタP2a及びNMOSTランジスタN5aがオンになり、差動アンプ3aが活性状態になる。

【 0 0 1 9 】

差動アンプ 3 a の出力ノード A O U T 0 a は、インバータ I 6 a を介してノード A O U T 1 a に、更にノード A O U T 1 a はインバータ I 7 a を介して出力ノード O U T a に接続される。出力ノード A O U T 0 a には、ノード A C T 1 により制御されるインバータ I 5 a の出力も接続されている。このインバータ I 5 a の N M O S トランジスタ N 6 a には、ノード A O U T 1 a によりゲートが制御される N M O S トランジスタ N 7 a が直列接続されている。

【 0 0 2 0 】

即ちインバータ I 5 a と I 6 a とは、逆並列接続されて、ノード A C T 1 の信号をラッチ信号とするラッチ回路 4 a を構成している。ノード A C T 1 が “ H ” になると、N M O S トランジスタ N 6 a , N 7 a がオンになって、差動アンプ 3 a の出力ノード A O U T 0 a を “ L ” レベルに設定する。差動アンプ 3 a は、ノード A C T a が “ L ” の間のみ活性でその後は非活性になるが、その後も、A C T 1 = “ H ” の間、これと A O U T 1 a = “ H ” とによって、ラッチ回路 4 a が出力ノード A O U T 0 a を安定に “ L ” に保持する働きをする。

10

【 0 0 2 1 】

出力ドライバ 1 2 は、ソースがそれぞれ電源端子 V c c , 接地端子 V s s に接続され、ドレインが出力ノード O U T に共通接続された P M O S トランジスタ P 1 1 と N M O S トランジスタ N 1 1 を有する。第 1 の遅延回路 1 1 a の出力ノード O U T a は、P M O S トランジスタ P 1 1 のゲートに接続される。第 2 の遅延回路 1 1 b の出力ノード O U T b は、インバータ I 8 を介して N M O S トランジスタ N 1 1 のゲートに接続される。この出力ドライバ 1 2 の出力ノード O U T がフィルタ出力ノードである。この出力ノード O U T に、以下に具体的に説明するように、入力ノード I N に入る論理信号のグリッチが抑圧乃至除去されて、一定の遅延を受けた論理パルス信号が得られる。

20

【 0 0 2 2 】

インバータ I 6 a , I 7 a の接続ノード A O U T 1 a には、電源投入時にこのノード A O U T 1 a をプリチャージするための P M O S トランジスタ P 6 a が設けられている。即ち P M O S トランジスタ P 6 a は、電源電圧 V c c に遅れて立ち上がる内部電源電圧 L V d d によりゲートが駆動されており、電源投入後一定時間オンになる。ノード A O U T 1 a にはまた、ノード A C T 0 により制御されるプルダウン用 N M O S トランジスタ N 8 a が接続されている。この P M O S トランジスタ P 6 a とプルダウン用 N M O S トランジスタ N 8 a は、ノード A O U T 1 a 、従って出力ノード O U T a の電圧レベルを電源投入時に初期設定する初期設定回路 5 a を構成している。

30

【 0 0 2 3 】

即ち電源投入時、ノード A C T 0 が “ L ” であれば、ノード A O U T 1 a は P M O S トランジスタ P 6 a により充電されて、“ H ” となり、出力ノード O U T a は “ L ” になる。ノード A C T 0 が “ H ” であれば、ノード A O U T 1 a は N M O S トランジスタ N 8 a により放電されて “ L ” になる。

【 0 0 2 4 】

第 2 の遅延回路 1 1 b 側でも対応するノード A O U T 1 b には同様に、プリチャージ用 P M O S トランジスタ P 6 b と、ノード A C T 1 により逝去されるプルダウン用 N M O S トランジスタ N 8 b による初期設定回路 5 b が接続されている。従って、電源投入時、ノード A C T 1 の “ L ” , “ H ” に応じて、出力ノード O U T b は “ L ” , “ H ” になる。

40

【 0 0 2 5 】

これにより電源投入初期に、出力ドライバ 1 2 は、遅延回路 1 1 a , 1 1 b に遅延出力が得られる前に、入力ノード I N の論理信号レベルに応じた出力レベルに初期設定されることになる。具体的に入力ノード I N が “ H ” であれば、P M O S トランジスタ P 1 1 がオン、N M O S トランジスタ N 1 1 がオフとなり、出力ノード O U T は “ H ” となる。入力ノード I N が “ L ” であれば、出力ノード O U T は “ L ” となる。

【 0 0 2 6 】

50

出力ノードOUTには、２段のインバータI 1 1 , I 1 2 によりその電位を正帰還制御する帰還回路1 3 が構成されている。第1の遅延回路1 1 aの出力ノードOUT aと第2の遅延回路1 1 bの出力ノードOUT bは、基本的には一方が“H”のとき他方が“L”になるという相補的な変化を示すが、共に“H”となる期間が存在する。この期間出力ノードOUTは、高インピーダンス(H i Z)のフローティング状態となる。帰還回路1 3は、出力ノードOUTがフローティングになるときに、そのレベルを安定に保つための働きをする。

【0027】

第2の遅延回路1 1 bは、前述のようにインバータI 1 の出力ノードACT 0を入力ノードとする(言い換えれば、第1の遅延回路1 1 aとは論理反転した信号が入る)他、その構成は第1の遅延回路1 1 aと同様である。従ってその構成の詳細説明は省く。

10

【0028】

図1のインバータI 3 a , I 3 b及び差動アンプ3 a , 3 bに与えられる参照電圧IREFNは、図2に示すような公知の参照電圧発生回路2 0により発生される。この参照電圧発生回路2 0は、ウィルソン型カレントミラー回路を用いた参照電流源回路2 1を有する。この参照電流源回路2 1の出力BIASPにより駆動されるPMOSTランジスタP 2 3と、ダイオード接続されたNMOSTランジスタN 2 5の部分が定電圧出力回路2 2を構成している。

【0029】

参照電流源回路2 1の出力BIASPには、起動回路2 3が接続されている。起動回路2 3のPMOSTランジスタP 2 4とNMOSTランジスタN 2 4からなるインバータは、電源電圧Vccの立ち上がりに遅れて立ち上がる内部電源電圧LVddにより駆動される。従って電源投入初期、このインバータ出力によりNMOSTランジスタN 2 3がオン駆動されて、ノードBIASPが低レベルに初期設定される。

20

【0030】

定電圧出力回路2 2は、ノードBIASPにより制御されるPMOSTランジスタP 2 3の負荷曲線とNMOSTランジスタN 2 5のI - V曲線の交点位置により決まる定電圧を出力する。参照電流源回路2 1のPMOSTランジスタP 2 2と定電圧発生回路2 2のPMOSTランジスタP 2 3はカレントミラー回路を構成しているから、定電圧出力回路2 2の出力電圧は、電源電圧に依存しない参照電圧IREFNとなる。これが遅延回路1 1 a , 1 1 bに共通に供給される。

30

【0031】

次にフィルタ回路1 0の動作を、図4のタイミング図を参照して具体的に説明する。図4では、入力ノードINの論理信号が“L” , “H” , “L” , “H”とレベル変化する場合について、各部動作波形を示している。例えば、“L” , “H”レベルはそれぞれ、論理“0” , “1”データに対応する。この実施の形態では前述のように、遅延回路を構成する初段インバータI 3 a , I 3 bとそれらの出力ノードMON a , MON bに接続されたキャパシタC a , C bにより、出力ノードMON a , MON bの“H”レベルからの立ち下がり波形に一定の遅延を与えることで、グリッチ除去を行う。このために、入力ノードINの“L”から“H”への立ち上がりに対する遅延処理とグリッチ除去を行う第1の遅延回路1 1 aと、入力ノードINの“H”から“L”への立ち下がりに対する遅延処理とグリッチ除去を行う第2の遅延回路1 1 bの二系統を併設している。

40

【0032】

図4には、電源投入時、電源電圧Vccに一定時間Tだけ遅れて内部電源電圧LVddが立ち上がる様子を示している。その遅延時間Tの間、遅延回路1 1 a , 1 1 bでは、PMOSTランジスタP 6 a , P 6 bがオンになる。また、ノードACT 0 , ACT 1に応じて、NMOSTランジスタN 8 a , N 8 bの一方がオンになる。即ち初期設定回路5 a , 5 bにより、ノードAOUT 1 a , AOUT 1 bのレベルが初期設定される。

【0033】

図4の例では、タイミングt 0以前、入力ノードINが“L”の間、ノードACT 0が

50

“ H ” , ノード A C T 1 が “ L ” である。従って、第 1 の遅延回路 1 1 a のノード A O U T 1 a が “ L ” 、第 2 の遅延回路 1 1 b のノード A O U T 1 b が “ H ” になる。これを受けて、出力ノード O U T は、入力ノード I N の “ L ” レベルに対応して “ L ” レベルに設定される。

【 0 0 3 4 】

タイミング t_0 で入力ノード I N が “ L ” から “ H ” にレベル遷移すると、これを受けて第 1 の遅延回路 1 1 a では、N A N D ゲート 2 a の出力ノード A C T a が “ L ” レベルになる。これにより、差動アンプ 3 a が活性化される。また、A C T 1 = “ H ” を受けて、インバータ I 3 a の出力ノード M O N a が “ H ” から “ L ” に遷移する。その立ち下がり波形 A は、放電電流が制限されるインバータ I 3 a により、緩やかになる。このレベル遷移による一定の遅延時間をもって、差動アンプ 3 a の出力ノード A O U T 0 a が “ L ” レベルになる。

10

【 0 0 3 5 】

出力ノード A O U T 0 a の “ L ” レベルは、A C T 1 = “ H ” と A O U T 1 a = “ H ” により制御される N M O S トランジスタ N 6 a , N 7 a がオンになることで、その後差動アンプ 3 a が非活性になっても保持される。

【 0 0 3 6 】

差動アンプ 3 a の出力ノード A O U T 0 a の “ L ” を受けて、出力ノード O U T a が “ L ” になると、これを受けて出力ドライバ 1 2 の P M O S トランジスタ P 1 1 がオンになる。この間、第 2 の遅延回路 1 1 b では、N A N D ゲート 2 b の出力ノード A C T b は “ H ” であり、差動アンプ 3 b は非活性に保たれる。また、N M O S トランジスタ N 8 b がノード A C T 1 の “ H ” レベルを受けてオンであり、出力ノード O U T b は、入力ノード I N のレベル遷移から早いタイミングで “ H ” になっている。

20

【 0 0 3 7 】

従って、フィルタ出力ノード O U T は、第 1 の遅延回路 1 1 a のノード A O U T a の “ L ” レベルへの遷移を受けて、“ H ” になる。言い換えれば、出力ノード O U T は、タイミング t_0 から一定の遅延時間をもって立ち上がる。同時に、出力ノード O U T a の “ L ” を受けて、N A N D ゲート 2 a の出力ノード A C T a は “ H ” になり、以後差動アンプ 3 a は非活性になる。

【 0 0 3 8 】

30

この様にして、入力ノード I N の信号レベルが立ち上がると、第 1 の遅延回路 1 1 a が活性になって、インバータ I 3 a とキャパシタ C a によりグリッチが抑圧乃至除去される。そして、出力ノード O U T には、入力ノード I N の立ち上がりエッジから一定の遅延を受けて立ち上がる “ H ” レベルが得られる。入力ノード I N が “ H ” の間、第 2 の遅延回路 1 1 b は非活性である。

【 0 0 3 9 】

次に、入力ノード I N がタイミング t_1 で “ H ” から “ L ” に遷移すると、第 2 の遅延回路 1 1 b において差動アンプ 3 b が活性になる。また、第 2 の遅延回路 1 1 b において、インバータ 1 b の出力ノード M O N b の “ H ” から “ L ” への立ち下がり波形 B は、電流源トランジスタ N 2 b とキャパシタ C b により決まる緩やかな放電波形となる。

40

【 0 0 4 0 】

そして、先の第 1 の遅延回路 1 1 a での動作と同様に、一定の時間遅延を受けて、出力ノード O U T b が “ L ” になる。これを受けて、差動アンプ 1 1 b は非活性になり、またフィルタ出力ノード O U T が “ L ” になる。即ち入力ノード I N の信号レベルが立ち下がると、第 2 の遅延回路 1 1 b が活性になって、そのインバータ I 3 b とキャパシタ C b によりグリッチが抑圧乃至除去される。

【 0 0 4 1 】

以上のようにこの実施の形態のフィルタ回路 1 0 では、二系統の遅延回路 1 1 a , 1 1 b は、入力論理信号の各レベル遷移に応答して、その一方のみが動作状態になる。具体的に、差動増幅器 3 a , 3 b は、入力ノード I N のレベル遷移に応じて、遅延回路 1 1 a ,

50

11bの出力ノードOUTa, OUTbのレベルが確定するまでの間のみ活性化され、それ以外は非活性に保たれる。従ってこれらの差動アンプ3a, 3bでの貫通電流は必要最小限に抑えられており、無駄な消費電力のないフィルタ回路が得られる。

【0042】

また入力ノードINのレベル変化を受けるインバータI3a, I3bにおいて、それらの出力ノードMONa, MONbの“H”から“L”への、大きい放電時定数による立ち下がり遅延を利用して、グリッチ除去を行っている。この出力ノードMONa, MONbの放電動作は、電源電圧に依存しない参照電圧IREFNにより駆動される電流源NMOSトランジスタN2a, N2bの定電流による放電波形を利用している。またノードMONa, MONbのレベル遷移を検出するカレントミラー型差動アンプ3a, 3bにも、電源電圧に依存しない参照電圧IREFNが用いられている。更に、インバータI3a, I3bの電流源NMOSトランジスタN2a, N2b及び差動アンプ3a, 3bには、しきい値のばらつきの小さいI型トランジスタを用いている。これらの理由でこの実施の形態のフィルタ回路10では、インバータチェーンと積分回路を組み合わせる従来のフィルタ回路と比べて、電源電圧依存性が少なく、しきい値のばらつきの影響が小さい特性が得られる。

10

【0043】

上記実施の形態では、各遅延回路11a, 11bに対して図2に示す共通の参照電圧発生回路20が常時参照電圧IREFNを供給している。これに対して、差動アンプ3a, 3bの活性化と同期して、これらに参照電圧を与えるようにすることができる。例えば、差動アンプ3a及び3bに対してそれぞれ、図3A及び図3Bに示す参照電圧発生回路20a及び20bを用意すればよい。

20

【0044】

これらの参照電圧発生回路20a, 20bはそれぞれ、ノードACTa, ACTbにより制御されるI型PMOSトランジスタP31a, P31bの負荷と、ダイオード接続されたI型NMOSトランジスタN31a, N31bを有する。それらの出力ノードにはリセット用NMOSトランジスタN32a, N32bが接続されている。

【0045】

図3Aの参照電圧発生回路20aは、ノードACTaが“L”の間、PMOSトランジスタP31aがオンになり、参照電圧IREFaを出力する。即ち遅延回路11aの差動アンプ3aが活性化される間のみ活性化されて、参照電圧IREFaが差動アンプ3aに与えられる。図3Bの参照電圧発生回路20bは、ノードACTbが“L”の間、PMOSトランジスタP31bがオンになり、参照電圧IREFbを出力する。即ち遅延回路11bの差動アンプ3bが活性化される間のみ活性化されて、参照電圧IREFbが差動アンプ3bに与えられる。また差動アンプ3a, 3bが非活性の間は、リセットトランジスタN32a, N32bがオンして、参照電圧発生回路20a, 20bの出力は“L”を保つ。

30

【0046】

このような参照電圧発生回路20a, 20bを用いると、これらはスタンバイ時に貫通電流を流さないから、一層消費電力の削減が図られる。

40

【図面の簡単な説明】

【0047】

【図1】この発明の一実施の形態によるフィルタ回路の構成を示す図である。

【図2】同フィルタ回路に用いられる参照電圧発生回路の構成を示す図である。

【図3A】他の実施の形態によるフィルタ回路の一方の差動アンプに用いられる参照電圧発生回路の構成を示す図である。

【図3B】同フィルタ回路の他方の差動アンプに用いられる参照電圧発生回路の構成を示す図である。

【図4】実施の形態によるフィルタ回路の動作タイミング図である。

【図5】従来のフィルタ回路の構成例を示す図である。

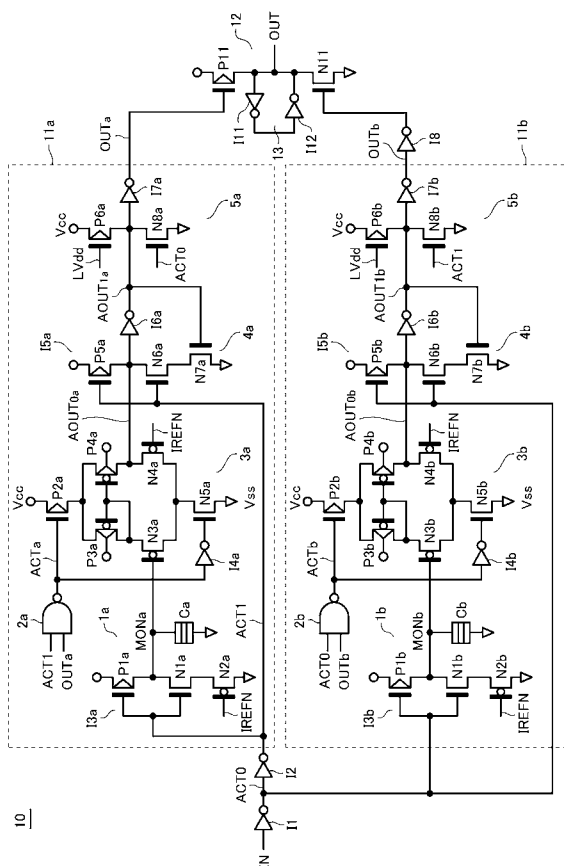
50

【符号の説明】

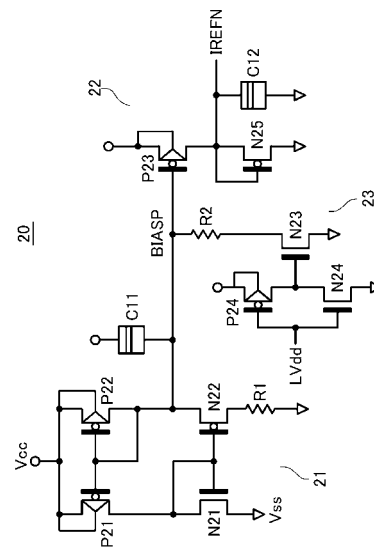
【 0 0 4 8 】

1 0 ... フィルタ回路、1 1 a , 1 1 b ... 遅延回路、1 2 ... 出力ドライバ、1 3 ... 帰還回路、1 a , 1 b ... L P F、2 a , 2 b ... N A N D ゲート、3 a , 3 b ... カレントミラー型差動増幅器、4 a , 4 b ... ラッチ回路、5 a , 5 b ... 初期設定回路、I 3 a , I 3 b ~ I I 7 a , I 7 b ... インバータ、C a , C b ... キャパシタ、I N ... 入力ノード、O U T ... 出力ノード。

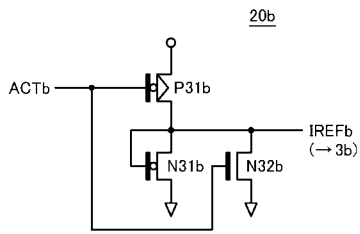
【 図 1 】



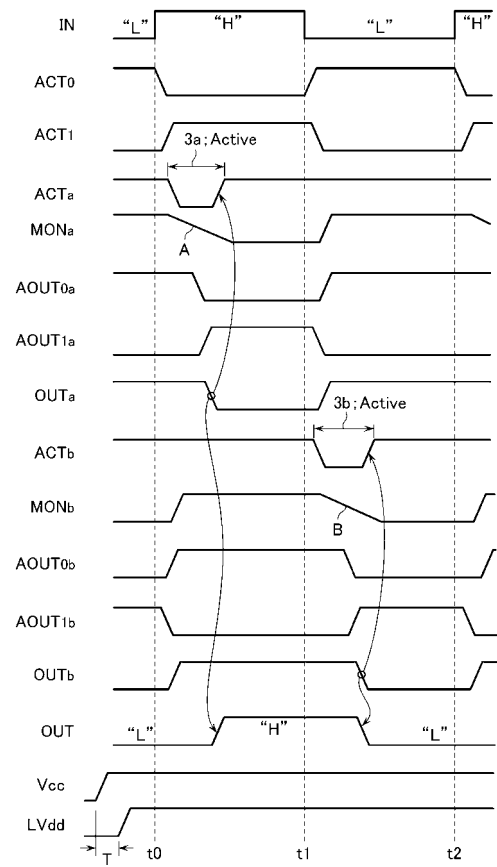
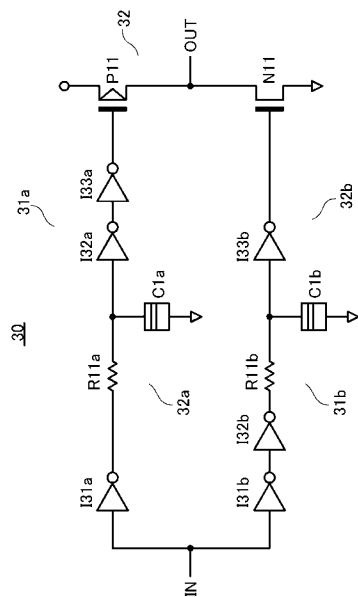
【 図 2 】



【 図 4 】



【圖 5】



フロントページの続き

(56)参考文献 特開平05-225782(JP,A)
特開平07-098983(JP,A)
特開昭62-220026(JP,A)
特開昭63-010913(JP,A)
特表2003-518865(JP,A)
特開平05-002893(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/00 - 5/02; 5/08 - 5/12; 5/15 - 5/26

H03K 19/00 - 19/00、103; 19/01 - 19/082; 19/092 - 19/096