(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-134848
(P2012-134848A)
(43)公開日　平成24年7月12日(2012.7.12)

(51)Int.Cl.		F I		テーマコード（参考）
H04L 7/00	(2006.01)	H04L 7/00	Z	5K047

審査請求 未請求　請求項の数 9　ＯＬ　（全 17 頁）

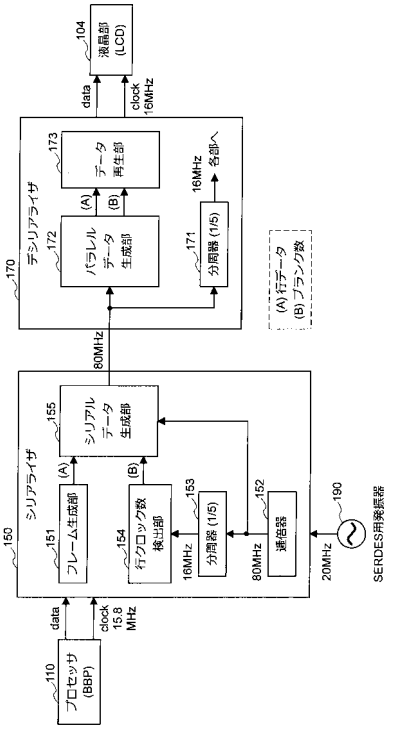
(21)出願番号　特願2010-286316 (P2010-286316)
(22)出願日　平成22年12月22日 (2010.12.22)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100095957
弁理士　亀谷　美明
(74)代理人　100096389
弁理士　金本　哲男
(74)代理人　100101557
弁理士　萩原　康司
(74)代理人　100128587
弁理士　松本　一騎
(72)発明者　日高　伊佐夫
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　5K047 AA05　GG08　HH03　MM55

(54)【発明の名称】信号処理装置、及び信号処理方法

(57)【要約】
【課題】簡易な回路構成で入出力クロックの誤差を吸収すること。
【解決手段】所定数のデータと、第１のクロックに同期し、データが有効な区間でアクティブな状態をとる第１のイネーブル信号と、が入力される入力部と、第１のクロックよりも高速な第２のクロックを基準に、第１のイネーブル信号が非アクティブな状態をとる区間のクロック数をカウントするカウント部と、第２のクロックを基準に、所定数に等しいクロック数分だけ第２のイネーブル信号をアクティブな状態にし、カウント部によりカウントされたクロック数分だけ第２のイネーブル信号を非アクティブな状態にするイネーブル信号制御部と、第２のイネーブル信号を出力するイネーブル信号出力部と、第２のイネーブル信号がアクティブな状態をとる区間に、第２のクロックに同期して所定数のデータを出力するデータ出力部と、を備える信号処理装置が提供される。
【選択図】図７



【特許請求の範囲】
【請求項１】
所定数のデータと、第１のクロックに同期し、かつ、前記データが有効な区間でアクティブな状態をとる第１のイネーブル信号と、が入力される入力部と、
前記第１のクロックよりも高速な第２のクロックを基準に、前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数をカウントするカウント部と、
前記第２のクロックを基準に、前記所定数に等しいクロック数分だけ第２のイネーブル信号をアクティブな状態にし、前記カウント部によりカウントされたクロック数分だけ前記第２のイネーブル信号を非アクティブな状態にするイネーブル信号制御部と、
前記第２のイネーブル信号を出力するイネーブル信号出力部と、
前記第２のイネーブル信号がアクティブな状態をとる区間に、前記第２のクロックに同期して前記所定数のデータを出力するデータ出力部と、
を備える、
信号処理装置。
【請求項２】
所定の周波数を持つ基準クロックを周波数変換して前記第２のクロックを生成するクロック変換部をさらに備え、
前記クロック変換部は、前記第２のクロックが前記第１のクロックよりも高速になるような変換則を用いて前記第２のクロックを生成する、
請求項１に記載の信号処理装置。
【請求項３】
前記信号処理装置は、第１の信号処理モジュールと、所定の信号線を介して前記第１の信号処理モジュールに接続された第２の信号処理モジュールと、により構成され、
前記第１の信号処理モジュールは、
前記入力部及び前記カウント部と、
前記データ及び前記カウント部によりカウントされたクロック数をシリアル化して前記第２の信号処理モジュールに送信する送信部と、
を有し、
前記第２の信号処理モジュールは、
前記第１の信号処理モジュールが有する送信部によりシリアル化して送信された前記データ及びクロック数を受信してパラレル化する受信部と、
前記イネーブル信号制御部、前記データ出力部、及び前記イネーブル信号出力部と、
を有する、
請求項２に記載の信号処理装置。
【請求項４】
前記送信部は、前記カウント部によりカウントされたクロック数を送信する代わりに、前記第１のクロックを基準にして前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数と、前記第２のクロックを基準にして前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数と、の差分を送信する、
請求項３に記載の信号処理装置。
【請求項５】
前記送信部は、前記カウント部によりカウントされたクロック数を送信する代わりに、所定値と、前記第２のクロックを基準にして前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数と、の差分を送信する、
請求項３に記載の信号処理装置。
【請求項６】
前記第１の信号処理モジュールは、
所定の基準クロックを逓倍して前記データ及び前記クロック数を送受信するためのシリアル伝送用クロックを生成するシリアル伝送用クロック生成部と、
前記シリアル伝送用クロックを分周して前記第２のクロックを生成する分周器と、

をさらに有し、
前記第２の信号処理モジュールは、
前記シリアル伝送用クロックを分周して前記第２のクロックを生成する分周器をさらに有する、
請求項３に記載の信号処理装置。
【請求項７】
前記カウント部は、前記第１のイネーブル信号がアクティブな状態をとる区間と、当該区間に続く前記第１のイネーブル信号が非アクティブな状態をとる区間とを合わせた区間のクロック数をカウントし、当該クロック数から前記所定数を差し引いた数を前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数とする、
請求項１に記載の信号処理装置。
【請求項８】
前記データは、表示用のデータであり、
前記入力部に入力されるデータを出力する演算処理部と、
前記データ出力部により出力されたデータ、及び前記イネーブル信号出力部により出力された第２のイネーブル信号が入力される表示部と、
をさらに備える、
請求項１に記載の信号処理装置。
【請求項９】
所定数のデータと、第１のクロックに同期し、かつ、前記データが有効な区間でアクティブな状態をとる第１のイネーブル信号と、が入力される入力ステップと、
前記第１のクロックよりも高速な第２のクロックを基準に、前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数がカウントされるカウントステップと、
前記第２のクロックを基準に、前記所定数に等しいクロック数分だけ第２のイネーブル信号がアクティブな状態にされ、前記カウント部によりカウントされたクロック数分だけ前記第２のイネーブル信号が非アクティブな状態にされるイネーブル信号制御ステップと、
前記第２のイネーブル信号が出力されるイネーブル信号出力ステップと、
前記第２のイネーブル信号がアクティブな状態をとる区間に、前記第２のクロックに同期して前記所定数のデータが出力されるデータ出力ステップと、
を含む、
信号処理方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、信号処理装置、及び信号処理方法に関する。
【背景技術】
【０００２】
携帯電話やノートＰＣなどの携帯機器は、ユーザが操作するための操作手段が搭載された本体部分と、ＬＣＤなどの表示装置が搭載された表示部分とで構成されていることが多い。また、本体部分と表示部分とを接続するヒンジ部分には可動部材が用いられている。通常、このヒンジ部分には電力線や信号線が通っている。そのため、ヒンジ部分の変形に応じてヒンジ部分を通る配線に劣化が生じる。そこで、ヒンジ部分が変形した際に、ヒンジ部分を通る配線に劣化が生じないようにする工夫が求められている。なお、上記のＬＣＤは、Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ　Ｄｉｓｐｌａｙの略である。
【０００３】
ヒンジ部分を通る配線に生じる劣化を抑制するには、まず、ヒンジ部分を通る配線の本数を減らすことが重要になる。これまで、本体部分から表示部分へのデータ伝送には、パラレル伝送方式が多く用いられてきた。パラレル伝送方式を適用する場合、表示装置に表

示される画像データを伝送するのに、数十本以上の信号線をヒンジ部分に配線することが求められる。そのため、ヒンジ部分の変形に伴って信号線に捻れが生じ、電力線や信号線が断線する危険があった。そこで、パラレル伝送方式に代えて、シリアル伝送方式をヒンジ部分のデータ伝送に適用する方法が考案された。

【０００４】

シリアル伝送方式の場合、データは符号化されてから伝送される。その際、符号化方式としては、例えば、ＮＲＺ（Ｎｏｎ Ｒｅｔｕｒｎ ｔｏ Ｚｅｒｏ）符号方式やマンチェスター符号方式、或いは、ＡＭＩ（Ａｌｔｅｒｎａｔｅ Ｍａｒｋ Ｉｎｖｅｒｓｉｏｎ）符号方式等が用いられる。例えば、下記の特許文献１には、バイポーラ符号の代表例であるＡＭＩ符号を利用してデータ伝送する技術が開示されている。また、同文献には、データクロックを信号レベルの中間値で表現して伝送し、受信側で信号レベルに基づいてデータクロックを再生する技術が開示されている。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開平３－１０９８４３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

上記のように、シリアル伝送方式を適用すると、ヒンジ部分の変形自由度が増し、携帯機器のデザイン性を向上させることが可能になる。また、配線の本数が少なくなり、捻れなどに対する耐性が高まることから、ヒンジ部分を通る配線の信頼度が向上する。しかしながら、シリアル伝送方式の場合、パラレル伝送方式に比べて１クロック当たりに伝送されるデータの量が減るため、同じデータ伝送速度を得るには高速なクロックを用いる必要がある。特に、最近の携帯端末に搭載されるＬＣＤは解像度が高いため、ＬＣＤに表示される画像データをシリアル伝送するには非常に高速なクロックを用いる必要がある。

【０００７】

シリアル伝送に利用するクロックは、シリアライザ側において基準クロックを逓倍することにより生成される。一方、デシリアライザ側では、シリアル伝送に利用するクロックを分周することにより、データの出力に利用されるクロックを生成する。デシリアライザ側で生成されるクロックは、シリアライザにデータを入力する際に利用されたクロックと一致している必要がある。しかし、これらのクロックは互いに発生源が異なるため、どうしても両者の間に誤差が生じてしまう。その結果、デシリアライザ側で正しくデータを再生できなくなることがある。

【０００８】

そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、シリアライザにデータが入力される際に用いるクロックと、デシリアライザからデータが出力される際に用いるクロックとの誤差を簡易な回路構成により吸収することが可能な、新規かつ改良された信号処理装置、及び信号処理方法を提供することにある。

【課題を解決するための手段】

【０００９】

上記課題を解決するために、本発明のある観点によれば、所定数のデータと、第１のクロックに同期し、かつ、前記データが有効な区間でアクティブな状態をとる第１のイネーブル信号と、が入力される入力部と、前記第１のクロックよりも高速な第２のクロックを基準に、前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数をカウントするカウント部と、前記第２のクロックを基準に、前記所定数に等しいクロック数分だけ第２のイネーブル信号をアクティブな状態にし、前記カウント部によりカウントされたクロック数分だけ前記第２のイネーブル信号を非アクティブな状態にするイネーブル信号制御部と、前記第２のイネーブル信号を出力するイネーブル信号出力部と、前記第２のイネーブル信号がアクティブな状態をとる区間に、前記第２のクロックに同期して前記所

定数のデータを出力するデータ出力部と、を備える、信号処理装置が提供される。
【００１０】
また、上記の信号処理装置は、所定の周波数を持つ基準クロックを周波数変換して前記第２のクロックを生成するクロック変換部をさらに備えていてもよい。この場合、前記クロック変換部は、前記第２のクロックが前記第１のクロックよりも高速になるような変換則を用いて前記第２のクロックを生成する。
【００１１】
また、前記信号処理装置は、第１の信号処理モジュールと、所定の信号線を介して前記第１の信号処理モジュールに接続された第２の信号処理モジュールと、により構成されていてもよい。この場合、前記第１の信号処理モジュールは、前記入力部及び前記カウント部と、前記データ及び前記カウント部によりカウントされたクロック数をシリアル化して前記第２の信号処理モジュールに送信する送信部と、を有する。さらに、前記第２の信号処理モジュールは、前記第１の信号処理モジュールが有する送信部によりシリアル化して送信された前記データ及びクロック数を受信してパラレル化する受信部と、前記イネーブル信号制御部、前記データ出力部、及び前記イネーブル信号出力部と、を有する。
【００１２】
また、前記送信部は、前記カウント部によりカウントされたクロック数を送信する代わりに、前記第１のクロックを基準にして前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数と、前記第２のクロックを基準にして前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数と、の差分を送信するように構成されていてもよい。
【００１３】
また、前記送信部は、前記カウント部によりカウントされたクロック数を送信する代わりに、所定値と、前記第２のクロックを基準にして前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数と、の差分を送信するように構成されていてもよい。
【００１４】
また、前記第１の信号処理モジュールは、所定の基準クロックを逓倍して前記データ及び前記クロック数を送受信するためのシリアル伝送用クロックを生成するシリアル伝送用クロック生成部と、前記シリアル伝送用クロックを分周して前記第２のクロックを生成する分周器と、をさらに有していてもよい。また、前記第２の信号処理モジュールは、前記シリアル伝送用クロックを分周して前記第２のクロックを生成する分周器をさらに有していてもよい。
【００１５】
また、前記カウント部は、前記第１のイネーブル信号がアクティブな状態をとる区間と、当該区間に続く前記第１のイネーブル信号が非アクティブな状態をとる区間とを合わせた区間のクロック数をカウントし、当該クロック数から前記所定数を差し引いた数を前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数とするように構成されていてもよい。
【００１６】
また、前記データは、表示用のデータであってもよい。そして、上記の信号処理装置は、前記入力部に入力されるデータを出力する演算処理部と、前記データ出力部により出力されたデータ、及び前記イネーブル信号出力部により出力された第２のイネーブル信号が入力される表示部と、をさらに備えていてもよい。
【００１７】
また、上記課題を解決するために、本発明の別の観点によれば、所定数のデータと、第１のクロックに同期し、かつ、前記データが有効な区間でアクティブな状態をとる第１のイネーブル信号と、が入力される入力ステップと、前記第１のクロックよりも高速な第２のクロックを基準に、前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数がカウントされるカウントステップと、前記第２のクロックを基準に、前記所定数に等しいクロック数分だけ第２のイネーブル信号がアクティブな状態にされ、前記カウン

ト部によりカウントされたクロック数分だけ前記第２のイネーブル信号が非アクティブな状態にされるイネーブル信号制御ステップと、前記第２のイネーブル信号が出力されるイネーブル信号出力ステップと、前記第２のイネーブル信号がアクティブな状態をとる区間に、前記第２のクロックに同期して前記所定数のデータが出力されるデータ出力ステップと、を含む、信号処理方法が提供される。

【発明の効果】

【００１８】

以上説明したように本発明によれば、シリアライザにデータが入力される際に用いるクロックと、デシリアライザからデータが出力される際に用いるクロックとの誤差を簡易な回路構成により吸収することが可能になる。その結果、安価な発振器で十分な精度が得られるようになり、装置の製造コストや設計コストなどを抑えることが可能になる。

【図面の簡単な説明】

【００１９】

【図１】パラレル伝送方式を採用した携帯端末の構成例を示す説明図である。

【図２】シリアル伝送方式を採用した携帯端末の構成例を示す説明図である。

【図３】シリアル伝送方式に係るデータ伝送方法の一例を示す説明図である。

【図４】デシリアライザから出力されるイネーブル信号、データ信号、ピクセルクロックの構成について説明するための説明図である。

【図５】シリアライザに入力されるクロック、シリアル伝送に用いるクロック、デシリアライザから出力されるクロックの構成について説明するための説明図である。

【図６】本発明の一実施形態に係るデータ伝送方法の一例を示す説明図である。

【図７】本実施形態に係るシリアライザ及びデシリアライザの構成を示す説明図である。

【図８】本実施形態に係るシリアライザの動作について説明するための説明図である。

【図９】本実施形態に係るデシリアライザの動作について説明するための説明図である。

【発明を実施するための形態】

【００２０】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【００２１】

［説明の流れについて］

ここで、以下に記載する本発明の実施形態に関する説明の流れについて簡単に述べる。まず、図１を参照しながら、パラレル伝送方式を採用した携帯端末１００の装置構成について簡単に説明する。次いで、図２を参照しながら、シリアル伝送方式を採用した携帯端末１３０の装置構成について簡単に説明する。この中で、図３を参照しながら、シリアル伝送方式によるデータ伝送方法について説明を補足する。

【００２２】

次いで、図４を参照しながら、デシリアライザ１７０から出力され、液晶部１０４に入力されるイネーブル信号、データ信号、ピクセルクロックの構成について説明する。次いで、図５を参照しながら、シリアライザ１５０に入力されるクロック、シリアル伝送に用いるクロック、デシリアライザ１７０から出力されるクロックの構成について説明する。次いで、図６を参照しながら、本実施形態に係るデータ伝送方法について説明する。

【００２３】

次いで、図７を参照しながら、本実施形態に係るシリアライザ１５０及びデシリアライザ１７０の機能構成について説明する。次いで、図８を参照しながら、本実施形態に係るシリアライザ１５０の動作について説明する。次いで、図９を参照しながら、本実施形態に係るデシリアライザ１７０の動作について説明する。最後に、同実施形態の技術的思想について纏め、当該技術的思想から得られる作用効果について簡単に説明する。

【００２４】

（説明項目）

１：はじめに
１－１：パラレル伝送方式を採用した携帯端末１００の装置構成
１－２：シリアル伝送方式を採用した携帯端末１３０の装置構成
２：実施形態
２－１：データ伝送方法
２－１－１：各種信号の構成
２－１－２：クロックの流れ
２－１－３：データの流れ
２－２：機能構成
２－２－１：シリアライザ１５０の構成
２－２－２：デシリアライザ１７０の構成
２－３：動作
２－３－１：ブランク数の検出方法
２－３－２：行データの出力方法
３：まとめ

【００２５】

＜１：はじめに＞

はじめに、これまで機器内のデータ伝送方式として多く利用されてきたパラレル伝送方式と、これから多く利用されつつあるシリアル伝送方式の概要について、それぞれの方式を採用した携帯端末１００、１３０の装置構成を例に挙げて簡単に説明する。

【００２６】

［１－１：パラレル伝送方式を採用した携帯端末１００の装置構成］

まず、図１を参照しながら、パラレル伝送方式を採用した携帯端末１００の装置構成について簡単に説明する。図１は、パラレル伝送方式を採用した携帯端末１００の装置構成の一例を示す説明図である。図１には、携帯端末１００の一例として携帯電話が模式的に描画されている。しかし、以下で説明する技術の適用範囲は携帯電話に限定されない。例えば、ノートＰＣ等の情報処理装置や各種の携帯型電子機器にも適用可能である。

【００２７】

図１に示すように、携帯端末１００は、主に、表示部１０２と、液晶部１０４（ＬＣＤ）と、接続部１０６と、操作部１０８と、ベースバンドプロセッサ１１０（ＢＢＰ）と、パラレル信号線路１１２と、により構成される。但し、ＬＣＤは、Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ　Ｄｉｓｐｌａｙの略である。なお、表示部１０２を表示側、操作部１０８を本体側と呼ぶ場合がある。なお、ここでは説明の都合上、パラレル信号線路１１２を介して映像信号が伝送されるケースを例に挙げる。もちろん、パラレル信号線路１１２を介して伝送される信号の種類はこれに限定されず、例えば、制御信号や音声信号等もある。

【００２８】

図１に示すように、表示部１０２には、液晶部１０４が設けられている。まず、液晶部１０４には、パラレル信号線路１１２を介して伝送された映像信号が入力される。そして、液晶部１０４は、入力された映像信号に基づいて映像を表示する。また、接続部１０６は、表示部１０２と操作部１０８とを接続する部材である。この接続部１０６を形成する接続部材は、例えば、表示部１０２をＺ－Ｙ平面内で１８０度回転できる構造を有する。また、この接続部材は、Ｘ－Ｚ平面内で表示部１０２が回転可能に形成されていてもよい。この場合、携帯端末１００は折り畳みできる構造になる。なお、この接続部材は、自由な方向に表示部１０２を可動にする構造を有していてもよい。

【００２９】

ベースバンドプロセッサ１１０は、携帯端末１００の通信制御、及びアプリケーションの実行機能を提供する演算処理部である。ベースバンドプロセッサ１１０から出力されるパラレル信号は、パラレル信号線路１１２を通じて表示部１０２の液晶部１０４に伝送される。パラレル信号線路１１２には、多数の信号線が配線されている。例えば、携帯電話の場合、この信号線数ｎは５０本程度である。また、映像信号の伝送速度は、液晶部１０

４の解像度がＱＶＧＡの場合、１３０Ｍｂｐｓ程度となる。そして、パラレル信号線路１１２は、接続部１０６を通るように配線されている。

【００３０】

つまり、接続部１０６には、パラレル信号線路１１２を形成する多数の信号線が配線されている。上記のように、接続部１０６の可動範囲を広げると、その動きによりパラレル信号線路１１２に損傷が発生する危険性が高まる。そのため、パラレル信号線路１１２の信頼性が損なわれてしまう。一方で、パラレル信号線路１１２の信頼性を維持しようとすると、接続部１０６の可動範囲が制約され、携帯端末１００のデザイン性や機能性が低下してしまう。こうした理由から、接続部１０６を形成する可動部材の自由度及びパラレル信号線路１１２の信頼性を向上させる仕組みが求められている。そこで考案されたのが、後述するシリアル伝送方式である。

【００３１】

以上、パラレル伝送方式を採用した携帯端末１００の装置構成について説明した。

【００３２】

［１－２：シリアル伝送方式を採用した携帯端末１３０の装置構成］

次に、図２を参照しながら、シリアル伝送方式を採用した携帯端末１３０の装置構成について簡単に説明する。図２は、シリアル伝送方式を採用した携帯端末１３０の装置構成の一例を示す説明図である。

【００３３】

なお、図２には、携帯端末１３０の一例として携帯電話が模式的に描画されている。しかし、以下で説明する技術の適用範囲は携帯電話に限定されない。例えば、ノートＰＣ等の情報処理装置や各種の携帯型電子機器にも適用可能である。また、パラレル伝送方式を採用した携帯端末１００と実質的に同一の機能を有する構成要素については、同一の符号を付することにより詳細な説明を省略する。

【００３４】

図２に示すように、携帯端末１３０は、主に、表示部１０２と、液晶部１０４（ＬＣＤ）と、接続部１０６と、操作部１０８とを有する。さらに、携帯端末１３０は、ベースバンドプロセッサ１１０（ＢＢＰ）と、パラレル信号線路１３２、１３６と、シリアル信号線路１３４と、シリアライザ１５０と、デシリアライザ１７０とを有する。

【００３５】

携帯端末１３０は、上記の携帯端末１００とは異なり、接続部１０６に配線されたシリアル信号線路１３４を通じてシリアル伝送方式により映像信号を伝送している。そのため、操作部１０８には、ベースバンドプロセッサ１１０から出力されたパラレル信号をシリアル化するためのシリアライザ１５０が設けられている。一方、表示部１０２には、シリアル信号線路１３４を通じて伝送されるシリアル信号をパラレル化するためのデシリアライザ１７０が設けられている。

【００３６】

シリアライザ１５０は、ベースバンドプロセッサ１１０から出力され、かつ、パラレル信号線路１３２を介して入力されたパラレル信号をシリアル信号に変換する。例えば、図３に示すように、パラレル信号用クロック（Ｐ－ＣＬＫ）に同期して信号Ａ、信号Ｂ、信号Ｃ、信号Ｄが並列にシリアライザ１５０に入力される。

【００３７】

但し、信号Ａには、データＡ１（ｄａｔａ　Ａ１）、データＡ２（ｄａｔａ　Ａ２）が含まれるものとする。また、信号Ｂには、データＢ１（ｄａｔａ　Ｂ１）、データＢ２（ｄａｔａ　Ｂ２）が含まれるものとする。さらに、信号Ｃには、データＣ１（ｄａｔａ　Ｃ１）、データＣ２（ｄａｔａ　Ｃ２）が含まれるものとする。そして、信号Ｄには、データＤ１（ｄａｔａ　Ｄ１）、データＤ２（ｄａｔａ　Ｄ２）が含まれるものとする。

【００３８】

シリアライザ１５０は、信号Ａ、信号Ｂ、信号Ｃ、信号Ｄに含まれるデータＡ１、Ａ２、Ｂ１、Ｂ２、Ｃ１、Ｃ２、Ｄ１、Ｄ２を直列に合成し、パラレル信号の４倍の周波数を

持つシリアル信号用クロック（Ｃｌｏｃｋ）に同期した合成信号を生成する。この合成信号が、シリアル信号である。シリアライザ１５０により得られたシリアル信号は、シリアル信号線路１３４を通じてデシリアライザ１７０に入力される。

【００３９】

シリアル信号が入力されると、デシリアライザ１７０は、入力されたシリアル信号から各データを分離してパラレル信号を復元する。そして、デシリアライザ１７０は、パラレル信号線路１３６を通じてパラレル信号を液晶部１０４に入力する。なお、シリアル信号線路１３４には、信号Ａ、信号Ｂ、信号Ｃ、信号Ｄ等を合成して得られるシリアル信号（データ信号）と共に、クロックが伝送されてもよい。また、シリアル信号は、ＬＶＤＳ（Ｌｏｗ Ｖｏｌｔａｇｅ Ｄｉｆｆｅｒｅｎｔｉａｌ Ｓｉｇｎａｌ）等の差動信号を用いた伝送方式で伝送されるようにしてもよい。

【００４０】

このように、シリアル伝送方式を採用することで、シリアル信号線路１３４の配線数ｋは、図１の携帯端末１００が有するパラレル信号線路１１２の配線数ｎよりも大幅に少ない数（１≦ｋ≪ｎ）にすることができる。例えば、配線数ｋは、高々数本程度にまで削減することができる。その結果、シリアル信号線路１３４が配線される接続部１０６の可動範囲に関する自由度を、パラレル信号線路１１２が配線される接続部１０６に比べて非常に大きくすることが可能になる。また、シリアル信号線路１３４の信頼性も向上する。

【００４１】

以上、シリアル伝送方式を採用した携帯端末１３０の装置構成について説明した。

【００４２】

＜２：実施形態＞

本発明の一実施形態について説明する。本実施形態は、ベースバンドプロセッサ１１０からデータを出力する際に用いるクロックと、液晶部１０４にデータを入力する際に用いるクロックとの間に生じる誤差がデータの再生に与える影響を抑制する技術に関する。

【００４３】

［２－１：データ伝送方法］

以下、液晶部１０４に入力される信号の構成、ベースバンドプロセッサ１１０から液晶部１０４へと至る経路上を流れるクロックの構成及びデータの構成について説明する。

【００４４】

（２－１－１：各種信号の構成）

図４に示すように、液晶部１０４には、イネーブル信号、データ信号、及びピクセルクロックが入力される。このピクセルクロックは、液晶部１０４に常時入力されている基準クロックである。また、データ信号は、このピクセルクロックに同期して液晶部１０４に入力される。但し、このデータ信号は、イネーブル信号がアクティブ状態（図４の例ではＨｉｇｈレベルの状態）の期間（以下、有効データ期間）だけ液晶部１０４に入力される。つまり、イネーブル信号が非アクティブ状態（図４の例ではＬｏｗレベルの状態）の期間（以下、ブランク期間）、データ信号は、液晶部１０４に入力されない。

【００４５】

通常、連続してイネーブル信号がアクティブ状態となっている１期間（１回の有効データ期間）に１行分の画面データが入力される。また、複数の有効データ期間が繰り返されることにより、１画面分の画面データが液晶部１０４へと入力される。また、イネーブル信号、データ信号、及びピクセルクロックは、常時、シリアライザ１５０に入力される。シリアライザ１５０は、デシリアライザ１７０に対し、有効データ期間に対応するデータ信号をシリアル化して伝送する。デシリアライザ１７０は、シリアライザ１５０から受信したデータ信号に基づいてピクセルクロック及びイネーブル信号を生成し、有効データ期間に合わせてデータ信号を出力する。

【００４６】

このように、液晶部１０４には、イネーブル信号、データ信号、及びピクセルクロックが入力される。また、これらイネーブル信号、データ信号、及びピクセルクロックは、ベ

ースバンドプロセッサ１１０から出力され、シリアライザ１５０によりシリアル伝送され、デシリアライザ１７０から液晶部１０４に入力される。

【００４７】

（２－１－２：クロックの流れ）

ここで、図５を参照しながら、データ信号の出力に用いるクロックと、データ信号のシリアル伝送に用いるクロックとの関係について説明する。例えば、ベースバンドプロセッサ１１０から１６ＭＨｚのピクセルクロックに同期して４つのデータ信号が出力されるものとする。つまり、データ信号は、１６ＭＨｚ×４ｂｉｔ＝６４Ｍｂｐｓの速さでシリアライザ１５０に入力されるものとする。

【００４８】

また、シリアライザ１５０には、図５に示すように、発振器１９０から２０ＭＨｚのクロックが入力されているものとする。この場合、シリアライザ１５０は、発振器１９０から入力された２０ＭＨｚのクロックに合わせてデータ信号を受け取る。また、シリアライザ１５０は、例えば、発振器１９０から入力された２０ＭＨｚのクロックを４倍の周波数に逓倍して８０ＭＨｚのクロックを生成する。そして、シリアライザ１５０は、生成した８０ＭＨｚのクロックを用いてデータ信号をシリアル伝送する。一方、デシリアライザ１７０は、８０ＭＨｚのクロックを１／５に分周して１６ＭＨｚのクロックを生成する。さらに、デシリアライザ１７０は、生成した１６ＭＨｚのクロックに合わせてデータ信号を液晶部１０４に入力する。

【００４９】

このように、シリアル伝送に用いるクロックは、発振器１９０により生成されたクロックを逓倍することにより生成される。また、液晶部１０４に対するデータ信号の入力に用いるクロックは、シリアル伝送に用いるクロックを分周することにより生成される。このとき、液晶部１０４に対するデータ信号の入力に用いるクロックが、ベースバンドプロセッサ１１０からデータ信号を出力する際に用いたクロックと等しくなるようにする必要がある。図５の例では、両方のクロックが１６ＭＨｚで一致している。

【００５０】

（２－１－３：データの流れ）

ここで、図６を参照しながら、シリアライザ１５０及びデシリアライザ１７０によるデータ信号の伝送方法について、より詳細に説明する。

【００５１】

図６に示すように、データ信号は、例えば、１６ＭＨｚのピクセルクロックに合わせてシリアライザ１５０に入力される。このとき、シリアライザ１５０には、４つのデータ信号（信号Ａ、信号Ｂ、信号Ｃ、信号Ｄ）がパラレルに入力される。４つのデータ信号が入力されると、シリアライザ１５０は、発振器１９０から入力された２０ＭＨｚのクロックを４逓倍して生成した８０ＭＨｚのクロックに合わせてデータ信号をシリアル伝送する。このとき、図６に示すように、５クロックに１クロックは空き領域となる。一方、デシリアライザ１７０は、８０ＭＨｚのクロックを１／５に分周し、１６ＭＨｚのクロックに合わせて４つのデータ信号をパラレルに出力する。

【００５２】

図６の例では、シリアライザ１５０へとデータ信号を入力する際に用いるクロックの周波数が１６ＭＨｚ、発振器１９０から入力されるクロックの周波数が２０ＭＨｚであるため、１６ＭＨｚ×５＝２０ＭＨｚ×４＝８０ＭＨｚとなり、正しくデータが伝送される。但し、この周波数の関係が成り立つのは、シリアライザ１５０へとデータ信号を入力する際に用いるクロックの周波数が１６ＭＨｚに正しく一致すること、及び、発振器１９０からシリアライザ１５０に入力されるクロックの周波数が２０ＭＨｚに正しく一致することが前提となる。

【００５３】

しかし、所定の周波数に正しく一致する周波数を持つクロックを出力可能な発振器は高価である。そのため、通常は、所定の周波数付近の周波数を持つクロックを出力する発振

器が用いられる。このような発振器を用いると、例えば、１６ＭＨｚのクロックを出力すべきところ、１６．１ＭＨｚのクロックが出力されたり、１５．９ＭＨｚのクロックが出力されたりしてしまう。同様に、２０ＭＨｚのクロックを出力すべきところ、２０．１ＭＨｚのクロックが出力されたり、１９．９ＭＨｚのクロックが出力されたりしてしまう。

【００５４】

例えば、発振器１９０からシリアライザ１５０に２０ＭＨｚのクロックが入力され、ベースバンドプロセッサ１１０からシリアライザ１５０に１６．１ＭＨｚのクロックが入力された場合、ベースバンドプロセッサ１１０からシリアライザ１５０に入力されたクロック（１６．１ＭＨｚ）が、デシリアライザ１７０から液晶部１０４に入力されるクロック（１６ＭＨｚ）を上回ってしまう（オーバーフロー）。この場合、出力よりも入力が速いこととなるため、入力データの取りこぼし発生してしまう。

【００５５】

逆に、発振器１９０からシリアライザ１５０に２０ＭＨｚのクロックが入力され、ベースバンドプロセッサ１１０からシリアライザ１５０に１５．９ＭＨｚのクロックが入力された場合、ベースバンドプロセッサ１１０からシリアライザ１５０に入力されたクロック（１５．９ＭＨｚ）が、デシリアライザ１７０から液晶部１０４に入力されるクロック（１６ＭＨｚ）を下回ってしまう（アンダーフロー）。この場合、出力よりも入力が遅いこととなるため、出力データのない期間が発生してしまう。

【００５６】

本実施形態は、このようなオーバーフローやアンダーフローが発生したとしても、入力データの取りこぼしや出力データのない期間の発生を抑制する方法に関する。なお、オーバーフローが発生するケースは、逓倍数や分周数を調整することにより、アンダーフローが発生するケースに変換することができる。上記の例では逓倍数を４、分周数を５としていたが、逓倍数を５、分周数を６とすると、デシリアライザ１７０から液晶部１０４に入力されるクロックは、２０ＭＨｚ×５／６＝１６．６７ＭＨｚとなる。このように逓倍数及び分周数を設定すると、ベースバンドプロセッサ１１０からシリアライザ１５０に入力されるクロックが１６．１ＭＨｚであっても、アンダーフローのケースとして扱える。

【００５７】

［２－２：機能構成］

ここで、図７を参照しながら、本実施形態に係るシリアライザ１５０及びデシリアライザ１７０の機能構成について説明する。図７は、本実施形態に係るシリアライザ１５０及びデシリアライザ１７０の機能構成について説明するための説明図である。

【００５８】

（２－２－１：シリアライザ１５０の構成）

まず、シリアライザ１５０の機能構成について説明する。

【００５９】

なお、シリアライザ１５０には、ベースバンドプロセッサ１１０からデータ信号及び１５．８ＭＨｚのクロック（以下、入力クロック）が入力されるものとする。但し、データ信号及び入力クロックは、図４に記載のタイミングで入力される。また、シリアライザ１５０には、発振器１９０から２０ＭＨｚのクロック（以下、基準クロック）が入力されるものとする。さらに、シリアライザ１５０からデシリアライザ１７０へのシリアル伝送には、８０ＭＨｚのクロック（以下、伝送クロック）が用いられるものとする。

【００６０】

図７に示すように、シリアライザ１５０は、主に、フレーム生成部１５１と、逓倍器１５２と、分周器１５３と、行クロック数検出部１５４と、シリアルデータ生成部１５５とにより構成される。なお、各構成要素は、基準クロックを利用して動作する。

【００６１】

ベースバンドプロセッサ１１０からシリアライザ１５０に１行分のデータ信号が入力されると、フレーム生成部１５１は、入力された１行分のデータ信号をバッファリングする。また、逓倍器１５２は、発振器１９０から入力された基準クロックを４逓倍して８０Ｍ

Ｈｚの伝送クロックを生成する。この伝送クロックは、分周器１５３及びシリアルデータ生成部１５５に入力される。伝送クロックが入力された分周器１５３は、入力された伝送クロックを１／５に分周して１６ＭＨｚのクロック（以下、第１出力クロック）を生成する。この第１出力クロックは、行クロック数検出部１５４に入力される。

【００６２】

第１出力クロックが入力されると、行クロック数検出部１５４は、１行分のデータ信号の有効データ期間と、その有効データ期間に続くブランク期間との長さを第１出力クロックのクロック数で測定する。つまり、行クロック数検出部１５４は、連続する有効データ期間とブランク期間とを含む期間に対応する第１出力クロックのクロック数をカウントする。以下、ここでカウントされたクロック数を行クロック数と呼ぶことにする。行クロック数をカウントした後、行クロック数検出部１５４は、行クロック数から１行分のデータ数を差し引いてブランク期間に対応するクロック数（以下、ブランク数）を算出する。

【００６３】

行クロック数検出部１５４により算出されたブランク数は、シリアルデータ生成部１５５に入力される。ブランク数が入力されると、シリアルデータ生成部１５５は、バッファリングしていた１行分のデータ信号と、入力されたブランク数とをシリアル化してシリアル伝送信号を生成する。そして、シリアルデータ生成部１５５は、８０ＭＨｚの伝送クロックに合わせてシリアル伝送信号をデシリアライザ１７０に伝送する。

【００６４】

以上、シリアライザ１５０の機能構成について説明した。

【００６５】

（２－２－２：デシリアライザ１７０の構成）

次に、デシリアライザ１７０の機能構成について説明する。

【００６６】

図７に示すように、デシリアライザ１７０は、主に、分周器１７１と、パラレルデータ生成部１７２と、データ再生部１７３とにより構成される。

【００６７】

シリアライザ１５０からシリアル伝送信号が入力されると、分周器１７１は、シリアル伝送信号から得られる伝送クロックを１／５に分周して１６ＭＨｚのクロック（以下、第２出力クロック）を生成する。この第２出力クロックは、デシリアライザ１７０の各構成要素に入力される。また、パラレルデータ生成部１７２は、シリアル伝送信号をパラレル化して１行分のデータ信号と、ブランク数とを分離する。これら１行分のデータ信号及びブランク数は、データ再生部１７３に入力される。１行分のデータ信号及びブランク数が入力されると、データ再生部１７３は、図４に記載のタイミングで、１６ＭＨｚの第２出力クロックと１行分のデータ信号とを液晶部１０４に入力する。

【００６８】

以上、デシリアライザ１７０の機能構成について説明した。

【００６９】

［２－３：動作］

次に、図８及び図９を参照しながら、シリアライザ１５０及びデシリアライザ１７０の動作について、より詳細に説明する。

【００７０】

（２－３－１：ブランク数の検出方法）

まず、シリアライザ１５０の動作について説明する。本実施形態に係るシリアライザ１５０の特徴的な動作は、ブランク期間に対応するブランク数の検出方法にある。そこで、ブランク数の検出方法に焦点を当ててシリアライザ１５０の動作を説明する。なお、１ピクセル当たりのデータ量が２４ｂｉｔであり、１行が４８０ピクセルであるとする。

【００７１】

図８に示すように、シリアライザ１５０には、１５．８ＭＨｚの入力クロックに合わせてデータ信号が入力されるものとする。また、シリアライザ１５０には、有効データ期間

とブランク期間とを示すイネーブル信号が入力される。この例では１行が４８０ピクセルであるため、有効データ期間の長さは４８０クロック分となる。一方、デシリアライザ１７０で伝送クロックから生成される第２出力クロックは１６ＭＨｚである。そのため、この第２出力クロックで４８０クロック分のデータ信号を出力すると、有効データ期間の終端付近にあるデータ信号が出力されないことになる。

【００７２】

そこで、シリアライザ１５０は、第２出力クロックと同じ周波数（１６ＭＨｚ）の第１出力クロックを用いて、第２出力クロックを基準とするブランク期間の長さを測定する。まず、シリアライザ１５０は、行クロック数検出部１５４の機能により、有効データ期間の始点から、その有効データ期間に続くブランク期間の終点までの期間長を第１出力クロックのクロック数により測定する。そして、シリアライザ１５０は、行クロック数検出部１５４の機能により、測定したクロック数（図８の例ではｎ）から４８０（１行分のピクセル数）を差し引いてブランク数を算出する。

【００７３】

（２－３－２：行データの出力方法）

次に、デシリアライザ１７０の動作について説明する。本実施形態に係るデシリアライザ１７０の特徴的な動作は、入力クロックと第２出力クロックとの間の誤差を吸収するようにブランク期間の出力を調整する方法にある。そこで、このようなブランク期間の調整を含む行データの出力方法に焦点を当ててデシリアライザ１７０の動作を説明する。

【００７４】

図９に示すように、デシリアライザ１７０は、データ再生部１７３の機能により、第２出力クロック（１６ＭＨｚのクロック）を基準に１クロック目から４８０クロック目までのピクセル情報（データ信号）を出力する。さらに、デシリアライザ１７０は、データ再生部１７３の機能により、（ｎ（行カウント数）－４８０）クロック分（ブランク数分）のブランクを出力する。このように、デシリアライザ１７０においてブランク数を調整することにより、アンダーフローの発生による影響を抑制することが可能になる。なお、図９からも分かるように、この調整は、イネーブル信号における有効データ期間及びブランク期間を調整していることに相当する。

【００７５】

＜３：まとめ＞

最後に、本発明の実施形態に係る技術内容について簡単に纏める。ここで述べる技術内容は、例えば、ＰＣ、携帯電話、携帯ゲーム機、携帯情報端末、情報家電、カーナビゲーションシステム等、種々の情報処理装置における装置内データ伝送に適用可能である。例えば、装置内データ伝送に用いる信号処理装置に適用することができる。

【００７６】

上記の信号処理装置は、例えば、次のような入力部と、カウント部と、イネーブル信号制御部と、イネーブル信号出力部と、データ出力部とを有していてもよい。上記の入力部は、所定数のデータと、第１のクロックに同期し、かつ、前記データが有効な区間でアクティブな状態をとる第１のイネーブル信号と、が入力されるものである。また、上記のカウント部は、前記第１のクロックよりも高速な第２のクロックを基準に、前記第１のイネーブル信号が非アクティブな状態をとる区間のクロック数をカウントするものである。

【００７７】

また、上記のイネーブル信号制御部は、前記第２のクロックを基準に、前記所定数に等しいクロック数分だけ第２のイネーブル信号をアクティブな状態にし、前記カウント部によりカウントされたクロック数分だけ前記第２のイネーブル信号を非アクティブな状態にするものである。さらに、上記の信号出力部は、前記第２のイネーブル信号を出力するものである。そして、上記のデータ出力部は、前記第２のイネーブル信号がアクティブな状態をとる区間に、前記第２のクロックに同期して前記所定数のデータを出力するものである。

【００７８】

データ入力に用いるクロック（第１のクロック）と、データ出力に用いるクロック（第２のクロック）とが異なる場合、有効なデータが入力される期間と、データを出力する期間とが異なってしまう。例えば、第１のクロックが第２のクロックよりも低速な場合、データの入力がデータの出力に追いつかずに、データの取りこぼしが発生してしまう。このような取りこぼしを防ぐには、データの出力タイミングを調整することが必要になる。このような調整方法として、本件発明者は、データが出力されない期間（イネーブル信号が非アクティブな区間）を調整する上記の方法を考案したのである。

【００７９】

有効なデータが存在する区間の長さは、データ数分のクロック数で表現できる。一方、有効なデータが存在しない区間の長さは、実際に第２のクロックを用いて測定する方が好ましい。この区間の長さを実際に測定し、その測定結果を利用して第２のイネーブル信号を調整することにより、第１のクロックと第２のクロックとの誤差が変化しても、その変化に追従する形で適応的に誤差を吸収することが可能になる。

【００８０】

なお、上記の構成は比較的簡易な回路構成により実現可能である。また、精度のよい発振器を用いずに済むようになるため、製造コストを低減させることが可能になる。さらに、第１のクロックと第２のクロックとを精度良く調整するための構成が不要になるため、設計コストを低減することも可能になる。

【００８１】

（備考）

上記の行クロック数検出部１５４は、カウント部の一例である。上記のデータ再生部１７３は、イネーブル信号制御部、イネーブル信号出力部、データ出力部の一例である。上記の逓倍器１５２及び分周器１５３は、クロック変換部の一例である。上記の操作部１０８は、第１の信号処理モジュールの一例である。上記の表示部１０２は、第２の信号処理モジュールの一例である。上記のシリアライザ１５０（シリアルデータ生成部１５５）は、送信部の一例である。上記のデシリアライザ１７０（パラレルデータ生成部１７２）は、受信部の一例である。上記の逓倍器１５２は、シリアル伝送用クロック生成部の一例である。上記のベースバンドプロセッサ１１０は、演算処理部の一例である。上記の液晶部１０４は、表示部の一例である。

【００８２】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【００８３】

例えば、上記の説明においては、ブランク数をそのままシリアル伝送する構成について説明したが、ある固定値を決めておき、その固定値とブランク数との差分をシリアル伝送するように構成してもよい。また、入力クロックでカウントしたブランク数と、第１出力クロックでカウントしたブランク数との差分をシリアル伝送するように構成してもよい。このような構成にすると、伝送すべき情報量が少なくなるため、伝送効率が高まる。

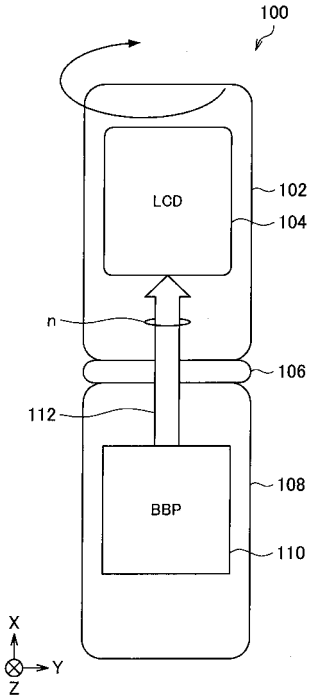
【符号の説明】

【００８４】

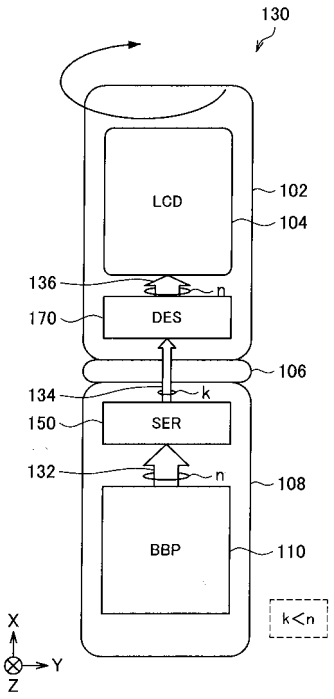
１００、１３０　携帯端末
１０２　表示部
１０４　液晶部
１０６　接続部
１０８　操作部
１１０　ベースバンドプロセッサ
１３２、１３６　パラレル信号線路
１３４　シリアル信号線路

１５０　シリアライザ
１５１　フレーム生成部
１５２　逓倍器
１５３　分周器
１５４　行クロック数検出部
１５５　シリアルデータ生成部
１７０　デシリアライザ
１７１　分周器
１７２　パラレルデータ生成部
１７３　データ再生部
１９０　発振器

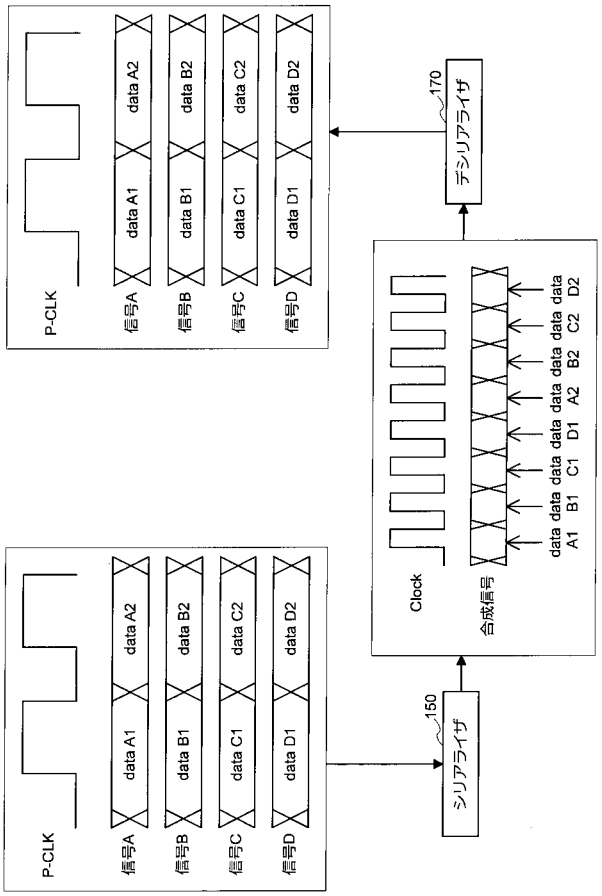
【図１】



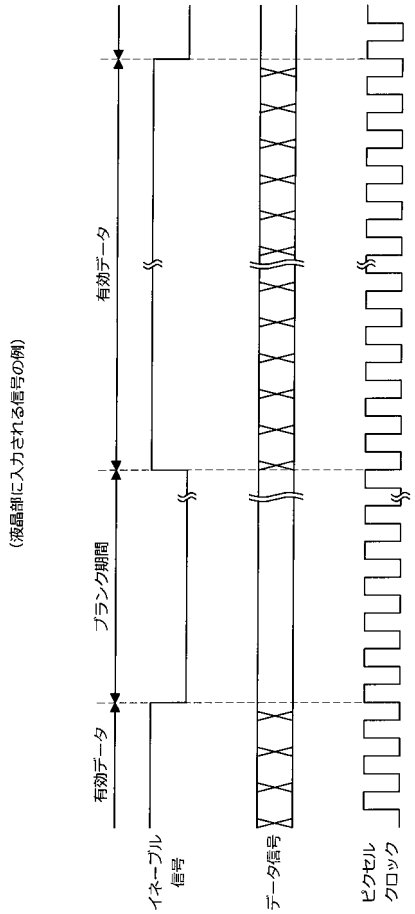
【図２】



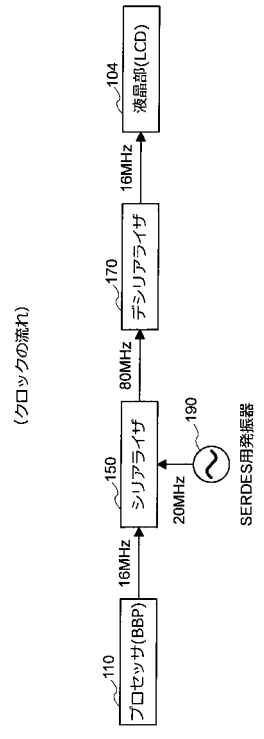
【図３】


P-CLK
信号A
信号B
信号C
信号D
data A1
data A2
data B1
data B2
data C1
data C2
data D1
data D2
シリアライザ
150
170
Clock
合成信号
data data data data data data data data
A1 B1 C1 D1 A2 B2 C2 D2

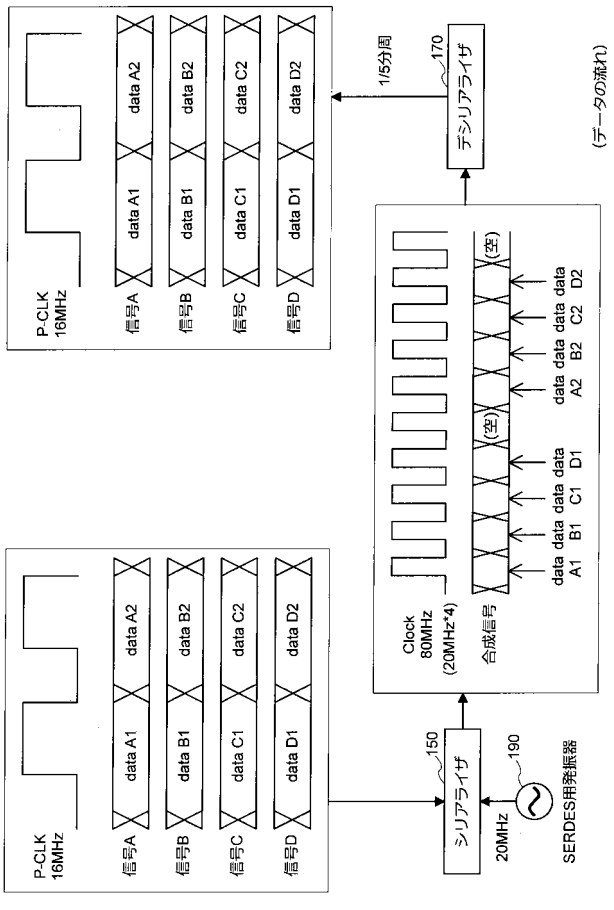
【図４】


(液晶部に入力される信号の例)
有効データ
ブランク期間
有効データ
イネーブル信号
データ信号
ピクセルクロック

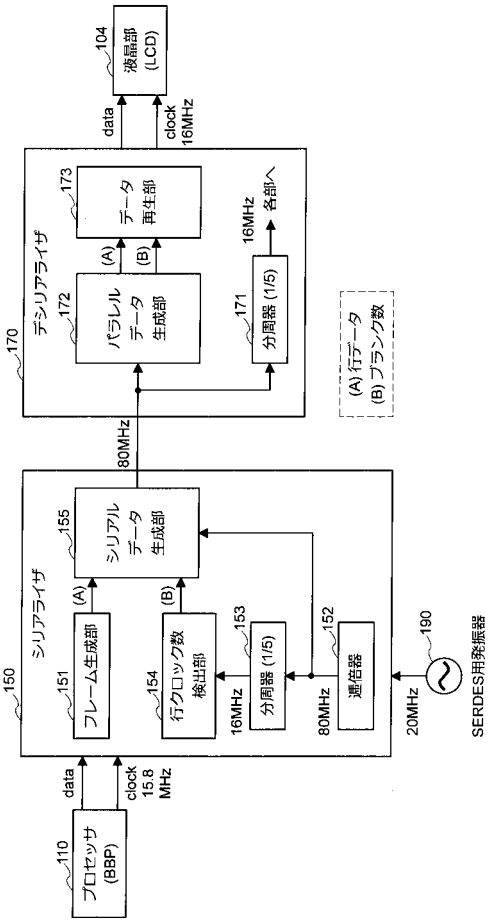
【図５】


(クロックの流れ)
プロセッサ(BBP)
110
16MHz
シリアライザ
150
20MHz
190
SERDES用発振器
80MHz
デシリアライザ
170
16MHz
液晶部(LCD)
104

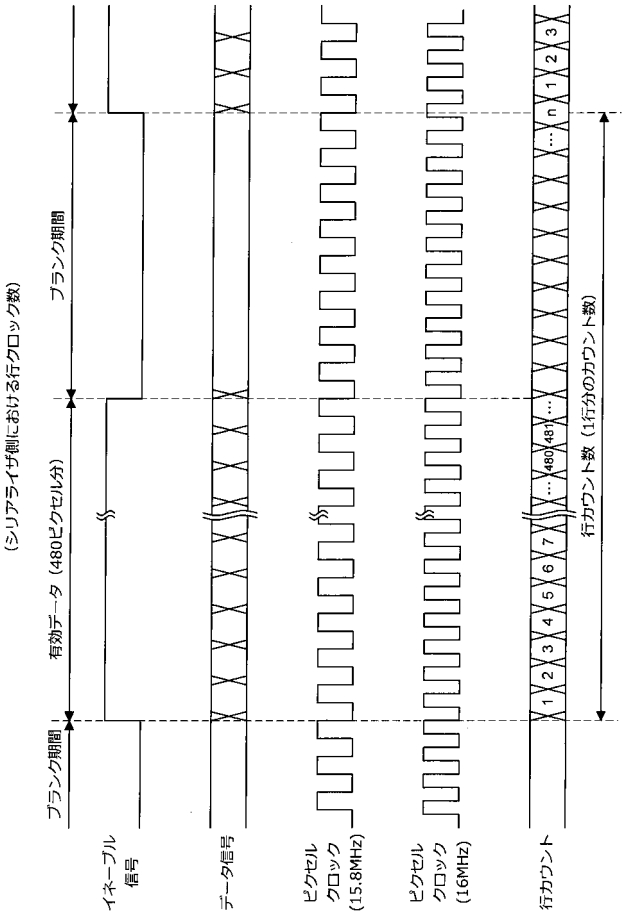
【図６】


P-CLK
16MHz
信号A
信号B
信号C
信号D
data A1
data A2
data B1
data B2
data C1
data C2
data D1
data D2
1/5分周
デシリアライザ
170
Clock
80MHz
(20MHz*4)
合成信号
(空)
data data data data data data data data
A1 B1 C1 D1 A2 B2 C2 D2
シリアライザ
150
20MHz
190
SERDES用発振器
(データの流れ)

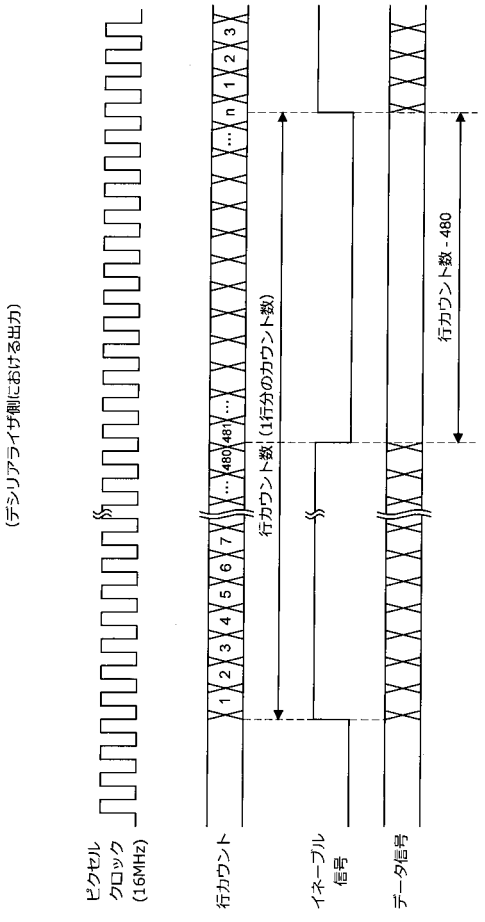
【図７】


110
プロセッサ (BBP)
data
clock 15.8 MHz
150
シリアライザ
151
フレーム生成部
(A)
154
行クロック数 検出部
(B)
16MHz
153
分周器 (1/5)
80MHz
152
逓倍器
20MHz
190
SERDES用発振器
155
シリアル データ 生成部
80MHz
170
デシリアライザ
172
パラレル データ 生成部
(A)
(B)
173
データ 再生部
171
分周器 (1/5)
16MHz
各部へ
data
clock 16MHz
104
液晶部 (LCD)
(A) 行データ
(B) ブランク数

【図８】


(シリアライザ側における行クロック数)
ブランク期間
有効データ (480ピクセル分)
ブランク期間
イネーブル 信号
データ信号
ピクセル クロック (15.8MHz)
ピクセル クロック (16MHz)
行カウント
1 2 3 4 5 6 7 480 481 n 1 2 3
行カウント数 (1行分のカウント数)

【図９】


(デシリアライザ側における出力)
ピクセル クロック (16MHz)
行カウント
1 2 3 4 5 6 7 480 481 n 1 2 3
行カウント数 (1行分のカウント数)
イネーブル 信号
データ信号
行カウント数 - 480