

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年12 月4 日 (04.12.2003)

PCT

(10) 国際公開番号  
WO 03/100853 A1

(51) 国際特許分類:  
21/3205, H01F 17/00, H05K 3/46

H01L 23/12,

(21) 国際出願番号: PCT/JP03/06648

(22) 国際出願日: 2003 年5 月28 日 (28.05.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2002-156261 2002 年5 月29 日 (29.05.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 味の素株式会社 (AJINOMOTO CO.,INC.) [JP/JP]; 〒104-0031 東京都中央区京橋1丁目15番1号 Tokyo (JP).

(SAGAWA,Kouichirou) [JP/JP]; 〒210-0801 神奈川県川崎市川崎区 鈴木町1-1 味の素株式会社内 Kana-gawa (JP). 押村 雅彦 (OSHIMURA,Masahiko) [JP/JP]; 〒104-0031 東京都中央区京橋1丁目15番1号 味の素株式会社内 Tokyo (JP).

(74) 代理人: 中村 稔, 外 (NAKAMURA,Minoru et al.); 〒100-8355 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(72) 発明者; および

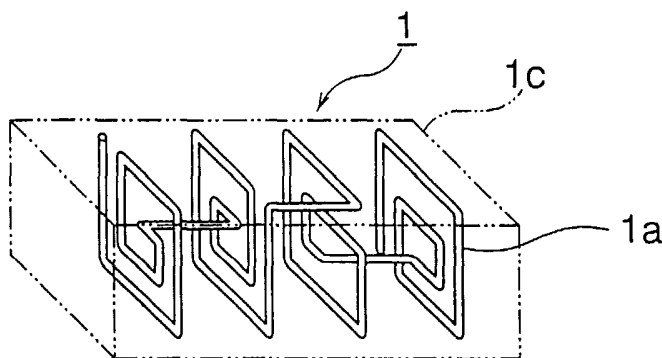
(75) 発明者/出願人 (米国についてのみ): 佐川 幸一郎

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,

[続葉有]

(54) Title: MULTILAYER SUBSTRATE WITH BUILT-IN COIL, SEMICONDUCTOR CHIP, METHODS FOR MANUFACTURING THEM

(54) 発明の名称: コイル内蔵多層基板、半導体チップ、及びそれらの製造方法



(57) Abstract: A multilayer substrate with a built-in coil hardly influenced by noise and crosstalk, or stray capacitance attributed to the built-in coil, and a method for manufacturing the same are disclosed. The multilayer substrate comprises a coil formed integrally with the multilayer substrate, including a winding portion parallel to the multilayer substrate and a winding portion vertical to the multilayer substrate, and supported in the multilayer substrate, an insulator supporting the coil, constituting at least a part of an insulating portion of the multilayer substrate, and constituted of stacked insulating layers. The multilayer substrate is characterized in that the coil is composed of unit windings each

having a spiral pattern the direction of spiral is opposite to that of adjacent unit windings when viewed in the same direction, and that the leading end of the spiral pattern of one unit winding is connected to the leading end of that of an adjacent unit winding, and the tail end of the spiral pattern of the adjacent unit winding is connected to the tail end of that of the further next adjacent unit winding, and thus the unit windings are connected.

(57) 要約: 基板に内蔵されたコイルによるノイズやクロストーク、又は浮遊容量による悪影響などが減少したコイル内蔵多層基板およびその製造方法を提供する。コイル内蔵多層基板は、多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持されるコイルと、当該コイルを支持し、当該多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有し、当該コイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び当該コイルの互いに隣接する単位巻線の組は、当該螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とする。



AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),  
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される  
各 *PCT* ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明細書

## コイル内蔵多層基板、半導体チップ、及びそれらの製造方法

## (技術分野)

本発明は、インダクタまたはトランスとしての機能を有するコイルを内蔵する多層基板（プリント基板）、多層基板（インターポーザ、電極配線層）が積層された半導体チップ、およびその製造方法に関し、より詳しくは、小型で、巻数及び形成方向をほぼ任意に設定でき、他の回路素子へのノイズを抑えることができるようなコイルを内蔵する多層基板、当該多層基板が積層されるが、当該多層基板に含まれるコイルからのノイズを抑えることができる半導体チップ、およびその製造方法に関する。

## (背景技術)

コイル類は古くからアンテナ、モーターなど、広い分野で用いられてきた。電子機器の分野では、コイルを使用したインダクタと呼ばれる構造が各種部品、ICチップ内に製造され、広く用いられている。インダクタのみを表面実装用にチップ化したものはチップインダクタと呼ばれ、例えば携帯電話には1台に20個以上搭載されているという報告もある。インダクタを内蔵した部品も数多くある。例えば、インダクタとコンデンサを組み合わせた積層LCフィルタと呼ばれる部品は、ノイズ除去などの目的で高周波用途を中心に広く用いられている。また、VCO (Voltage Controlled Oscillator) と呼ばれる部品もインダクタとコンデンサを組み合わせた内部構造を有している。VCOは、加える電圧によって発振周波数を変えることができる発信器であり、無線回路の品質を左右する重要な部品である。近年爆発的に普及した携帯電話を始めとする高周波領域での使用を想定した機器には、これらの部品が多数搭載されている。電子機器のいわゆる軽薄短小化が進行するに伴い、これらの部品にも小

型化が求められている。

更に、供給された電流の電圧を所定の電圧に変換するトランス（変圧器）もコイル構造を内部に有している。トランスも基板上や半導体チップ上に実装／形成されることが多く、そのためトランスにも小型化が求められているのは言うまでもない。

これらの部品類は、全て表面実装される。近年の電気機器の軽薄短小化に伴い、実装面積もどんどん小さくなっている。そこで、これらの受動部品を基板内部に形成するという試みが数多く実施されている。

インダクタ内蔵基板については、基板平面と平行な面に従来のフォトリソグラフィ法によってスパイラルパターンを形成する方法が最も一般的である。また、半導体チップ上へコイルを形成することは古くから検討されている。今のところ、そのようなことについて実用化されているのは、上述のように、半導体基板と平行な面内に導体のスパイラルターンを形成することである。しかしながらこの方法には多くの問題点がある。チップインダクタの形状の変遷を例に取り説明する。

チップインダクタは巻線を使用したものは従来から広く用いられて来ている。最近では、セラミック製のチップ部品を中心に、種々の提案がある。例えば特開平11-204336号公報に記載されているように、グリーンシートに導電性ペーストで回路を印刷し、積層した後に焼成することでコイルを形成するものが知られている。しかしこの方法は単層コイルであり、十分な巻き数を確保できず、十分なインダクタンスを得ることができない。十分な巻き数を確保するには積層数を多くすることが必要になり、コスト、サイズの観点から限界がある。

また、インダクタを高周波領域で使用すると、浮遊容量が無視できなくなることが知られている。浮遊容量は、インダクタコイルが同じ平面で向き合う構造になることによりコンデンサとして作用することにより発生する。基板平面と平行な面にスパイラルパターンを形成し、これを積層して多層コイルとした場合はこ

の問題も生ずる。これはすなわち、コイル間に発生する浮遊容量が電極に対して並列となるためである。

高周波領域でこの構造のインダクタを用いると、ノイズの問題も発生する。すなわち、誘導磁界はインダクタの軸方向、すなわち基板平面に対して垂直な方向に発生する。これがチップ下部の信号ラインに悪影響を及ぼす。いわゆるノイズである。この問題は、近年の携帯電話機のように高い周波数領域で使用されるときに顕著である。このメカニズムは、例えば、日経BP社発行の、日経エレクトロニクス、2001年、3-26号(No. 792)の173~174ページに詳しく説明されている。すなわち、基板と平行な面内に導体のスパイラルターンを形成した場合、機器の使用により変動電流がそこに流れると、変動磁界がそのスパイラルターンと直交する方向に沿って発生する。これによって、その変動磁界と鎖交する、基板平面や半導体チップの配線や他の回路素子に誘起電流が流れ、ノイズを発生させることになる。従って、従来は、トランジスタなどの回路素子のすぐ上にインダクタを形成したい場合であったとしても、ノイズの影響を少なくするために、敢えていくつかの層を挟ませて、その層の上にインダクタを形成するという迂遠な手法が取られることが多かった。しかしこのような方法では、設計上、非常に多くの制約を受けることになり、問題となっていた。

また、特開平11-214622号公報には、基板平面と垂直な方向にソレノイドコイルを形成する方法が提案されている。この方法ではソレノイドコイルを形成するため、磁界がコイル内に閉じこめられ、ノイズの観点からは問題はない。しかしながら、形成されるソレノイドコイルは必然的に非常に多くの体積を有するため、設計の自由度という点から問題がある。

以上の問題点に鑑み、特開平10-284919号公報には、本発明と同様に、基板平面と垂直な方向にコイルを形成する方法が提案されている。この方法により、前述の浮遊容量は電極に対して直列になるため、この問題は小さくなる。こ

の構造では基板実装時のノイズの問題もほぼ解決される。しかしながら、この方法も前記の方法同様、単層コイルであるため、十分なインダクタンスを得ることは期待できない。また、基板平面と平行な方向に延長することにより巻き数の確保はできるが、スルーホールや導電パターンの製造精度の限界から一定以上の高密度化は困難であり、したがって実用的な大きさでは十分なインダクタンスを得ることはできない。また、積層数を増やすことは不良率の上昇を招き、結果的にコストアップとなる。

特開昭62-189707号公報には、本発明と類似の、インダクタの提案が見られる。また、特開平4-237106号公報には、インダクタと共にトランスについても提案がなされている。しかしながらこれらの提案中には、具体的な製造法について、基板に対し垂直方向の螺旋状回路部分はスルーホールまたはビアホールによって形成するとの既述はあるが、より具体的な説明はない。また、このようなコイルの、後述するような高周波領域における優れた性質についての知見がないため、このようなコイルは、製造の難しさに加え、利用面で実用化が阻まれてきた。

特開平3-34407号公報には、コイル自体の構造としては本発明と類似の多層コイルを用いたチップインダクタが提案されている。しかしながらこの提案も、プリント配線基板表面に実装されるチップインダクタに関するものであり、チップであることによる問題を有するとともに、製造方法としても問題がある。すなわち、製造方法としては、一平面に螺旋構造を形成し、これを積層するものであるため、微細な螺旋構造を印刷で形成する必要がある。近年検討が進んでいるチップインダクタは、 $0.3\text{ mm} \times 0.3\text{ mm} \times 0.6\text{ mm}$ という非常に小型なものであり、その断面に螺旋構造を印刷で形成することはにじみによるショート発生などの問題が生じ、非常に困難である。

以上、従来のチップインダクタにおける構造・製造方法等の問題点について記

述した。これらの問題点は、インダクタを基板内部に形成した場合も全く同じように問題となり得る。また、高密度でチップインダクタを実装すると、お互いのクロストークが問題となる上に、チップを基板上に装着した場合に、時間と共にチップの一方が外れ、直立状態になる、いわゆるツーム・ストーン現象が起き、基板全体が用をなさなくなってしまうことが問題になっている。

一方、トランス（変圧器）もコイルを使用している。トランスの典型的な構造は、磁性体を挟んだ両側に、巻き数の異なる 2 本のコイルを配置したものである。この様な構造にすることにより、ロスを少なく変圧することができる。しかしながら従来のコイルの製造方法では、コイル作成方向が各コイル断面と垂直方向であるため、2 本のコイルの間に磁性体層を設けることが工程上困難であり、別途作成したコイルと磁性体とを一つの部品として再度組み立てる必要があり、基板内部に形成することは不可能であった。

また、基板と平行な方向に二枚のインダクタを絶縁層を介して形成し、トランスを形成する方法も提案されている。絶縁体の代わりに磁性体を用いる例も知られている。しかしながらこの方法による場合、限られた面積ではインダクタコイルの巻き数に制限があり、十分な機能を果たせない。機能を発揮させるためには大きな面積にする必要があるが、小型化の観点から問題がある。インダクタコイルを多層にすれば限られた面積でコイルの巻き数の確保はできるが、その際は磁性体をコイルの伸長方向に配置しないと十分な効果は得られないし、その方向に磁性体を配置するのは困難である。

本発明は、配線基板に実装／形成され、あるいは内蔵された他の部品や回路へのノイズなどの悪影響が少なく、高密度に内蔵しても相互のクロストークが減じられる、小型で且つ同一のプロセスで任意に巻き数（層数）を変更でき、大きな自己又は相互インダクタンスを得ることができる、形成方向も任意に変更可能なコイル又はトランスを内蔵した多層配線基板およびその製造方法を提供すること

を課題としている。また、そのようなコイル又はトランスが一体的に積層された半導体チップおよびその製造方法を提供することも課題としている。

(発明の開示)

本発明によれば、上記課題は、次のいずれかの手段により達成できる。請求の範囲第1項に記載の発明は、多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持されるコイルと、当該コイルを支持し、当該多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有し、当該コイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び当該コイルの互いに隣接する単位巻線の組は、当該螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とする。

請求の範囲第2項に記載の発明は、多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持されるコイルと、当該コイルの内部を貫通する柱状の磁性体からなる芯構造と、当該コイルを支持し、当該多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とする。

請求の範囲第3項に記載の発明は、請求の範囲第2項に記載の発明の特徴に加えて、当該コイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び当該コイルの互いに隣接する単位巻線の組は、当該螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とする。

請求の範囲第4項に記載の発明は、請求の範囲第1乃至3項のいずれか1項に記載の発明の特徴に加えて、当該コイルは、当該多層基板に平行な巻線部分が、

積層された導電層の一部として形成され、当該多層基板に垂直な巻線部分が、当該絶縁層を介して隣接する当該導電層間を接続するバンプとして形成されることを特徴とする。

請求の範囲第5項に記載の発明は、請求の範囲第1乃至3項のいずれか1項に記載の発明の特徴に加えて、当該コイルは、ビルドアップ工法により、当該多層基板に平行な巻線部分が、積層された導電層の一部として形成され、当該多層基板に垂直な巻線部分が、当該絶縁層を通して隣接する当該導電層間を接続するビア或いはスルーホールとして形成されることを特徴とする。

請求の範囲第6項に記載の発明は、請求の範囲第1乃至5項のいずれか1項に記載の発明の特徴に加えて、当該多層基板と平行な面内に回路面を有する平面コイルを更に有することを特徴とする。

請求の範囲第7項に記載の発明は、請求の範囲第1乃至6項のいずれか1項に記載の発明の特徴に加えて、複数の当該コイルを有し、当該複数のコイルは、少なくともいずれか1つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように配置されていることを特徴とする。

請求の範囲第8項に記載の発明は、請求の範囲第1乃至6項のいずれか1項に記載の発明の特徴に加えて、複数の当該コイルを有し、当該複数のコイルは、少なくともいずれか1つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように配置されていることを特徴とする。

請求の範囲第9項に記載の発明は、多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含む複数のコイルと、当該多層基板と平行な面内に回路面を有する平面コイルと、当該コイル及び当該平面コイルを支持し、当該多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とする。

請求の範囲第 10 項に記載の発明は、多層基板と一体的に形成される複数のコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持され、少なくともいずれか 1 つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように配置される複数のコイルと、当該複数のコイルを支持し、当該多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とする。

請求の範囲第 11 項に記載の発明は、多層基板と一体的に形成される複数のコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持され、少なくともいずれか 1 つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように配置される複数のコイルと、当該複数のコイルを支持し、当該多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とする。

請求の範囲第 12 項に記載の発明は、請求の範囲第 8 乃至 11 項のいずれか 1 項に記載の発明の特徴に加えて、当該コイルは、当該多層基板に平行な巻線部分が、積層された導電層の一部として形成され、当該多層基板に垂直な巻線部分が、当該絶縁層を介して隣接する当該導電層間を接続するバンプとして形成されることを特徴とする。

請求の範囲第 13 項に記載の発明は、請求の範囲第 8 乃至 11 項のいずれか 1 項に記載の発明の特徴に加えて、当該コイルは、ビルドアップ工法により、当該多層基板に平行な巻線部分が、積層された導電層の一部として形成され、当該多層基板に垂直な巻線部分が、当該絶縁層を通して隣接する当該導電層間を接続するビア或いはスルーホールとして形成されることを特徴とする。

請求の範囲第 14 項に記載の発明は、請求の範囲第 1 乃至 13 項のいずれか 1

項に記載の発明の特徴に加えて、当該コイルの少なくともいずれかは、インダクタであることを特徴とする。

請求の範囲第 15 項に記載の発明は、請求の範囲第 1 乃至 13 項のいずれか 1 項に記載の発明の特徴に加えて、当該コイルの少なくともいずれかは、相互に磁氣的に結合した 2 個以上のコイルからなるトランスであることを特徴とする。

請求の範囲第 16 項に記載の発明は、請求の範囲第 1 乃至 15 項のいずれか 1 項に記載のコイル内蔵多層基板が外面に積層されたことを特徴とする。

請求の範囲第 17 項に記載の発明は、多層基板を構成する 1 つの絶縁層を形成するステップと、当該多層基板に平行なコイルの巻線部分の少なくとも一部を当該多層基板内の絶縁層上に形成するステップと、当該多層基板に平行なコイルの当該巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、絶縁層を形成する当該ステップ、当該多層基板に平行なコイルの巻線部分の少なくとも一部を形成する当該ステップ、及び当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する当該ステップの少なくともいずれかを、当該多層基板に平行なコイルの巻線部分と当該多層基板に垂直なコイルの巻線部分とで当該多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を具備し、当該所定のコイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び当該所定のコイルの互いに隣接する単位巻線の組は、当該螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とする。

請求の範囲第 18 項に記載の発明は、多層基板を構成する 1 つの絶縁層を形成するステップと、当該多層基板に平行なコイルの巻線部分の少なくとも一部を当該多層基板内の絶縁層上に形成するステップと、当該多層基板に平行なコイルの

当該巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、柱状の磁性体からなる芯構造を当該コイルの内部に配置されるように形成するステップと、絶縁層を形成する当該ステップ、当該多層基板に平行なコイルの巻線部分の少なくとも一部を形成する当該ステップ、及び当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する当該ステップの少なくともいずれかを、当該多層基板に平行なコイルの巻線部分と当該多層基板に垂直なコイルの巻線部分とで当該多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を有することを特徴とする。

請求の範囲第 19 項に記載の発明は、多層基板を構成する 1 つの絶縁層を形成するステップと、当該多層基板に平行なコイルの巻線部分の少なくとも一部を当該多層基板内の絶縁層上に形成するステップと、当該多層基板に平行なコイルの当該巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、絶縁層を形成する当該ステップ、当該多層基板に平行なコイルの巻線部分の少なくとも一部を形成する当該ステップ、及び当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する当該ステップの少なくともいずれかを、当該多層基板に平行なコイルの巻線部分と当該多層基板に垂直なコイルの巻線部分とで当該多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を具備し、当該コイルは、少なくともいずれか 1 つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように配置される複数のコイルであることを特徴とする。

請求の範囲第 20 項に記載の発明は、多層基板を構成する 1 つの絶縁層を形成

するステップと、当該多層基板に平行なコイルの巻線部分の少なくとも一部を当該多層基板内の絶縁層上に形成するステップと、当該多層基板に平行なコイルの当該巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、絶縁層を形成する当該ステップ、当該多層基板に平行なコイルの巻線部分の少なくとも一部を形成する当該ステップ、及び当該多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する当該ステップの少なくともいずれかを、当該多層基板に平行なコイルの巻線部分と当該多層基板に垂直なコイルの巻線部分とで当該多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を具備し、当該コイルは、少なくともいずれか1つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように配置される複数のコイルであることを特徴とする。

請求の範囲第21項に記載の発明は、請求の範囲第19又は20項に記載の発明の特徴に加えて、柱状の磁性体からなる芯構造を当該コイルの内の少なくともいずれかの内部に配置されるように形成するステップを更に有することを特徴とする。

請求の範囲第22項に記載の発明は、請求の範囲第17乃至21項のいずれか1項に記載の発明の特徴に加えて、当該コイル内蔵多層基板は半導体ウェーハの外面に積層されるものであり、当該コイル内蔵多層基板が積層された当該半導体ウェーハを半導体チップ単位に切り分けるステップ、を更に有することを特徴とする。

請求の範囲第23項に記載の発明は、請求の範囲第17乃至21項のいずれか1項に記載の発明の特徴に加えて、当該コイル内蔵多層基板は半導体チップの外面に積層されるものであることを特徴とする。

(図面の簡単な説明)

図 1 は、本発明の第 1 の実施形態に係るコイル内蔵多層基板 1 の概略構成を示す斜視図である。(以下の図面においても基板中のコイル部分が表示され、他の回路、配線等は省略されている。)

図 2 (a) は、本発明の第 2 の実施形態に係るコイル内蔵多層基板 2 の概略構成を示す斜視図であり、図 2 (b) 及び図 2 (c) は、他のコイルの構造の例を示す図である。

図 3 は、本発明の第 3 の実施形態に係るコイル内蔵多層基板 3 の概略構成を示す斜視図である。

図 4 は、本発明の第 4 の実施形態に係るコイル内蔵多層基板 4 の概略構成を示す斜視図である。

図 5 は、本発明の第 5 の実施形態に係るコイル内蔵多層基板 5 の概略構成を示す斜視図である。

図 6 は、本発明の第 6 の実施形態に係るコイル内蔵多層基板 6 の概略構成を示す斜視図である。

図 7 は、本発明の第 7 の実施形態に係るコイル内蔵多層基板 7 の概略構成を示す斜視図である。

図 8 は、本発明の第 8 の実施形態に係るコイル内蔵多層基板 8 の概略構成を示す斜視図である。

図 9 は、本発明の第 9 の実施形態に係るコイル内蔵多層基板 9 の概略構成を示す斜視図である。

図 10 は、コイルのお互いに隣接する単位巻線の導体の配置を表わす断面図である。

図 11 は、本発明の第 1 の実施形態に係るコイル内蔵多層基板 1 の製造過程を説明するために斜視図である。

図 1 2 は、本発明の第 3 の実施形態に係るコイル内蔵多層基板 3 の製造過程を説明するために斜視図である。

図 1 3 は、本発明の第 6 の実施形態に係るコイル内蔵多層基板 6 の製造過程を説明するために斜視図である。

図 1 4 は、本発明の第 7 の実施形態に係るコイル内蔵多層基板 7 の製造過程を説明するために斜視図である。

図 1 5 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製造初段階の斜視図である。

図 1 6 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 1 7 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 1 8 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 1 9 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 2 0 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 2 1 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 2 2 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 2 3 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の製法の一例を示す斜視図である。

図 2 4 は、本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の I C チッ

プ上への製造初段階の断面図である。

図 2 5 は、ビア形成の説明のための断面図である。

図 2 6 は、回路形成のための導電パターン形成の説明のための断面図である。

図 2 7 は、第 2 の絶縁層形成の説明のための断面図である。

図 2 8 は、第 2 の導電パターン形成の説明のための断面図である。

図 2 9 は、第 3 層形成の説明のための断面図である。

図 3 0 は、I C チップ上に形成された本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の断面図である。

図 3 1 は、ビアの断面図である。

図 3 2 は、I C チップ上に形成された本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の一例を示す断面図である。

図 3 3 は、I C チップ上に形成された本発明の第 1 の実施形態にかかるコイル内蔵多層基板 1 の一例を示す断面図である。

図 3 4 は、本発明に係るコイル内蔵多層基板内の、相互誘導によるノイズを最小化するための複数のコイルの好適な配置を説明するための概念図である。

図 3 5 は、縦型コイルの斜視図である。

図 3 6 は、縦型コイルの平面図である。

図 3 7 は、縦型コイルの A-A 矢視横断面図である。

図 3 8 は、平面コイルの斜視図である。

図 3 9 は、平面コイルの平面図である。

図 4 0 は、平面コイルの B-B 矢視横断面図である。

図 4 1 は、縦型コイルの信号通過特性を表わすグラフである。

図 4 2 は、平面コイルの信号通過特性を表わすグラフである。

図 4 3 は、第 1 実施例にかかる平行配置の縦型コイル（コイル間距離 0.1 m）の平面図である。

図44は、第1実施例にかかる平行配置の縦型コイル（コイル間距離0.1m）の信号通過特性を表わすグラフである。

図45は、第2実施例にかかる平行配置の平面コイル（コイル間距離0.1m）の斜視図である。

図46は、第2実施例にかかる平行配置の平面コイル（コイル間距離0.1m）の信号通過特性を表わすグラフである。

図47は、第3実施例にかかるコイル内蔵多層基板の隣接配置の縦型コイルと平面コイルの斜視図である。

図48は、第3実施例にかかるコイル内蔵多層基板の隣接配置の縦型コイルと平面コイルの信号通過特性を表わすグラフである。

図49は、第1実施例にかかる平行配置の縦型コイル（コイル間距離0.2m）の斜視図である。

図50は、第1実施例にかかる平行配置の縦型コイル（コイル間距離0.2m）の信号通過特性を表わすグラフである。

図51は、第2実施例にかかる平行配置の平面コイル（コイル間距離0.2m）の斜視図である。

図52は、第2実施例にかかる平行配置の平面コイル（コイル間距離0.2m）の信号通過特性を表わすグラフである。

（発明を実施するための最良の形態）

以下、本発明の実施の形態について、図面を参照しながら説明していく。これから本発明の第1の実施形態に係るコイル内蔵多層基板1の構成について説明する。図1は、コイル内蔵多層基板1の概略構成を示す斜視図である。コイル内蔵多層基板1は、コイル1a及び多層基板1cから構成される。コイル1aは、多層基板における複数の絶縁層及び導電層のそれぞれの形成ステップにおいて導電層の一部として形成される、インダクタンスを与える構成要素である。コイル1

aは、中心軸が多層基板に平行であり、多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含む（本明細書では、中心軸が多層基板に平行なこのようなコイルを「縦型コイル」と称する。）。コイル1 aは、好適には、断面形状が四角形、円形等の導線の繰り返されるパターンである単位巻線が、電氣的に直列に連続して接続された形態で構成される（以下、このようなコイルを「多層コイル」と称する。）。本明細書におけるコイル1 a及びその単位巻線の形態は、インダクタンスを与えるためのいかなる形態も広く含むものとする。コイル1 aの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び互いに隣接する単位巻線同士は、当該螺旋状のパターンの先端同士又は末端同士において互いに接続される。コイル1 aをそのように構成することによって、単位巻線内の巻数を1より大きくすることができ、かつ、コイル1 aに電流が流されるとすべての単位巻線が同じ方向の磁界を発生するため、インダクタンスを大きくすることができる。好適には、コイル1 aの多層基板に平行な巻線部分は、積層される導電層の一部として形成され、多層基板に垂直な巻線部分は、絶縁層を介して隣接する導電層間を接続するバンプ、ビア或いはスルーホールなどとして形成される。このようにしてコイル1 aを形成することにより、ビルドアップ工法などの公知の多層基板製造技術を利用して、多層基板の製造工程においてコイル1 aを多層基板内に同時に形成することが可能となる。多層基板1 cは、絶縁層を積層させて構成される基板である。なお、実際の多層基板1 cの形成ステップでは、絶縁層と導電層とが交互に積層させられる。そして、導電層の部分は前述のコイル1 aの一部となり、他の絶縁層の部分は多層基板1 cとなる。

図11は、コイル内蔵多層基板1の積層による製造工程を示す斜視概念図である。このように、コイル内蔵多層基板1は、絶縁層1 cのそれぞれにコイル1 aの各部分を形成し、次いで積層一体化することにより製造される。コイル内蔵多

層基板 1 には、多層基板に平行に延長した方向に、又は多層基板の上側あるいは下側に、他のコイルなどを含む回路が形成されていてもよい。

次に、本発明の第 2 の実施形態に係るコイル内蔵多層基板 2 の構成について説明する。図 2 (a) は、コイル内蔵多層基板 2 の概略構成を示す斜視図である。コイル内蔵多層基板 2 は、磁性体 2 d をコイル 2 a の内部に配置したような構成を有している。コイル内蔵多層基板 2 の各構成要素は、コイル内蔵多層基板 1 において符号の数字部分を 1 から 2 に替えた構成要素と対応している。このように、コイル 2 a の内部に磁性体 2 d が配置されているため、コイル 2 a のインダクタンスを大きくすることができるという利点がある。なお、本発明の第 1 の実施形態に係るコイル内蔵多層基板 1 のコイル 1 a の内部に磁性体を配置したような構成も可能である。図 2 (b) 及び (c) は、他のコイルの構造の例である。これらの例では、コイルの中心軸に平行又は直交する方向の巻線部分のみでコイルが構成されている。

その次に、本発明の第 3 の実施形態に係るコイル内蔵多層基板 3 の構成について説明する。図 3 (a) 及び (b) は、コイル内蔵多層基板 3 の概略構成を示す斜視図である。図 3 (a) に示す実施形態では、コイル内蔵多層基板 3 は、中心軸が多層基板に平行なコイル 3 a と、それと発生磁界の中心方向が直交し、かつ、多層基板に平行な面内に回路面を有する平面コイル 3 b とを多層基板 3 c 上に配置したような構成を有している。図 3 (b) に示す実施形態では、コイル 3 d は、多層コイルである。このように 2 つのコイルを配置することによって、一方のコイルの発生磁界の影響が他方のコイルに及ぶことを防ぐことができ、そのような影響に起因するノイズ等を減少させることができる。

その次に、本発明の第 4 の実施形態に係るコイル内蔵多層基板 4 の構成について説明する。図 4 (a) 及び (b) は、コイル内蔵多層基板 4 の概略構成を示す斜視図である。図 4 (a) に示す実施形態では、コイル内蔵多層基板 4 は、中心

軸が多層基板に平行なコイル 4 a と、中心軸が多層基板に平行なコイル 4 b とを、いずれか 1 つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように（例えば、いずれか 1 つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように）多層基板 3 c 内に配置したような構造を有している。なお、磁力線がコイルを貫く主たる方向とは、例えば、コイルを貫く磁力線のベクトルを平均したベクトルの方向である。図 4（b）に示す実施形態では、コイル 4 d 及び 4 d は、多層コイルである。図 3 4 は、本発明に係るコイル内蔵多層基板内の、相互誘導によるノイズを最小化するための複数のコイルの好適な配置を説明するための概念図である。図 3 4 は、第 1 コイルが発生する磁力線が変動したときに、第 2 コイルに誘導される電圧が最少となるような配置を示す。ここでは、第 1 コイルが発生する磁力線が第 2 コイルを貫く主たる方向と当該第 2 コイルの中心軸とが直交するように配置されている。このように 2 つのコイルを配置することによって、一方のコイルの発生磁界の影響が他方のコイルに及ぶことを防ぐことができ、そのような影響に起因するノイズ等を減少させることができる。また、多層基板内に多くのコイルを集積して形成することができ、設計の自由度が向上する。

更に次に、本発明の第 5 の実施形態に係るコイル内蔵多層基板 5 の構成について説明する。図 5（a）及び（b）は、コイル内蔵多層基板 5 の概略構成を示す斜視図である。図 5（a）に示す実施形態では、図 4（a）に示す実施形態に対して、多層基板に平行な面内に回路面を有する平面コイル 5 c を付加したような構成である。図 5（b）に示す実施形態では、図 4（b）に示す実施形態に対して、多層基板に平行な面内に回路面を有する平面コイル 5 c を付加したような構成である。このように 3 つのコイルを配置することによって、いずれか 1 つのコイルの発生磁界の影響が他のコイルに及ぶことを防ぐことができ、そのような影響に起因するノイズ等を減少させることができる。また、多層基板内に更に多く

のコイルを集積して形成することができ、設計の自由度が更に向上する。

更にその次に、本発明の第6の実施形態に係るコイル内蔵多層基板6の構成について説明する。図6は、コイル内蔵多層基板6の概略構成を示す斜視図である。コイル内蔵多層基板6は、中心軸が多層基板に平行なコイル6aと、それと中心軸が同一直線上にあり、かつ、中心軸が多層基板に平行なコイル6bと、を多層基板6c内に配置したような構造を有している。このように2つのコイルを配置することによって、2つのコイルの間に相互インダクタンスを生じさせることができ、トランスを形成することができる。この場合、磁性体を、両方のコイルの中心軸に沿って配置することによって、更にトランスの効率を上げることができる。

更にその次に、本発明の第7の実施形態に係るコイル内蔵多層基板7の構成について説明する。図7(a)及び(b)は、コイル内蔵多層基板7の概略構成を示す斜視図である。コイル内蔵多層基板7は、中心軸が多層基板に平行なコイル7aと、それと中心軸が平行な位置にあり、かつ、隣接したコイル7bと、を多層基板7c内に配置し、更に両方のコイルを磁氣的に効率よく結合させるための磁性体7d又は7eを配置したような構造を有している。このように2つのコイルを配置することによって、2つのコイルの間に相互インダクタンスを生じさせることができ、トランスを形成することができる。磁性体は、図7(a)に示す磁性体7dのように両方のコイルの間に配置してもよく、さらに効率よく磁氣的に結合させるためには、図7(b)に示す磁性体7eのように両方のコイルの中心軸を貫通する部分を有する環状の形態となるように配置してもよい。

更にその次に、本発明の第8の実施形態に係るコイル内蔵多層基板8の構成について説明する。図8は、コイル内蔵多層基板8の概略構成を示す斜視図である。コイル内蔵多層基板8は、中心軸が多層基板に平行なコイル8a及び多層基板8cから構成される。コイル8aの単位巻線は、螺旋構造の導体が多層基板に平行

な面内に2つ並んだような構造である。このような構造によって、限られた体積において非常に密なコイルを形成でき、インダクタンスを大きくすることができる。また、図9は、本発明の第9の実施形態に係るコイル内蔵多層基板9の概略構成を示す斜視図である。コイル内蔵多層基板9では、単位巻線の2つの螺旋構造の導体の間に磁性体9dを配置しており、更に大きいインダクタンスを得ることができる。

これからコイル内蔵多層基板1～9の動作について説明する。コイル内蔵多層基板1～9は、プリント基板、モノリシックICなどを構成する半導体チップをその上にマウントするインタポーザ、又は半導体チップの電極配線層として使用すると好適である。また、コイル内蔵多層基板1～9は、他の回路素子をその内部に形成又は外部にマウントすることができ、そのような他の回路素子とコイル内蔵多層基板1～9とで構成される回路の機能を、半導体チップ自身の機能に付加した半導体を構成することが可能になる。コイル内蔵多層基板1～9は、コイルの伸長方向の調節により、巻き数を簡便且つほぼ任意に設定でき、自己及び相互インダクタンスを自由に变化させることができる。また、単位巻線が磁界と鎖交する面積を全体的あるいは部分的に調節することによってもインダクタンスを柔軟に設定できる。更に、コイルの内部に磁性体を配置することによってインダクタンスを大きくすることもできる。これにより、コイル内蔵多層基板1～9は、コイルの両側の端子を通じて外部の回路から電圧が印加されたときに、インダクタあるいはトランスとして機能する。

次に本発明の実施例について説明する。図35から図37に構造を示した縦型コイルと、図38から図40に構造を示した平面コイルとを組み合わせるコイルを近接させて配置したときに、お互いに直接には接続されていない隣接コイルの端子への信号漏洩と配置との関係を三次元電磁界シミュレータ（Sonnet）によって解析し、種々の場合を比較した。上記の図中の長さの数値の単位はmm

である。導体間の誘電率は2.0としてシミュレーションを実施した。

まず、コイル単体の解析を行った。図4 1は、シミュレーションにより求めた縦型コイルの信号通過特性を表わすグラフである。図4 2は、シミュレーションにより求めた平面コイルの信号通過特性を表わすグラフである。次にコイル同士を隣接して配置した場合について解析した。図4 3に構造を示したコイル間距離が0.1 mmの平行配置の縦型コイル（第1実施例）の信号通過特性をシミュレーションにより求めたグラフを図4 4に示す。図4 4中のS 2 1、S 3 1、及びS 4 1は、それぞれ、図4 3中の端子T 1から端子T 2、端子T 1から端子T 3、及び端子T 1から端子T 4への信号伝達の程度を示す（以下の図においても同様である）。図4 5に構造を示したコイル間距離が0.1 mmの平行配置の平面コイル（第2実施例）の信号通過特性をシミュレーションにより求めたグラフを図4 6に示す。図4 7に構造を示した隣接配置の縦型コイルと平面コイル（第3実施例）の信号通過特性をシミュレーションにより求めたグラフを図4 8に示す。図4 9に構造を示したコイル間距離が0.2 mmの平行配置の縦型コイル（第1実施例）の信号通過特性をシミュレーションにより求めたグラフを図5 0に示す。図5 1に構造を示したコイル間距離が0.2 mmの平行配置の平面コイル（第2実施例）の信号通過特性をシミュレーションにより求めたグラフを図5 2に示す。これらの結果より、図4 7に示した第3実施例では、図4 3に示した第1実施例、及び図4 5に示した第2実施例より、S 3 1、S 4 1に示される信号漏洩が約5 dB程度低いことがわかる。従って信号漏洩の観点からは、図4 7に示した第3実施例は、図4 3に示した第1実施例及び図4 5に示した第2実施例より、コイル配置によって信号漏洩が改善されることがわかる。そしてこの信号漏洩の改善の程度は、コイル間距離を0.2 mmとした図4 9に示した第1実施例及び図5 1に示した第2実施例より優れていることが、それぞれ図5 0及び図5 2の信号通過特性からわかる。なお、信号漏洩を積極的に利用して回路間の結合させてト

ランス等として機能させる場合は、第 1 実施例及び第 2 実施例が、第 3 実施例より適していることが分かる。

次に、本発明のコイル内蔵多層基板 1 から 9 の製造方法について、従来技術と比較した利点と共に説明する。本発明の方法を用いれば、所望の巻き数のコイルを簡便に得ることができる。従来の、基板平面と平行な面に螺旋パターンを形成する方法では、巻き数を増やすには積層数を増やす必要が生じ、大きなコストアップとなるが、本発明の方法では積層数はそのままコイルの伸長方向に伸ばすだけでよく、コストアップは少ない。

以下、本発明のコイル内蔵多層基板の製造法について、説明を簡略化するためコイル部分を中心に、具体的に説明する。まず、図 1 1 の内層（第 2 層）部分を作成する場合は、両面銅張り積層板の穴開け、メッキによるスルーホール導電化、サブトラクティブ法による表面のパターニングなど、よく知られている方法を適用すればよい。次いで、この第 2 層に対し、両面に絶縁層、更に導電層を作成し、パターニングおよび電氣的接続を行なえば、図 1 のものが得られる。いくつかの方法につき例を挙げて説明する。

いわゆるビルドアップ法による場合には、図 1 5 に示すように、上記第 2 層（1 a, 1 b からなる）の基板に絶縁層を形成する。絶縁層としてはガラスエポキシ系あるいはアラミド樹脂系などのプリプレグ、液状あるいはフィルム状の熱可塑あるいは熱硬化性の樹脂組成物あるいは一般的に樹脂付き銅箔と呼ばれる、銅箔と絶縁樹脂層を一体化したものなどが使用できる。

絶縁層の形成は例えば以下のように行われる。図 1 5（a）に示すように、上記第 2 層の基板両面にプリプレグ類 1 0、パターン化されていない銅箔 1 1、あるいは図 1 5（b）に示すように樹脂付き銅箔 1 2 を配置し、図 1 6 に示すように積層プレス法によりこれらを一括で積層、硬化させ、絶縁層と導電層を一体化したものを作成する。（あるいは、図 1 7 に示すように、上記第 2 層の基板上に

液状の組成物をスクリーン印刷、カーテンコート、スプレーコートなどの公知慣用の方法で塗布し、UV、電子線、熱などで硬化させる。あるいは上記基板上にフィルム状の組成物をロール、ラミネートなどの方法で貼り付け、所定の方法にて硬化させ、絶縁層13を得る。

続いてビアを形成する。上記の方法で得られた基板の所定の位置にドリル、レーザーなどを用いてビア14を形成する。図18(a)は絶縁層および導電層としてプリプレグ10と銅箔11を用いた場合、同様に図18(b)は樹脂付き銅箔12、図18(c)は液状あるいはフィルム状の熱可塑あるいは熱硬化性の樹脂組成物15を用いた場合について表わしたものである。プリプレグ類あるいは樹脂付き銅箔を用いて絶縁層と共に導電層も形成した場合に、ブラインドビアの形成に広く用いられている炭酸ガスレーザーを用いるときには、必要に応じてあらかじめ所定の位置の導電体をエッチングで除く、いわゆるマスク加工を施してもよい。

プリプレグ類あるいは樹脂付き銅箔を用いて絶縁層と共に導電層も形成した場合は、例えば図19(a)に示すようにビアに銀、銅などの導電性粉末を配合した導電性ペースト16を印刷、ディスペンスなどの方法で埋め込み、所定の方法で硬化させる。あるいは、図19(b)に示すように通常のスルーホールメッキすなわちビア内にメッキ触媒を付与したのちに無電解メッキを行い、続いて電解メッキを行う方法によってメッキ層17を形成する方法によっても電氣的接続は達成される。液状もしくはフィルム状の組成物を用いて絶縁層を形成した場合は、図19(c)に示すように、例えば銅箔11をプレスし、絶縁層の外側に導電層を形成し、所定の位置をマスク加工した後、ブラインドビアを導電性ペースト16あるいはメッキ層17により導電化し接続する。この場合、先にブラインドビアの導電化を行っても良い。また、19(d)に示すように、絶縁層、ブラインドビアが形成された基板に触媒を付与し、無電解メッキ処理し、続いて必要に応

じて電解メッキ処理することによって導電層 18 の形成とブラインドビアの導電化を一括で行うこともできる。この場合、ブラインドビアの導電化は導電性ペーストによっても行うことができる。

あるいは以下の方法により、絶縁層と導電層、電気的接続を一括で行うこともできる。すなわち、図 20 に示すように、第 2 層基板回路上の所定の場所に導電性ペーストなどを用いて先端のとがった導電性バンプ 19 を形成した後、プリプレグ 10 と銅箔 11 (図 20 (a))、あるいはフィルム状の絶縁体 20 と銅箔 11 (図 20 (b))、または樹脂付き銅箔 12 を配置した後にプレス加工 (図 20 (c)) を行うことによりとがった導電性バンプ 19 が絶縁層を貫通し、導電層との接続を実現する。

これらのビルドアップ法で積層した場合、ブラインドビアは導電性ペースト、あるいはメッキなどにより、導電体で充填することにより、コイルの断面が全て導電体であることが好ましい。しかしながら、従来のスルーホールメッキのように、外周部だけが導電化された構造であっても、低ノイズ、機械的強度、設計の自由度などの本発明の方法を用いて形成したコイルの特徴はなんら変わることはなく、周波数帯によっては問題なく使用できる。

また、ブラインドビアを積み上げてコイル部分を形成する場合、スルーホールメッキを用いる様な一般的なビルドアップ法では、いわゆるスタックトビア（ビアオンビア）構造は形成が非常に困難で、結果的にコイルの一辺が直線上でなく階段状になる。しかしながら、この構造となっても、本発明の方法を用いて形成したコイルの特徴としてはなんら変わることはなく、周波数帯によっては問題なく使用できる。

なお、メッキにより接続されたスルーホール基板を用い、上記の液状あるいはフィルム状の絶縁材料を使用する場合、あるいは一旦ビルドアップ法により形成したブラインドビアのある絶縁層上に更に積層する場合には、穴埋め用のインキ

あるいはメッキ処理によりスルーホールあるいはブラインドビアを埋め、表面を平滑化してもよい。

ビルドアップ法以外にも、以下の方法により一括に積層させることもできる。絶縁層としてガラスエポキシ系のプリプレグを用いた4層構造のコイルの場合につき説明する。すなわち、図21に示すように、銅張片面ガラスエポキシ基板21の基材側の所定の位置をレーザーなどを用いて穴開け加工する。続いて、銅箔11を電極として電気メッキを行い、生じた穴をメッキ17で充填する。その上に、低融点の金属バンプ22を引き続きメッキ法により作成する。

銅箔11は図22に示すように所定のパターンにエッチング加工する。バンプ側には絶縁層に用いるものと同様の絶縁体組成物23を薄く塗布し、半硬化させておく。この片面基板から製造された図22のものは最外層すなわち第1層および第4層となる。

続いて、図23に示すように、第2層の基板と図22の最外層を位置あわせし、プレス加工することにより半硬化させた組成物はバンプ部から除かれ、層間の絶縁層を形成すると同時にバンプ部は内層の導電体と電氣的に接続され、4層構造を有するコイルが製造される。この方法を応用することにより、更なる多層化も容易に行うことができる。

この際、絶縁層の厚みは用途に応じて任意に設定できるが、絶縁信頼性の観点から実用上は10ミクロンから300ミクロン程度が望ましい。導体の厚さも絶縁層と同様用途に応じて任意に設定できるが、実用上5ミクロンないしは200ミクロン程度が望ましい。

コイル中心部に磁性体を主成分とする芯構造を設けることにより、本発明のコイルはより大きなインダクタンスを得ることができる。磁性体芯構造の形成は、該当部分に鉄、フェライトなどを含有したペーストを塗布することにより行われる。

以上、コイル部分の製作過程について説明したが、記述の通り、コイル形成と同時に、目的とする基板として必要な他の回路や配線も必要に応じてコイルが形成される各層に形成される。したがって、各工程は、他の回路、配線の形成と整合するようにいくつかの方法の中から適宜選択される。

なお、全てのコイルを同一平面で作成する場合、コイルの一部を形成するスルーホールすなわち基板平面と垂直方向の導体の形成精度が問題となるが、各コイルの平面をずらして形成することによりこの問題は解決される。この場合の一例を示すコイルの螺旋状回路断面図を図10に示した。第1回路面および第2回路面のそれぞれのパターンを繰り返す構造でコイルを製造することにより上記問題点は解決できる。

また、螺旋構造を同一平面に形成せず、図11に一例が示されているように、各層を独立して形成し、積層時に螺旋構造が形成されるため、エッチング不良などが原因となるショートなどの不良は本質的に発生しない。また、各螺旋構造のうち、その半分程度がいわゆるスルーホールで形成される。スルーホールは断面が円状であるため、角がなく、抵抗値を低く抑えることができる。さらには、積層一体化した後に螺旋状回路面において層の剥離が生じる、デラミネーションは生じない。

更に、インダクタを高周波領域で使用すると、浮遊容量が無視できなくなることが知られている。浮遊容量は、インダクタコイルが同じ平面で向き合う構造になることによりコンデンサとして作用することにより発生する。本発明のコイル内蔵多層基板においては、インダクタコイルの浮遊容量は電極面に対して直列と見なされるため、この問題は少なくなる。更に、前述の図10のようにコイル面をずらした構造は特別な技術を用いることなく簡便に製造することができる。この構造を用いれば本質的に浮遊容量を小さくすることができる。これによって、インダクタの自己共振周波数を高く保つことができるようになる。

上述の製造工程を応用することによって、様々な実施形態のコイル内蔵多層基板を製造することができる。例えば、図3に示すコイル内蔵多層基板3は、図12に示すように、絶縁体と導体とを積層すればよい。また、図6に示すコイル内蔵多層基板6は、図13に示すように、絶縁体と導体とを積層すればよい。また、図7(a)に示すコイル内蔵多層基板7は、図14に示すように、絶縁体と導体と磁性体とを積層すればよい。

更に、上述のいずれのコイル内蔵多層基板についても、モノリシックICなどを構成する半導体チップ上に形成することができる。このような構成にすることにより、半導体にコイルなどの素子を高い集積度で組み込むことができる。これから、半導体基板上に、中心軸が基板平面と平行なコイルを形成する過程を以下に示す。典型例として、トランジスタを形成し、更にタングステンなどで電極部を形成したシリコンウェーハの上層いわゆる電極配線層に、図1のコイル内蔵多層基板1を形成する例を示す。この方法を応用することにより、ターン数、列（層）数、形成方向などは任意に設定可能である。なお半導体は、シリコンに限られることはなく、ガリウムヒ素などの任意の公知の半導体材料を使用することができる。

まず、図24に示すように、トランジスタ、電極部を形成したシリコンウェーハ24上に、最下層の絶縁層25を形成する。CVDなどの気相法を用いてシリコン酸化膜を形成するか、近年注目されているポリイミド、ベンゾシクロブテンなどの有機素材をスピコート後にポストバークする事によって形成できる。続いて、図25に示すように必要な箇所に各種レーザーを用いて穴26の穴開けを行う。穴26は、半導体ウェーハ24の特定の箇所又は下層の電極部との電氣的接続を行う箇所である。続いて、図26に示すように、導電性パターン27を形成する。一般的に用いられている、アルミニウムのスパッタリング、あるいは銅の層をCVDなどの気相法、あるいはメッキ法などの湿式法を用いて形成する。

ついで露光、エッチングしてパターニングする。この場合、先にパターニングしたレジスト層を形成した後に導電化を行っても良い。この工程で、図25に示した工程で穴開けされた穴26も導電化され、第1層と第2層の電氣的接続がなされる。なお、露光工程の前には通常、物理的な研磨、あるいはCMP法と呼ばれる化学的研磨と物理的研磨を組み合わせた方法などにより、表面を平坦化する。

次に、図27のように、第2の絶縁層28を形成する。ついで、図28のように、再び穴開け、導体パターン形成により第2の導電性パターン29を形成する。ついで図29のように第3の絶縁層30を前述の方法により形成し、穴開け、導電化、パターニングを施し、第3の導電性パターン31を形成すると共に第2層、第3層の導通を取る。

以後、この操作を繰り返し、図30のように第4の絶縁層32を形成した後、穴開け、導電化、パターニングを行って、第4の導電性パターン33を形成する。この操作を応用すれば、ターン数の増減、列（層）数の増減、異なる伸長方向を有する複数のコイルの形成などが簡便に行える。

絶縁層形成、穴開け後に導電層を形成すると共に線間の電氣的接続を行う際、図31に示すように、穴部分（ビアホール）34を導電体35で充填すると、図32にコイル断面を示すように、一般的にスタックトビアと呼ばれる構造すなわち充填されたビアホール上に再びビアホールのある構造を形成でき、コイルの辺を直線にすることができる。

また、一般的に行われている方法、すなわち、ビアホールを導電体で充填しない方法では、スタックトビア構造は形成できない。その際、製造されたコイルは、図33に示すような、ビアホール接続部が階段状となった断面を有する。このような構造となっても、特に高周波領域で使用する場合には実用上問題ない。

シリコンウェーハ24上の多層基板内に所望のコイルが形成された後に、そのシリコンウェーハ24とコイルを含む多層基板とを半導体チップ単位に切り分け

る。

なお、シリコンウェーハ 24 にコイルを内蔵する多層基板を積層させる前に、シリコンウェーハ 24 をチップ単位に切り分けておくこともできる。この場合、あらかじめ切り分けた半導体チップの外面に、上記の工程と同様にして、コイルを内蔵する多層基板を積層させるとよい。

以上に説明したように、本発明のコイル内蔵多層基板は、従来から推測されていたこの種のコイルの性質、すなわち小型で且つ同一のプロセスで任意に巻き数（層数）を変更でき、大きなインダクタンスを与え得るという特長に加えて、形成方向も任意に変更可能なコイルを内蔵しているだけでなく、コイルが他の部品や回路へノイズ発生等の悪影響を与えず、またコイル同士のクロストークが避けられるという従来見られなかったすぐれた特長を持っている。また、コイルとしては同じ様な構造をもつチップインダクタにみられる、コイルを近接装着した場合に生ずる、いわゆるツームストーン現象も起きない。本発明の多層基板のこのような特長から、従来省みられることの少なかったこの種のコイルが初めて実用化段階に至ったといえる。

## 請求の範囲

1. 多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持されるコイルと、

前記コイルを支持し、前記多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、  
を有し、

前記コイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び

前記コイルの互いに隣接する単位巻線の組は、当該螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とするコイル内蔵多層基板。

2. 多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持されるコイルと、

前記コイルの内部を貫通する柱状の磁性体からなる芯構造と、

前記コイルを支持し、前記多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とするコイル内蔵多層基板。

3. 前記コイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び

前記コイルの互いに隣接する単位巻線の組は、当該螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とする請求の範囲第2項に記載のコイル内蔵多層基板。

4. 前記コイルは、前記多層基板に平行な巻線部分が、積層された導電層の一

部として形成され、前記多層基板に垂直な巻線部分が、前記絶縁層を介して隣接する前記導電層間を接続するバンプとして形成されることを特徴とする請求の範囲第1乃至3項のいずれか1項に記載のコイル内蔵多層基板。

5. 前記コイルは、ビルドアップ工法により、前記多層基板に平行な巻線部分が、積層された導電層の一部として形成され、前記多層基板に垂直な巻線部分が、前記絶縁層を通して隣接する前記導電層間を接続するビア或いはスルーホールとして形成されることを特徴とする請求の範囲第1乃至3項のいずれか1項に記載のコイル内蔵多層基板。

6. 請求の範囲第1乃至5項のいずれか1項に記載のコイル内蔵多層基板において、

前記多層基板と平行な面内に回路面を有する平面コイルを更に有することを特徴とするコイル内蔵多層基板。

7. 請求の範囲第1乃至6項のいずれか1項に記載のコイル内蔵多層基板において、

複数の前記コイルを有し、

前記複数のコイルは、少なくともいずれか1つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように配置されていることを特徴とするコイル内蔵多層基板。

8. 請求の範囲第1乃至6項のいずれか1項に記載のコイル内蔵多層基板において、

複数の前記コイルを有し、

前記複数のコイルは、少なくともいずれか1つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように配置されていることを特徴とするコイル内蔵多層基板。

9. 多層基板と一体的に形成されるコイルであって、当該多層基板に平行な巻

線部分及び当該多層基板に垂直な巻線部分を含む複数のコイルと、

前記多層基板と平行な面内に回路面を有する平面コイルと、

前記コイル及び前記平面コイルを支持し、前記多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とするコイル内蔵多層基板。

10. 多層基板と一体的に形成される複数のコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持され、少なくともいずれか1つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように配置される複数のコイルと、

前記複数のコイルを支持し、前記多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とするコイル内蔵多層基板。

11. 多層基板と一体的に形成される複数のコイルであって、当該多層基板に平行な巻線部分及び当該多層基板に垂直な巻線部分を含み、当該多層基板内に支持され、少なくともいずれか1つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように配置される複数のコイルと、

前記複数のコイルを支持し、前記多層基板の絶縁部分の少なくとも一部を構成し、及び積層された絶縁層から構成される絶縁体と、を有することを特徴とするコイル内蔵多層基板。

12. 前記コイルは、前記多層基板に平行な巻線部分が、積層された導電層の一部として形成され、前記多層基板に垂直な巻線部分が、前記絶縁層を介して隣接する前記導電層間を接続するバンプとして形成されることを特徴とする請求の範囲第8乃至11項のいずれか1項に記載のコイル内蔵多層基板。

13. 前記コイルは、ビルドアップ工法により、前記多層基板に平行な巻線部

分が、積層された導電層の一部として形成され、前記多層基板に垂直な巻線部分が、前記絶縁層を通して隣接する前記導電層間を接続するビア或いはスルーホールとして形成されることを特徴とする請求の範囲第 8 乃至 11 項のいずれか 1 項に記載のコイル内蔵多層基板。

14. 請求の範囲第 1 乃至 13 項のいずれか 1 項に記載のコイル内蔵多層基板において、

前記コイルの少なくともいずれかは、インダクタであることを特徴とするコイル内蔵多層基板。

15. 請求の範囲第 1 乃至 13 項のいずれか 1 項に記載のコイル内蔵多層基板において、

前記コイルの少なくともいずれかは、相互に磁氣的に結合した 2 個以上のコイルからなるトランスであることを特徴とするコイル内蔵多層基板。

16. 請求の範囲第 1 乃至 15 項のいずれか 1 項に記載のコイル内蔵多層基板が外面に積層された半導体チップ。

17. 多層基板を構成する 1 つの絶縁層を形成するステップと、

前記多層基板に平行なコイルの巻線部分の少なくとも一部を前記多層基板内の絶縁層上に形成するステップと、

前記多層基板に平行なコイルの前記巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、

絶縁層を形成する前記ステップ、前記多層基板に平行なコイルの巻線部分の少なくとも一部を形成する前記ステップ、及び前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する前記ステップの少なくともいずれかを、前記多層基板に平行なコイルの巻線部分と前記多層基板に垂直なコイルの巻線部分とで前記多層基板内に支持される所定のコイルが形成されるまで、それまでに形成さ

れた多層基板の部分に対して適宜反復するステップと、を具備し、

前記所定のコイルの単位巻線は、隣接する他の単位巻線と同じ方向から見た場合に互いに反対方向に旋回する螺旋状のパターンをそれぞれ有し、及び

前記所定のコイルの互いに隣接する単位巻線の組は、前記螺旋状のパターンの先端同士又は末端同士において交互に接続されることを特徴とするコイル内蔵多層基板の製造方法。

18. 多層基板を構成する1つの絶縁層を形成するステップと、

前記多層基板に平行なコイルの巻線部分の少なくとも一部を前記多層基板内の絶縁層上に形成するステップと、

前記多層基板に平行なコイルの前記巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、

柱状の磁性体からなる芯構造を前記コイルの内部に配置されるように形成するステップと、

絶縁層を形成する前記ステップ、前記多層基板に平行なコイルの巻線部分の少なくとも一部を形成する前記ステップ、及び前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する前記ステップの少なくともいずれかを、前記多層基板に平行なコイルの巻線部分と前記多層基板に垂直なコイルの巻線部分とで前記多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を有することを特徴とするコイル内蔵多層基板の製造方法。

19. 多層基板を構成する1つの絶縁層を形成するステップと、

前記多層基板に平行なコイルの巻線部分の少なくとも一部を前記多層基板内の絶縁層上に形成するステップと、

前記多層基板に平行なコイルの前記巻線部分の少なくとも一部同士を絶縁層間

で電氣的に接続する垂直接続部を形成し、それによって前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、

絶縁層を形成する前記ステップ、前記多層基板に平行なコイルの巻線部分の少なくとも一部を形成する前記ステップ、及び前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する前記ステップの少なくともいずれかを、前記多層基板に平行なコイルの巻線部分と前記多層基板に垂直なコイルの巻線部分とで前記多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を具備し、

前記コイルは、少なくともいずれか 1 つのコイルが発生する磁力線の変動によって他のコイルに誘導される電圧が最少となるように配置される複数のコイルであることを特徴とするコイル内蔵多層基板の製造方法。

## 20. 多層基板を構成する 1 つの絶縁層を形成するステップと、

前記多層基板に平行なコイルの巻線部分の少なくとも一部を前記多層基板内の絶縁層上に形成するステップと、

前記多層基板に平行なコイルの前記巻線部分の少なくとも一部同士を絶縁層間で電氣的に接続する垂直接続部を形成し、それによって前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成するステップと、

絶縁層を形成する前記ステップ、前記多層基板に平行なコイルの巻線部分の少なくとも一部を形成する前記ステップ、及び前記多層基板に垂直なコイルの巻線部分の少なくとも一部を形成する前記ステップの少なくともいずれかを、前記多層基板に平行なコイルの巻線部分と前記多層基板に垂直なコイルの巻線部分とで前記多層基板内に支持される所定のコイルが形成されるまで、それまでに形成された多層基板の部分に対して適宜反復するステップと、を具備し、

前記コイルは、少なくともいずれか 1 つのコイルが発生する磁力線が他のコイルを貫く主たる方向と当該他のコイルの中心軸とが直交するように配置される複

数のコイルであることを特徴とするコイル内蔵多層基板の製造方法。

21. 柱状の磁性体からなる芯構造を前記コイルの内の少なくともいずれかの内部に配置されるように形成するステップを更に有することを特徴とする請求の範囲第19又は20項に記載のコイル内蔵多層基板の製造方法。

22. 請求の範囲第17乃至21項のいずれか1項に記載のコイル内蔵多層基板の製造方法のステップを有し、

前記コイル内蔵多層基板は半導体ウェーハの外面に積層されるものであり、

前記コイル内蔵多層基板が積層された前記半導体ウェーハを半導体チップ単位に切り分けるステップ、を更に有することを特徴とするコイル内蔵多層基板の製造方法。

23. 請求の範囲第17乃至21項のいずれか1項に記載のコイル内蔵多層基板の製造方法において、

前記コイル内蔵多層基板は半導体チップの外面に積層されるものであることを特徴とするコイル内蔵多層基板の製造方法。

FIG.1

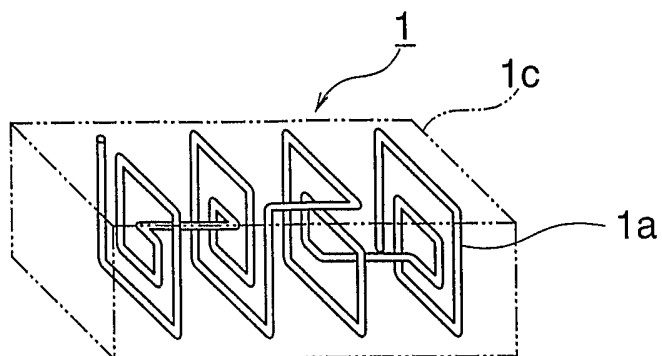


FIG.2

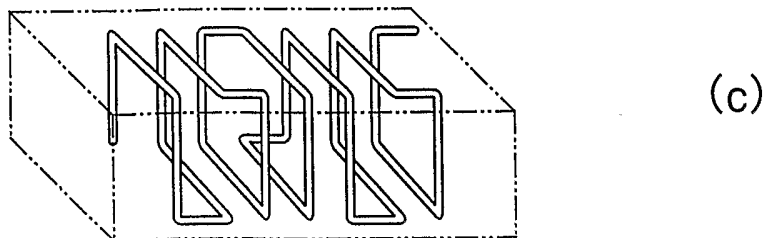
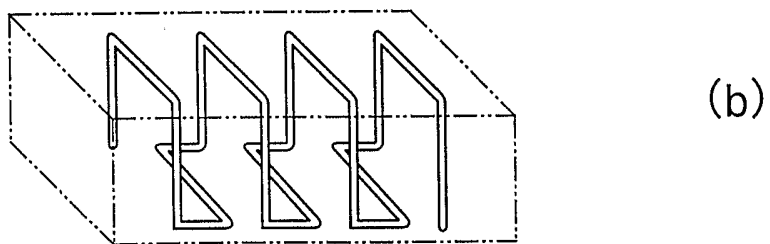
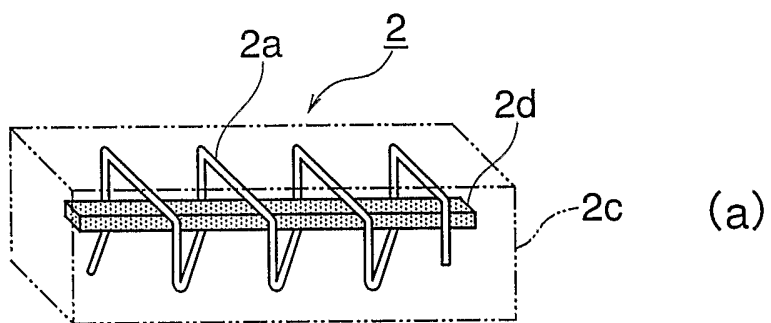


FIG.3

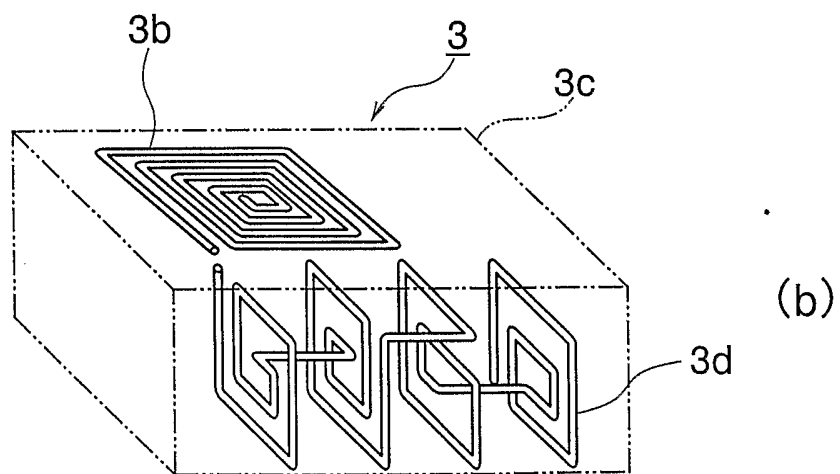
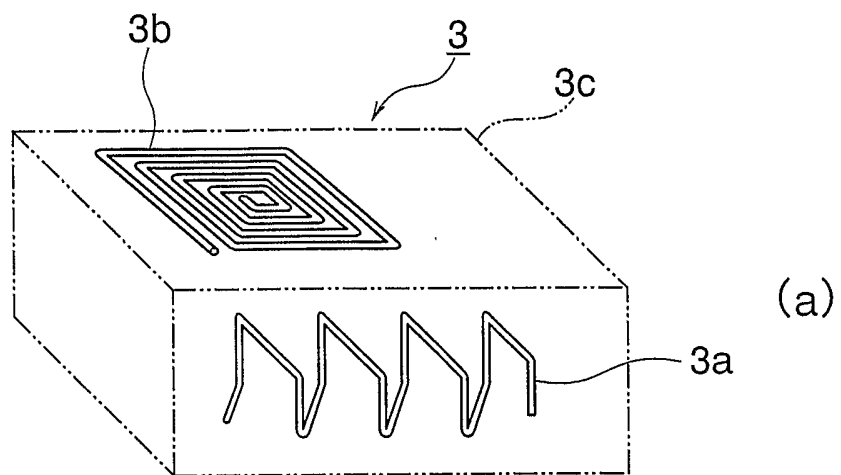


FIG.4

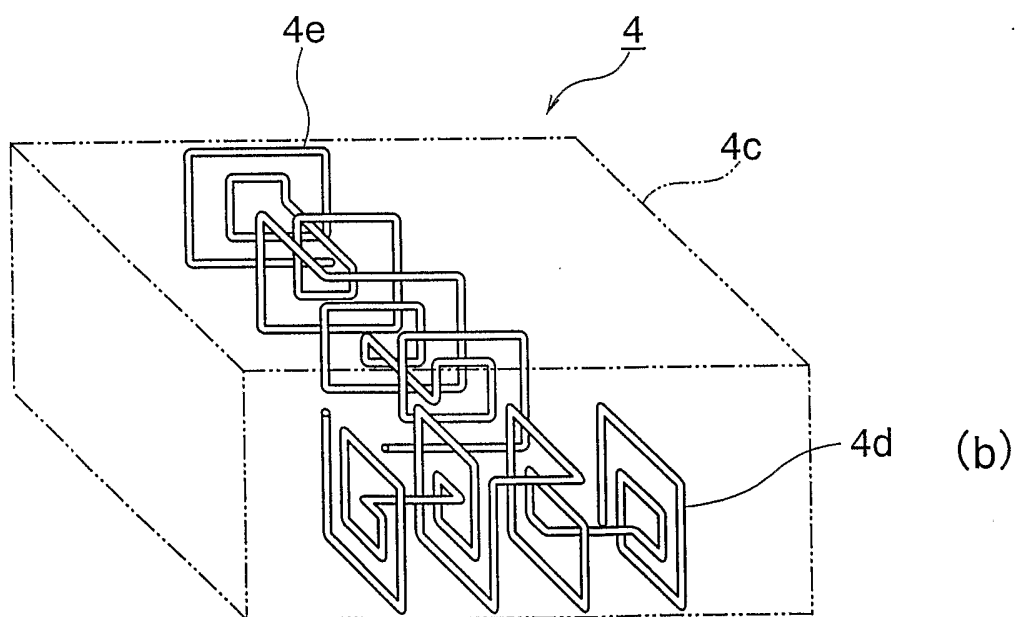
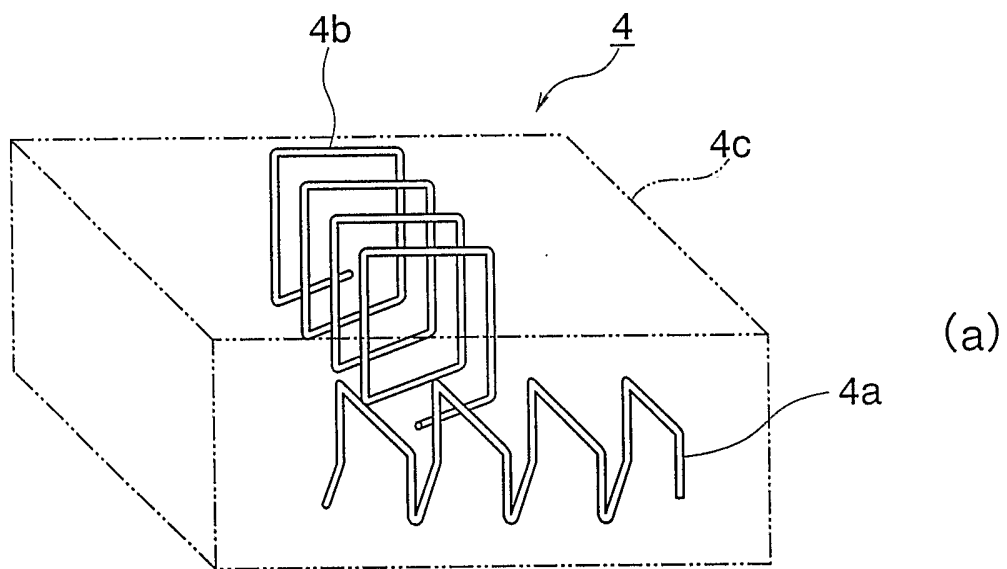


FIG.5

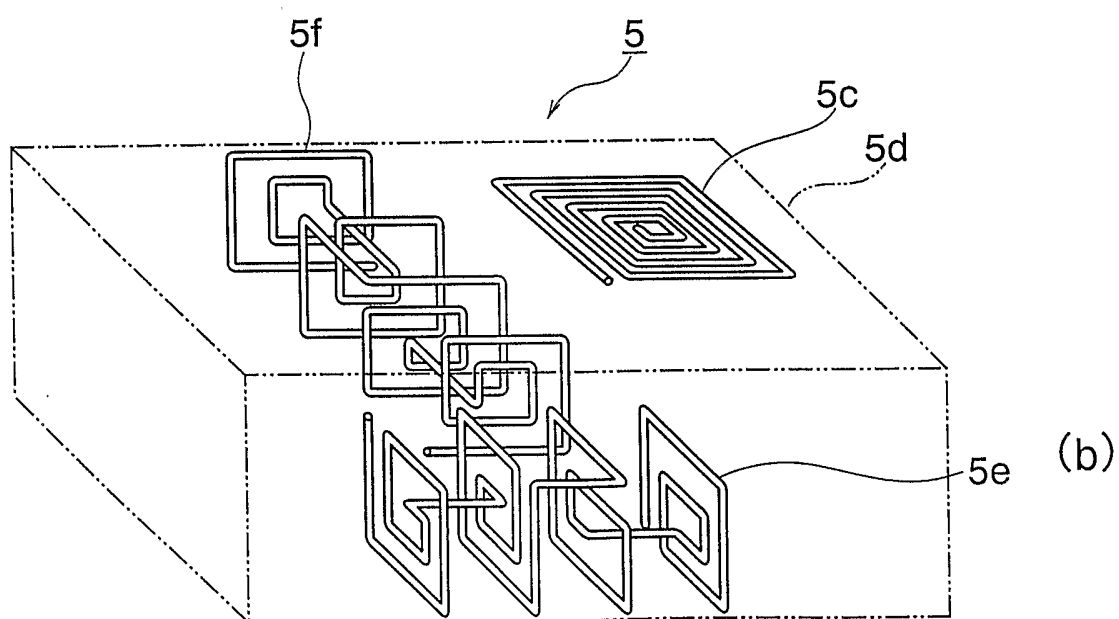
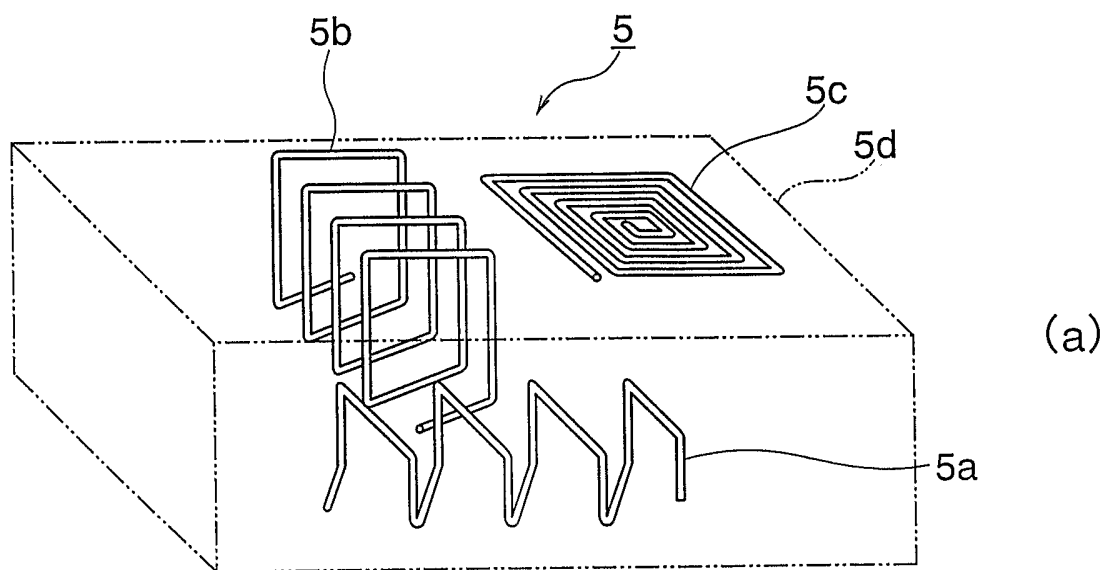


FIG.6

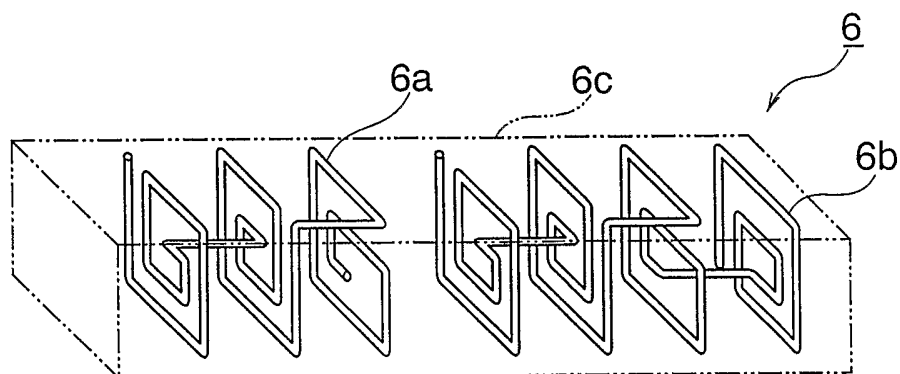


FIG.7

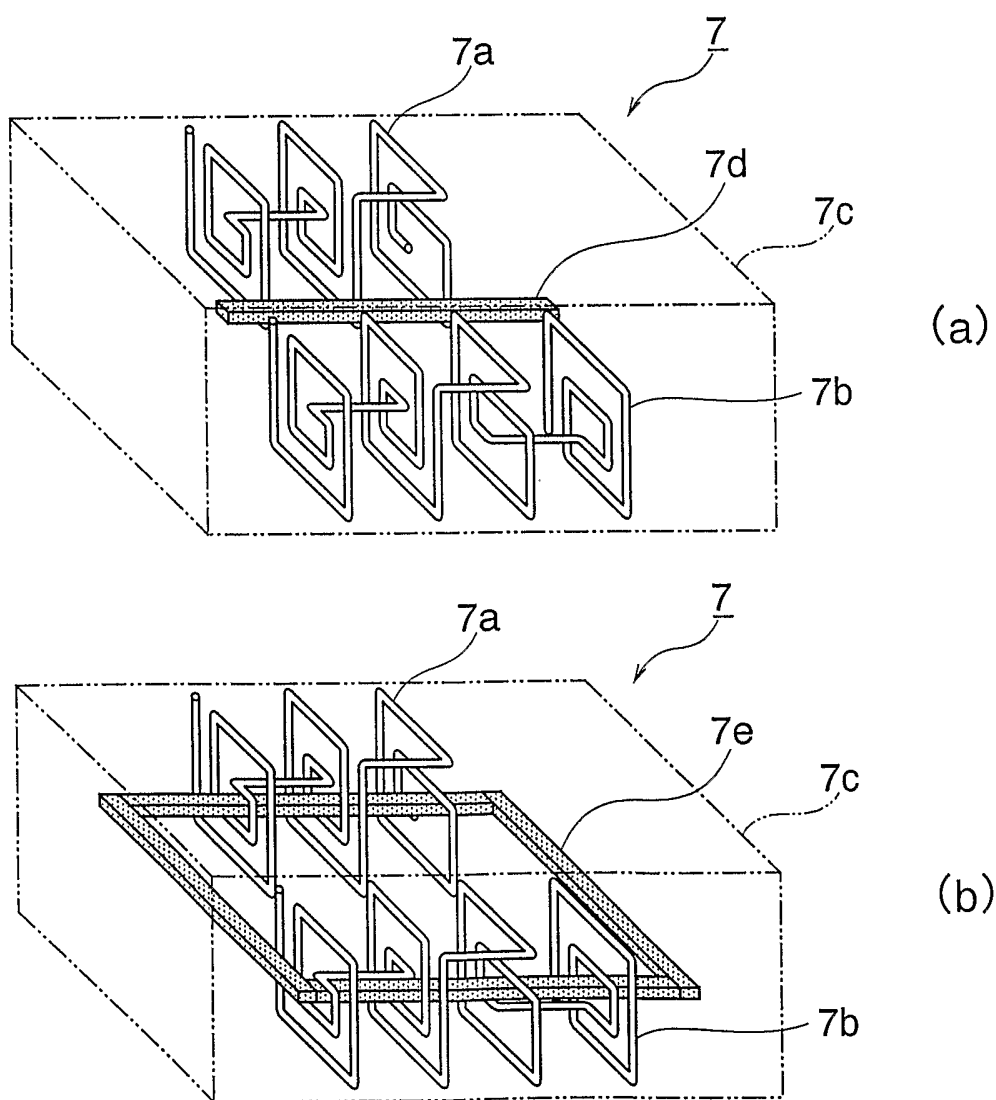


FIG.8

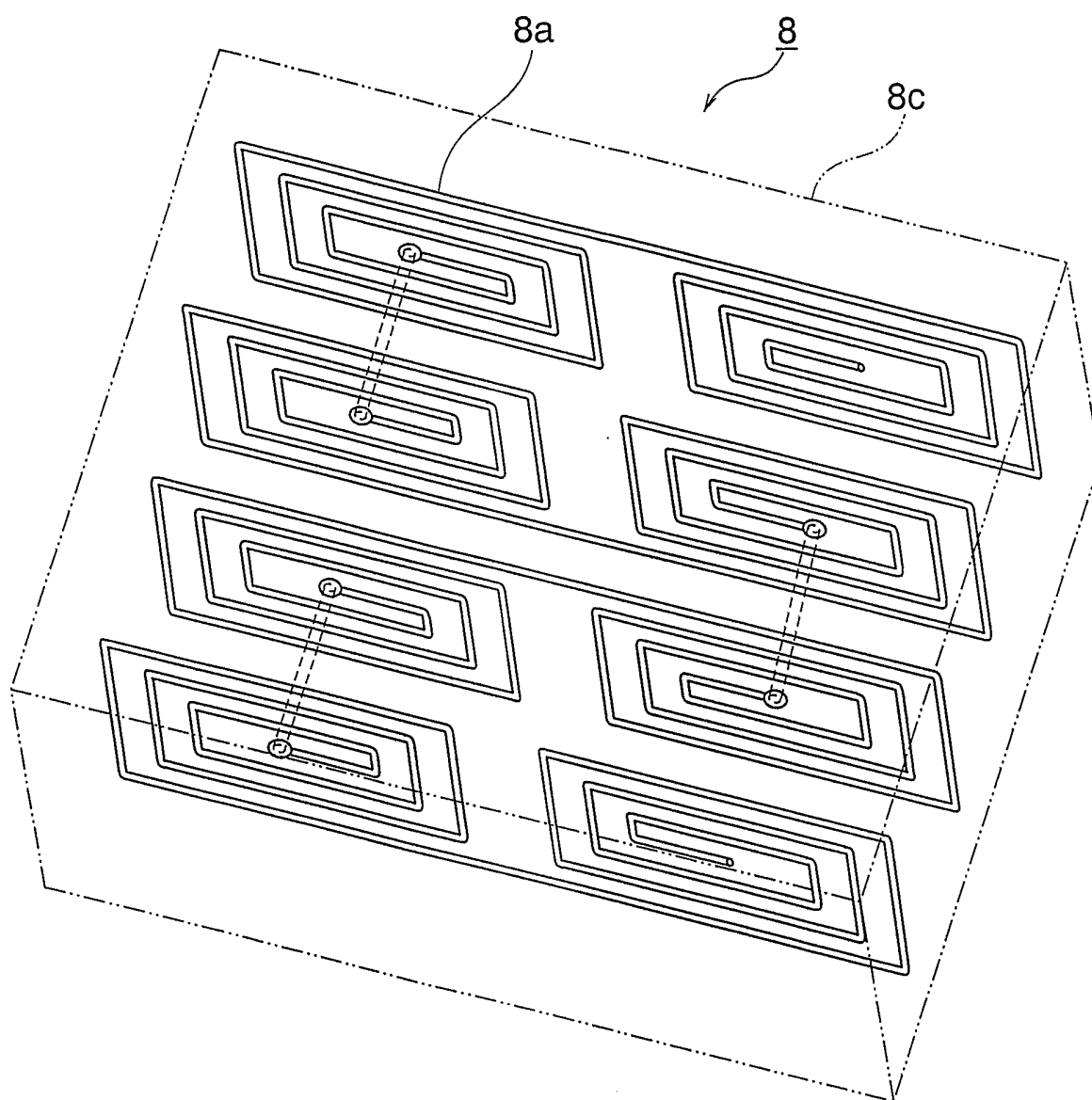


FIG.9

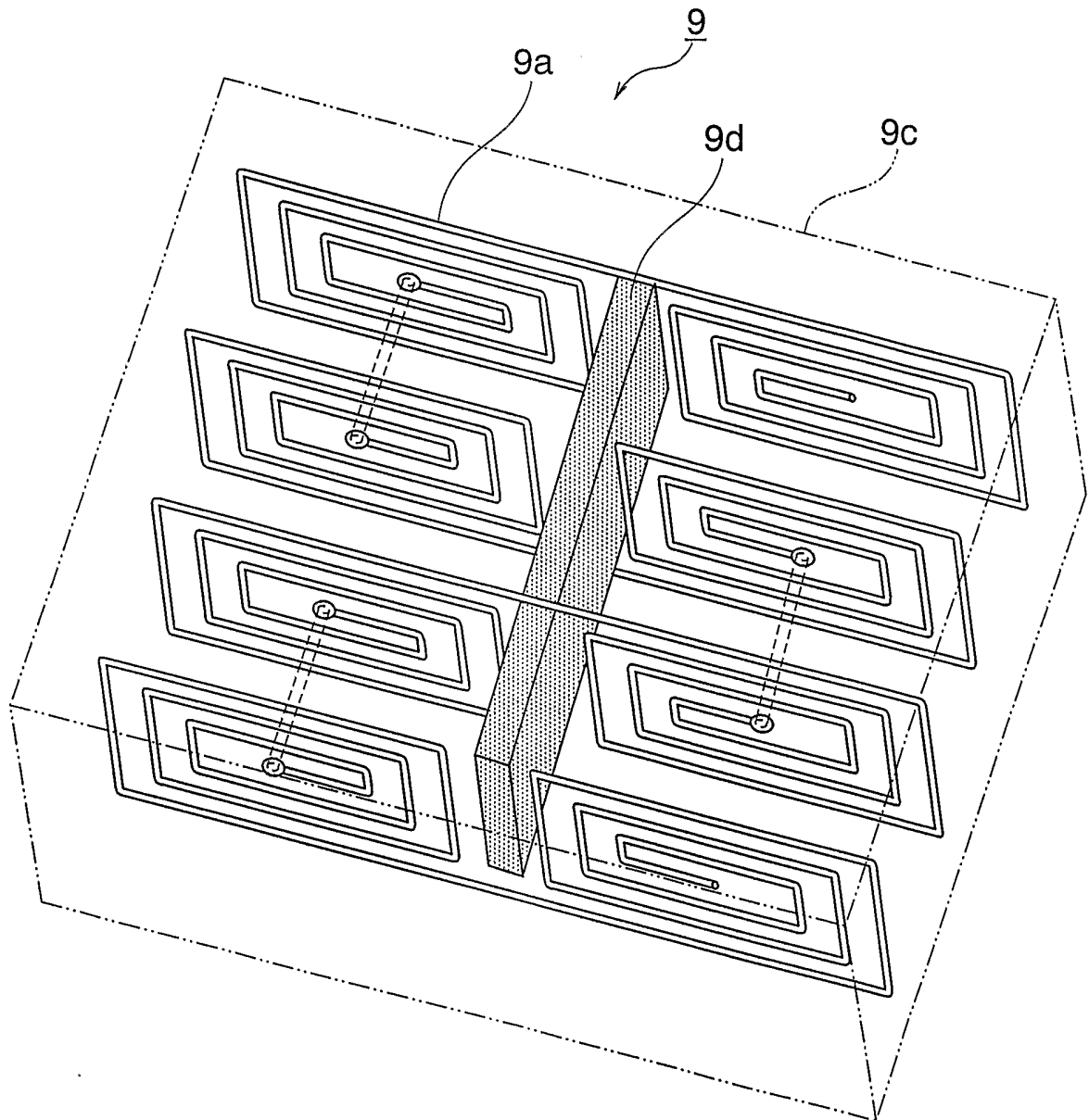


FIG.10

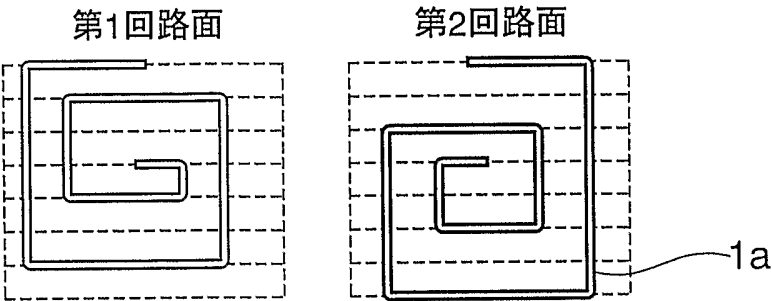


FIG.11

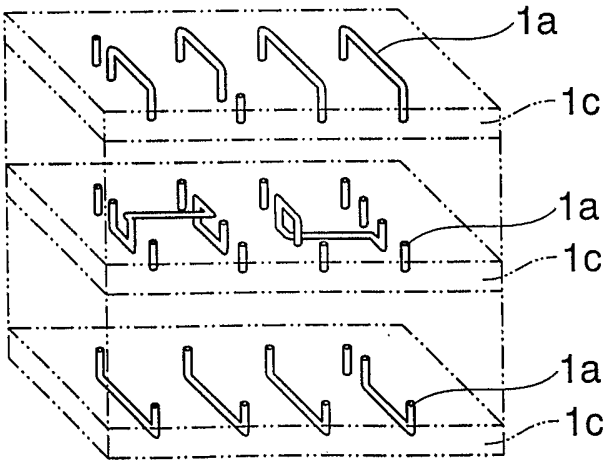


FIG.12

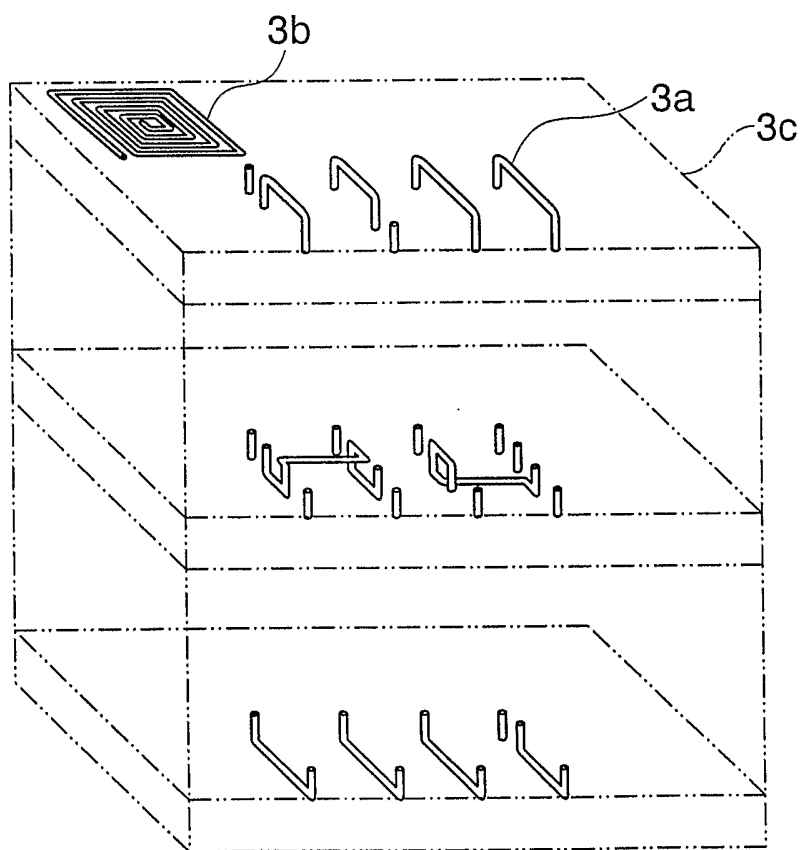


FIG.13

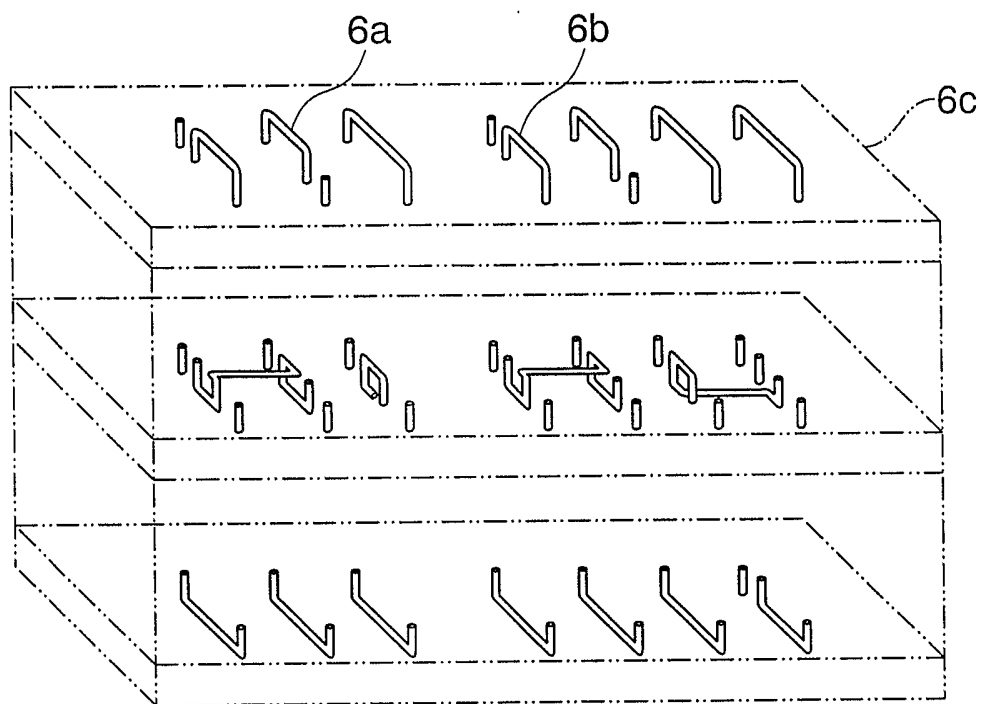


FIG.14

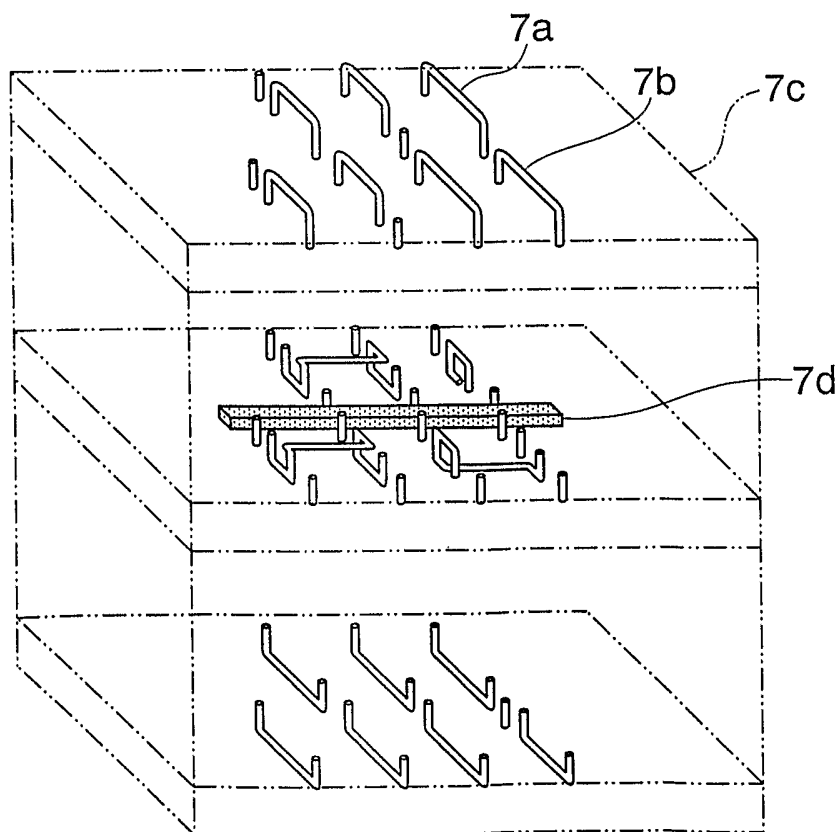


FIG.15

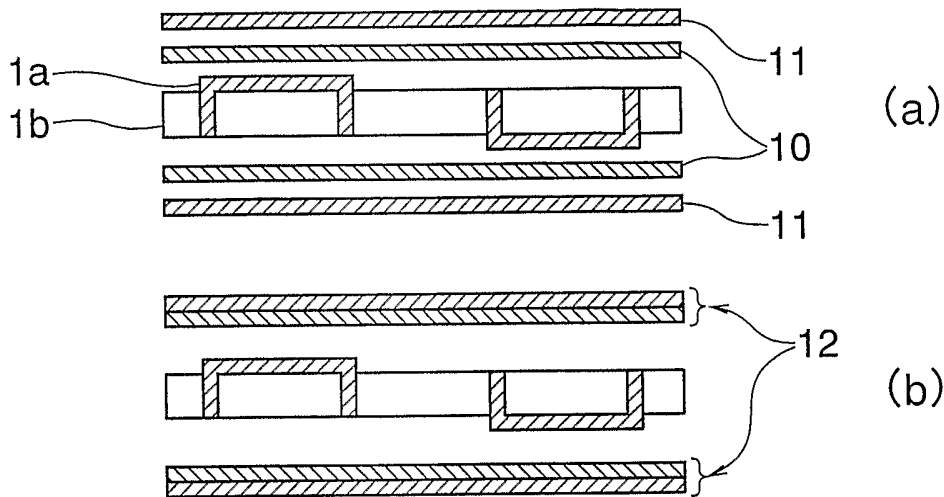


FIG.16

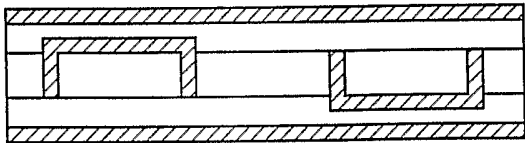


FIG.17

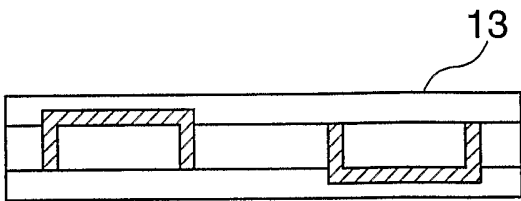


FIG.18

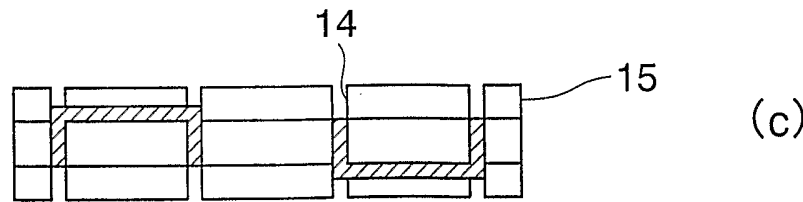
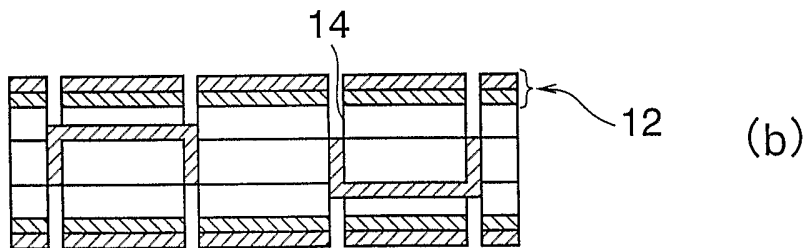
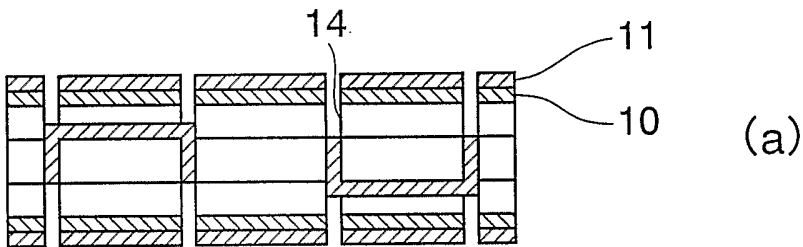


FIG.19

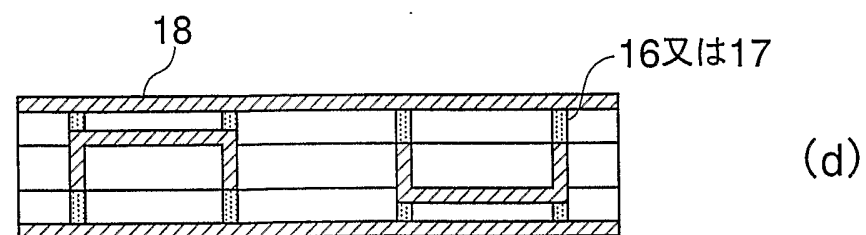
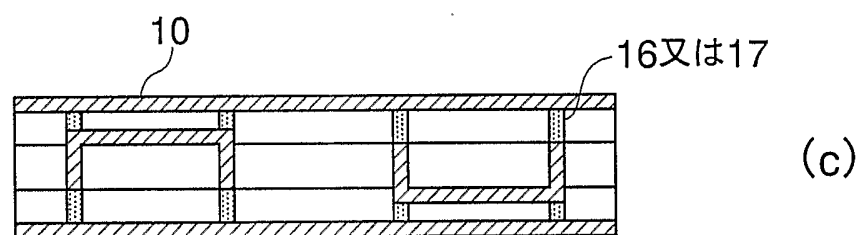
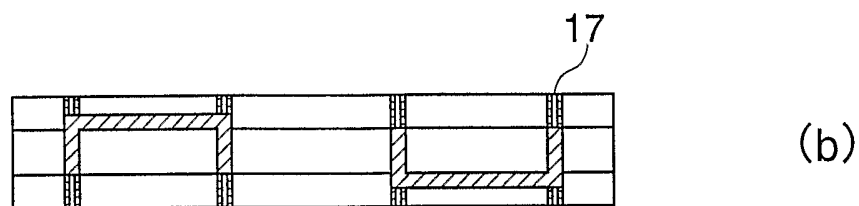
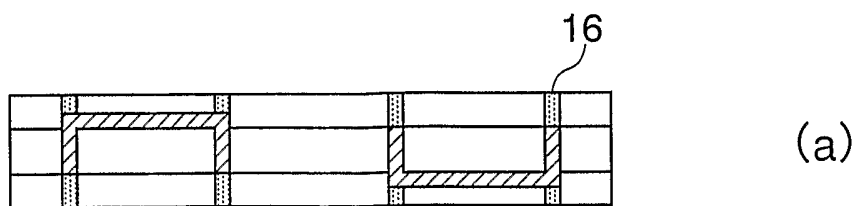


FIG.20

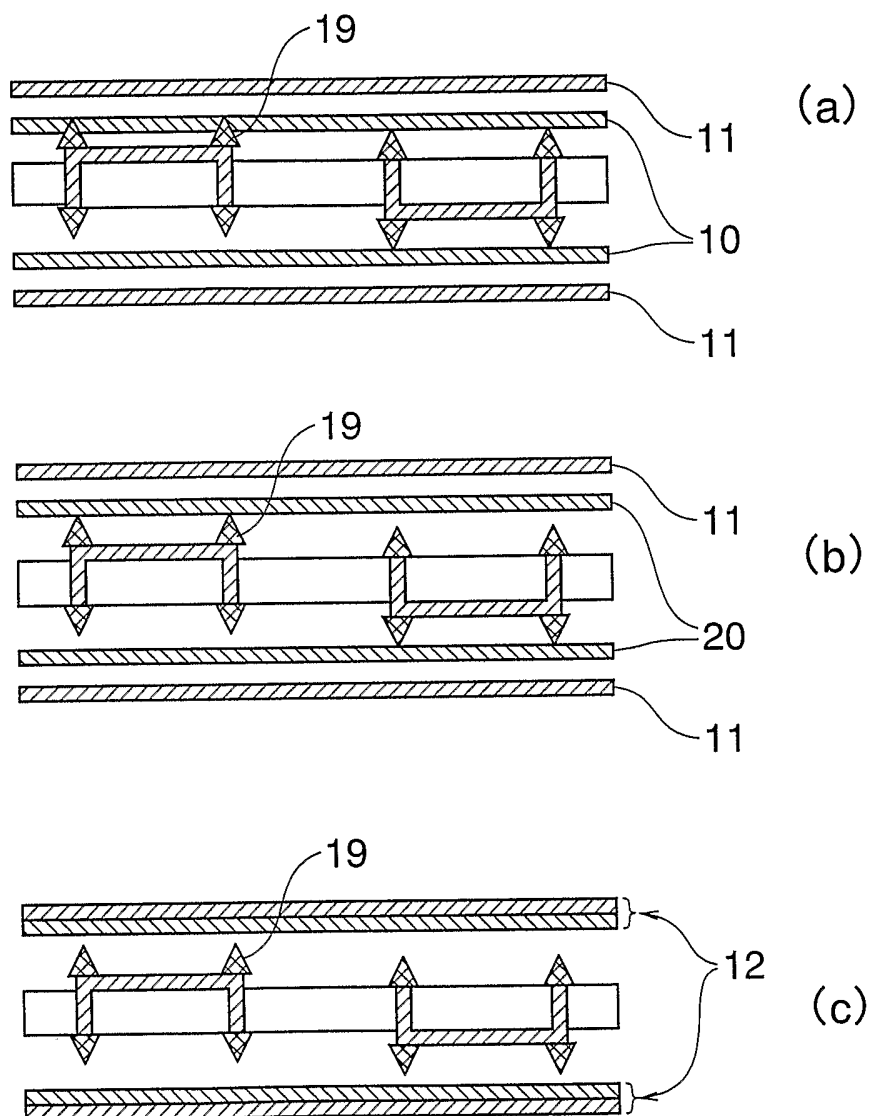


FIG.21

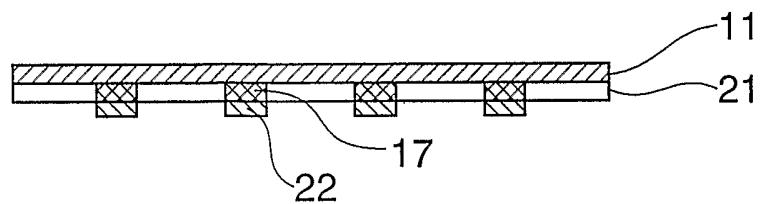


FIG.22

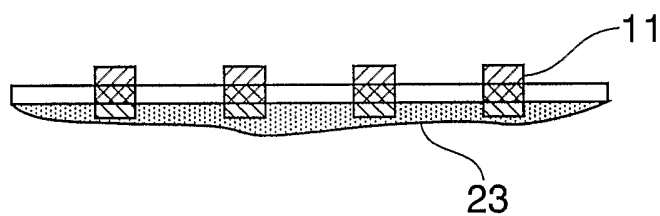


FIG.23

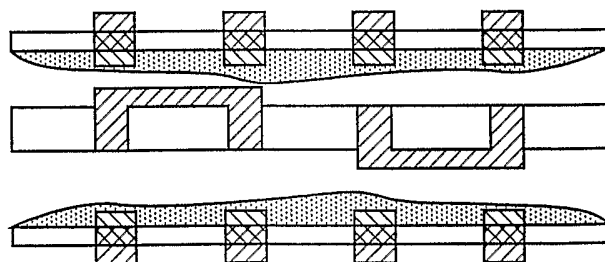


FIG.24

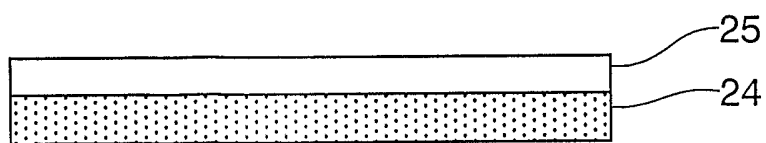


FIG.25

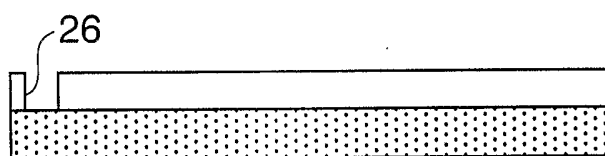


FIG.26

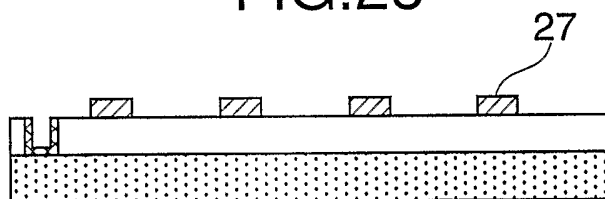


FIG.27

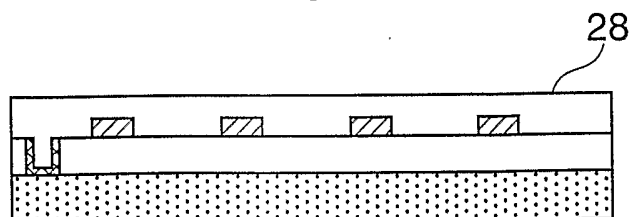


FIG.28

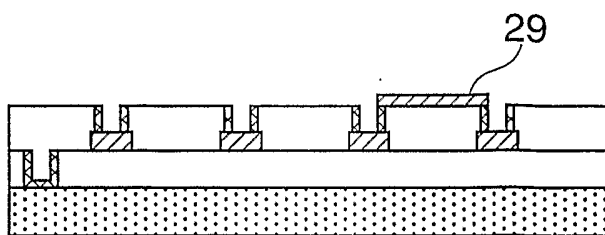


FIG.29

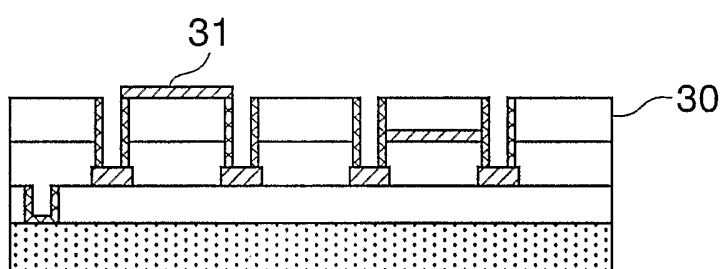


FIG.30

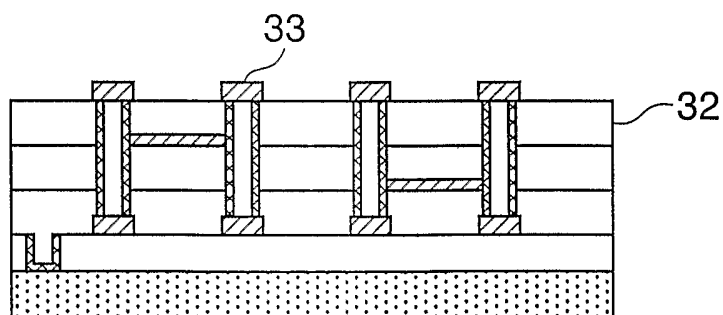


FIG.31

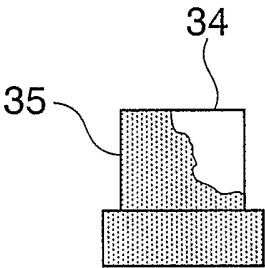


FIG.32

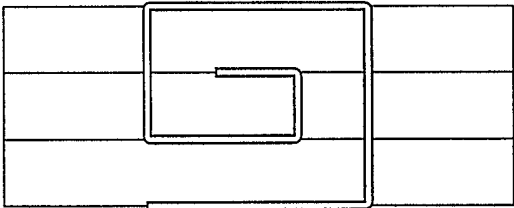


FIG.33

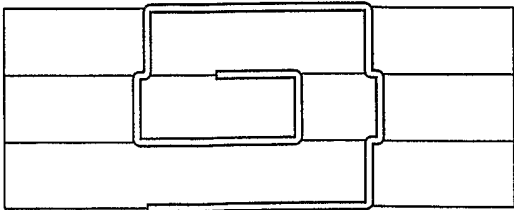


FIG.34

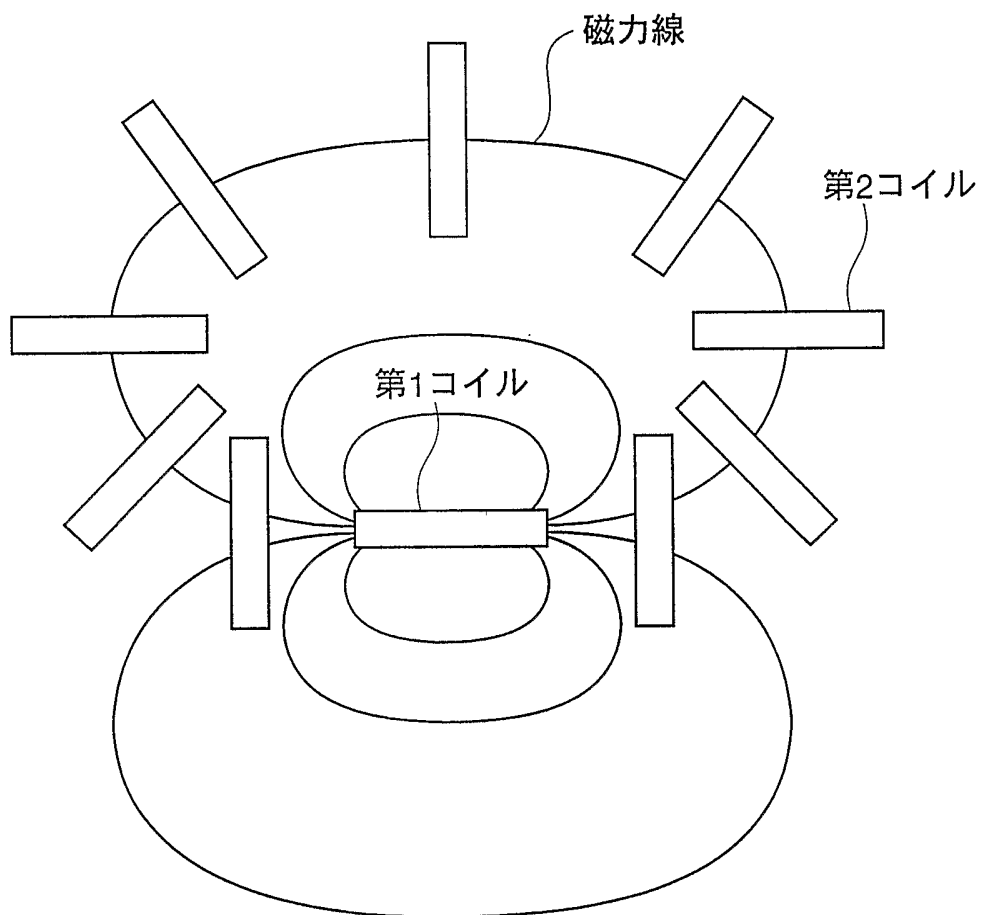


FIG.35

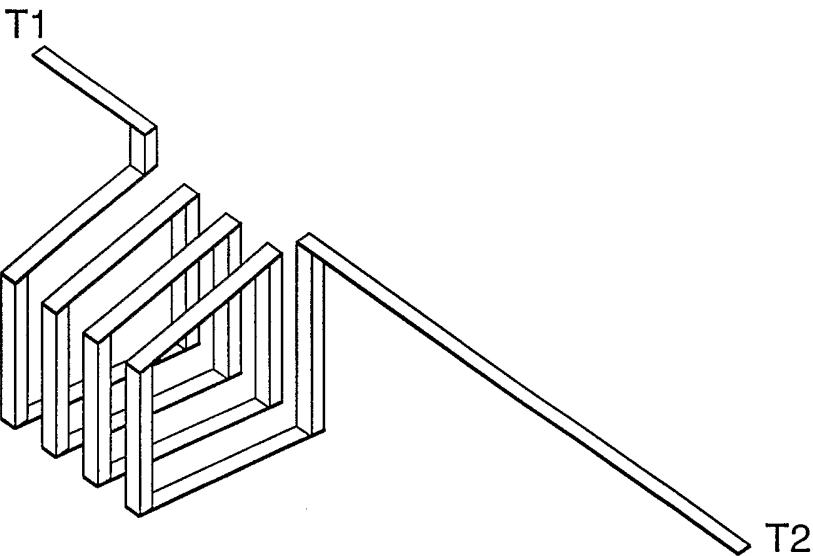


FIG.36

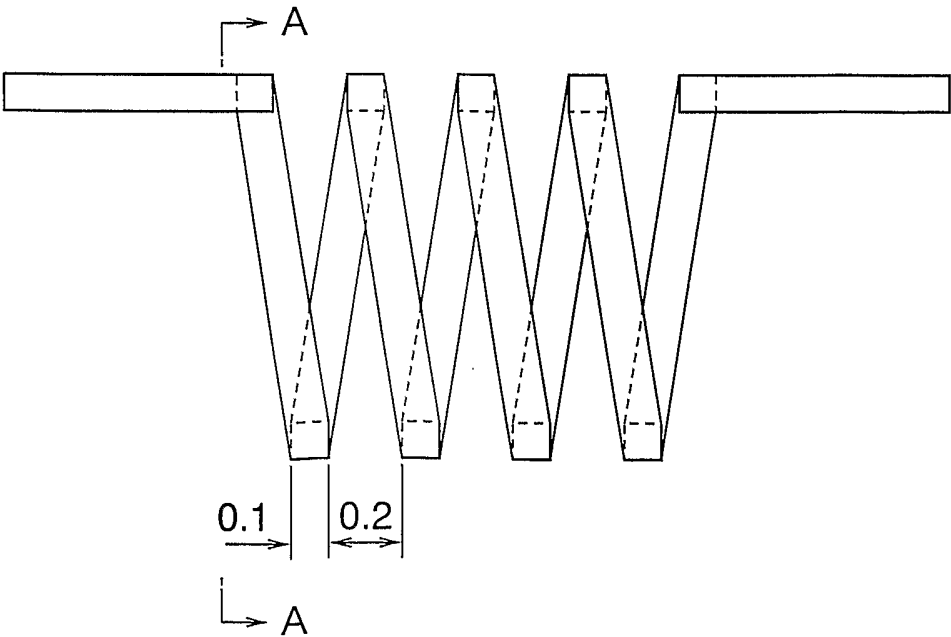


FIG.37

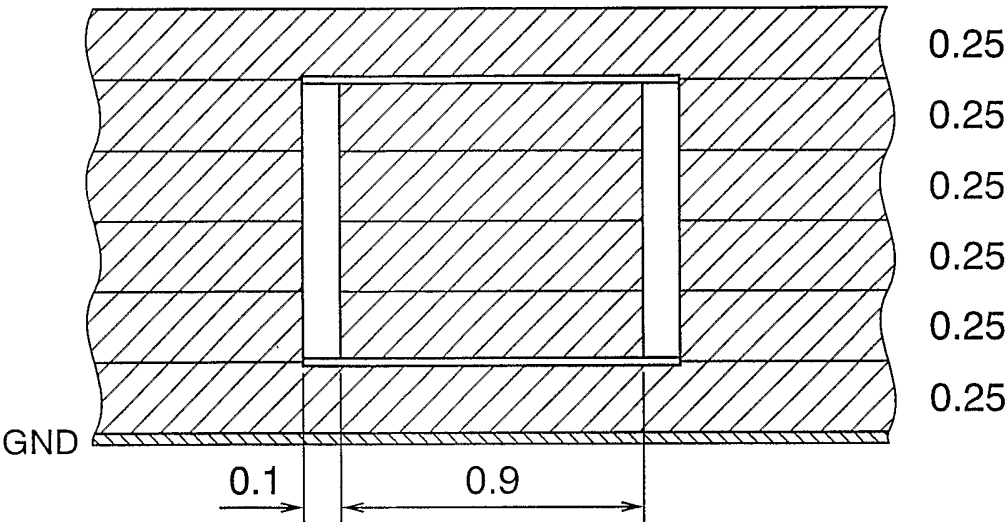


FIG.38

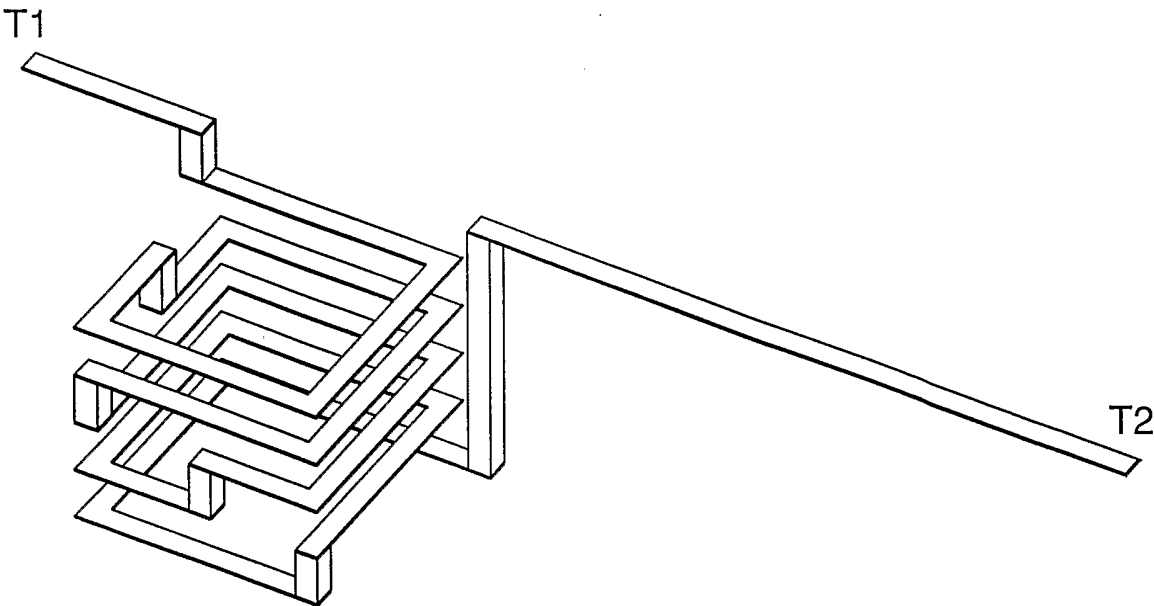


FIG.39

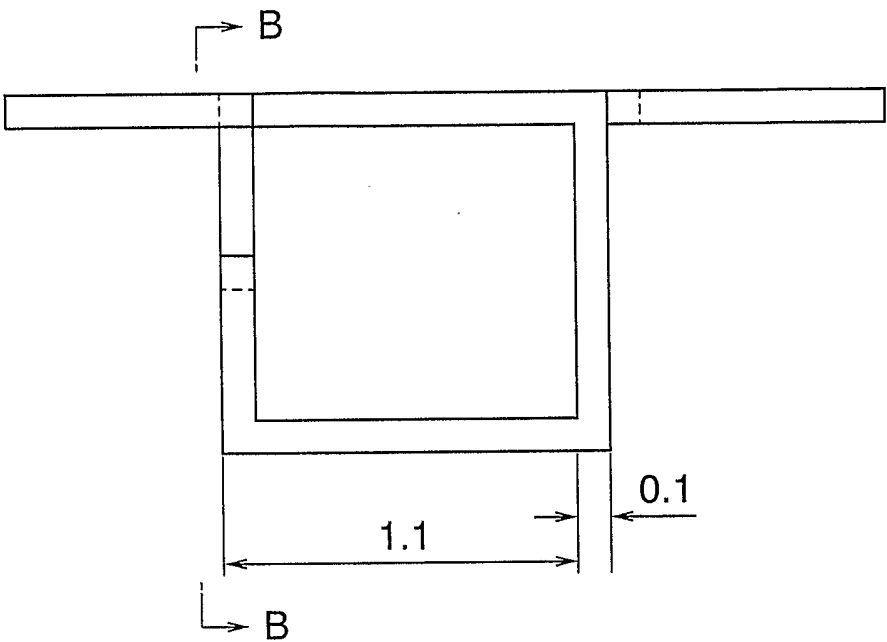


FIG.40

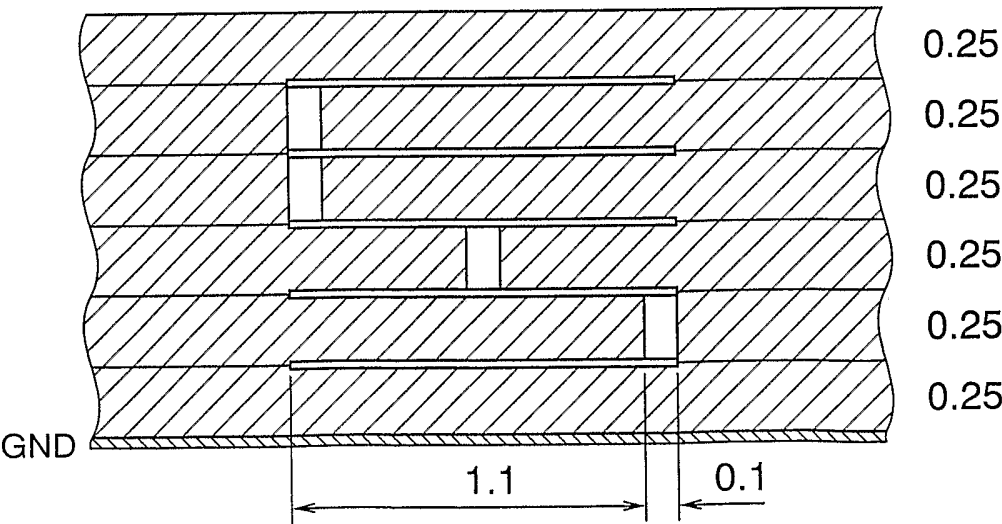


FIG.41

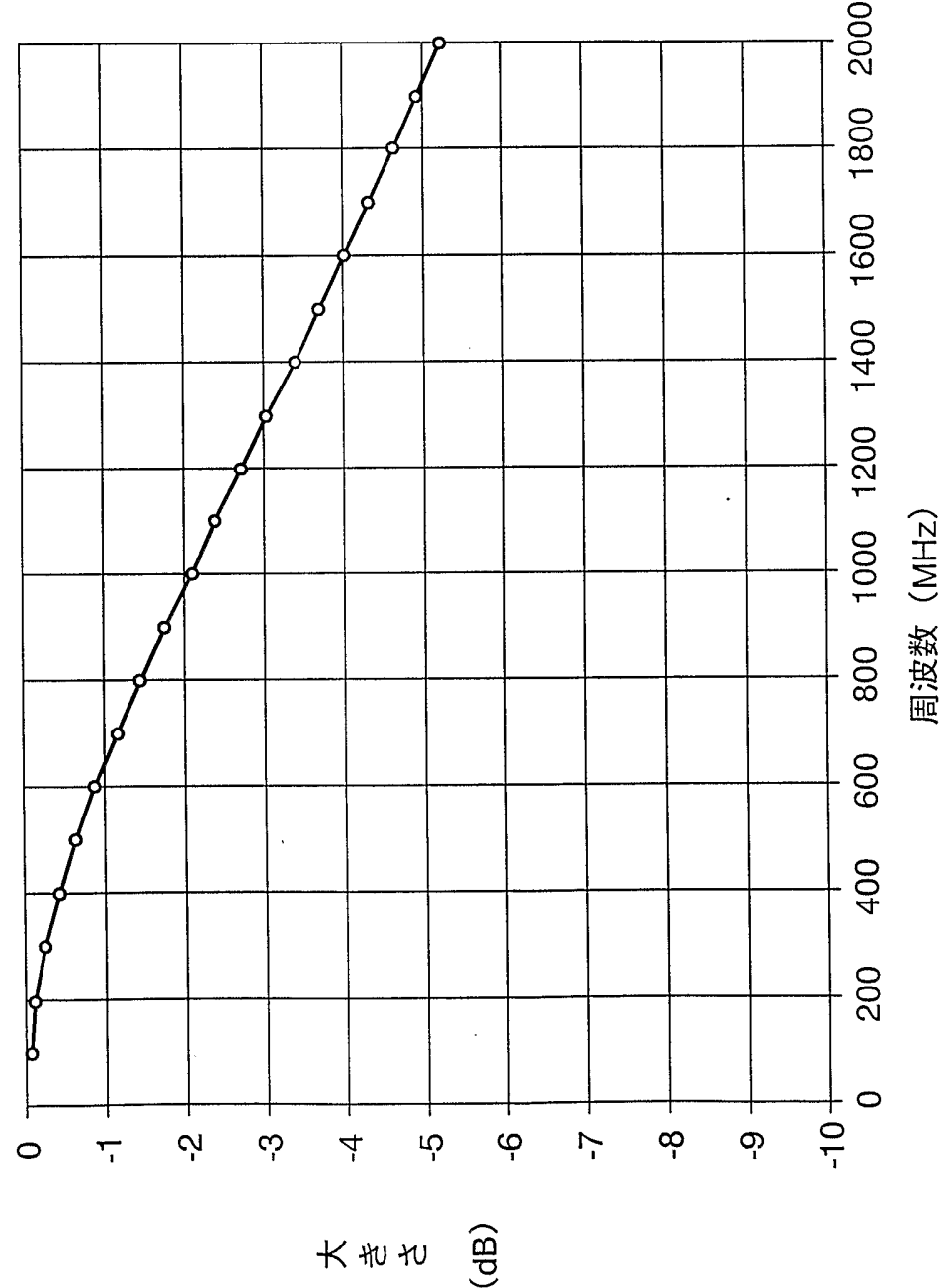


FIG.42

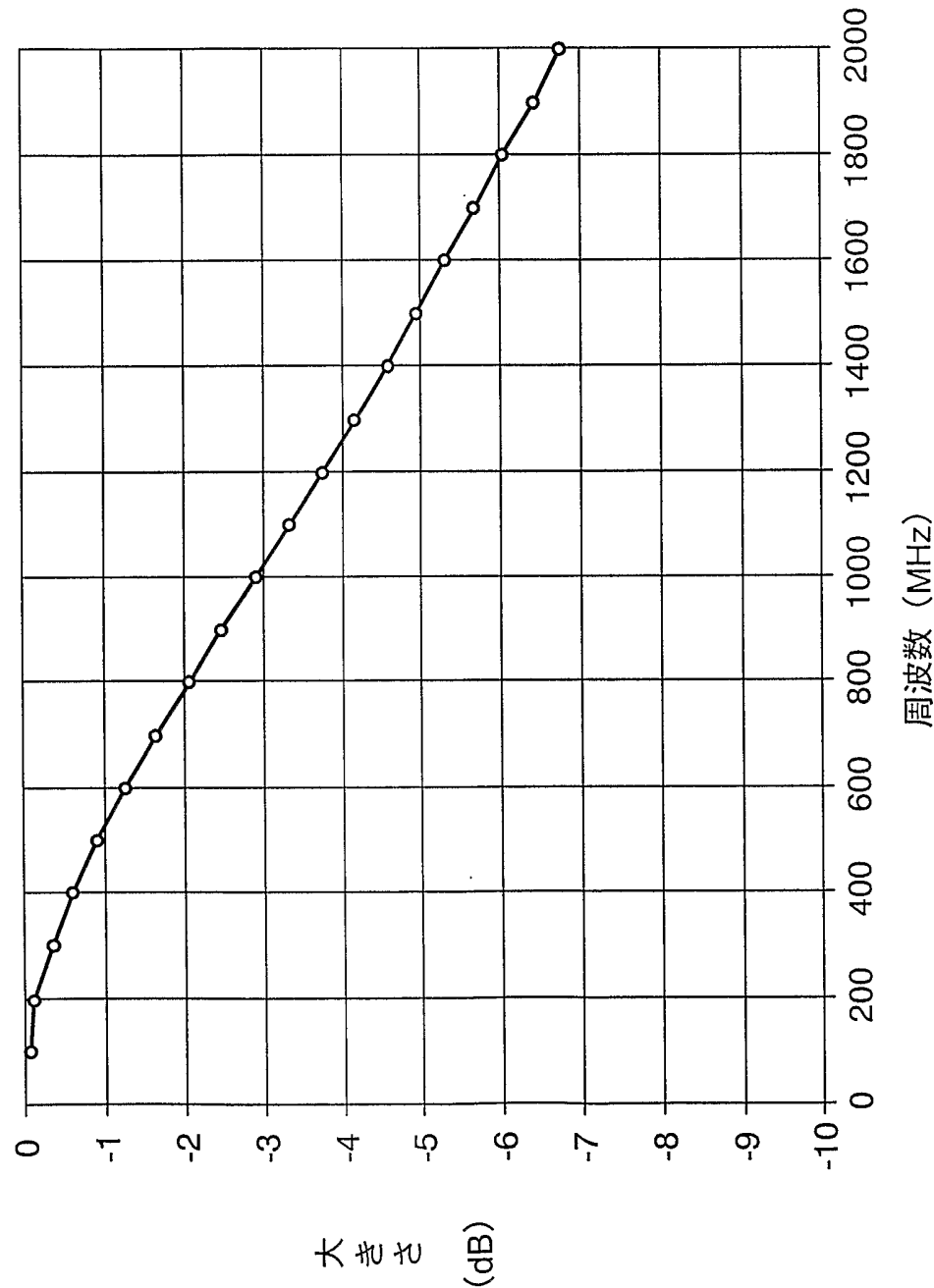


FIG.43

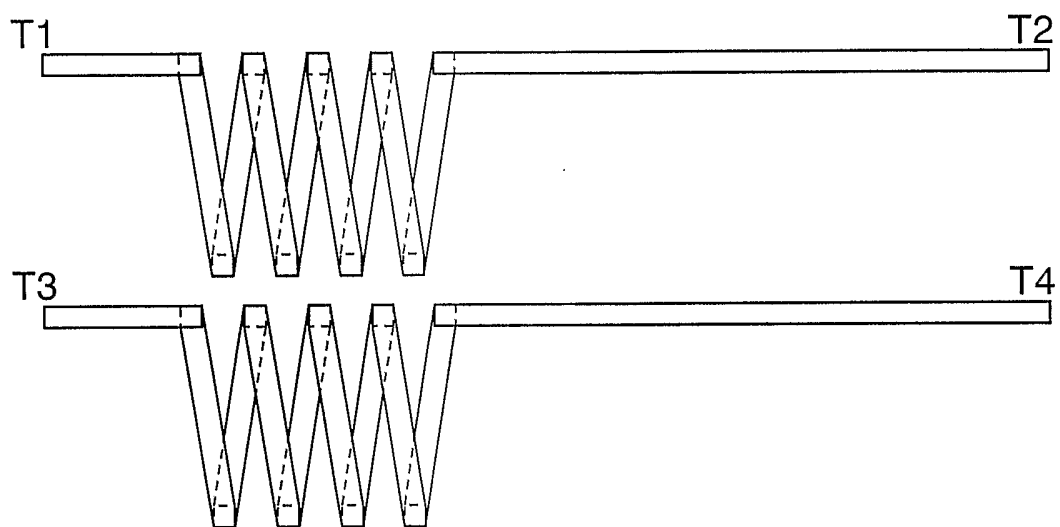


FIG.44

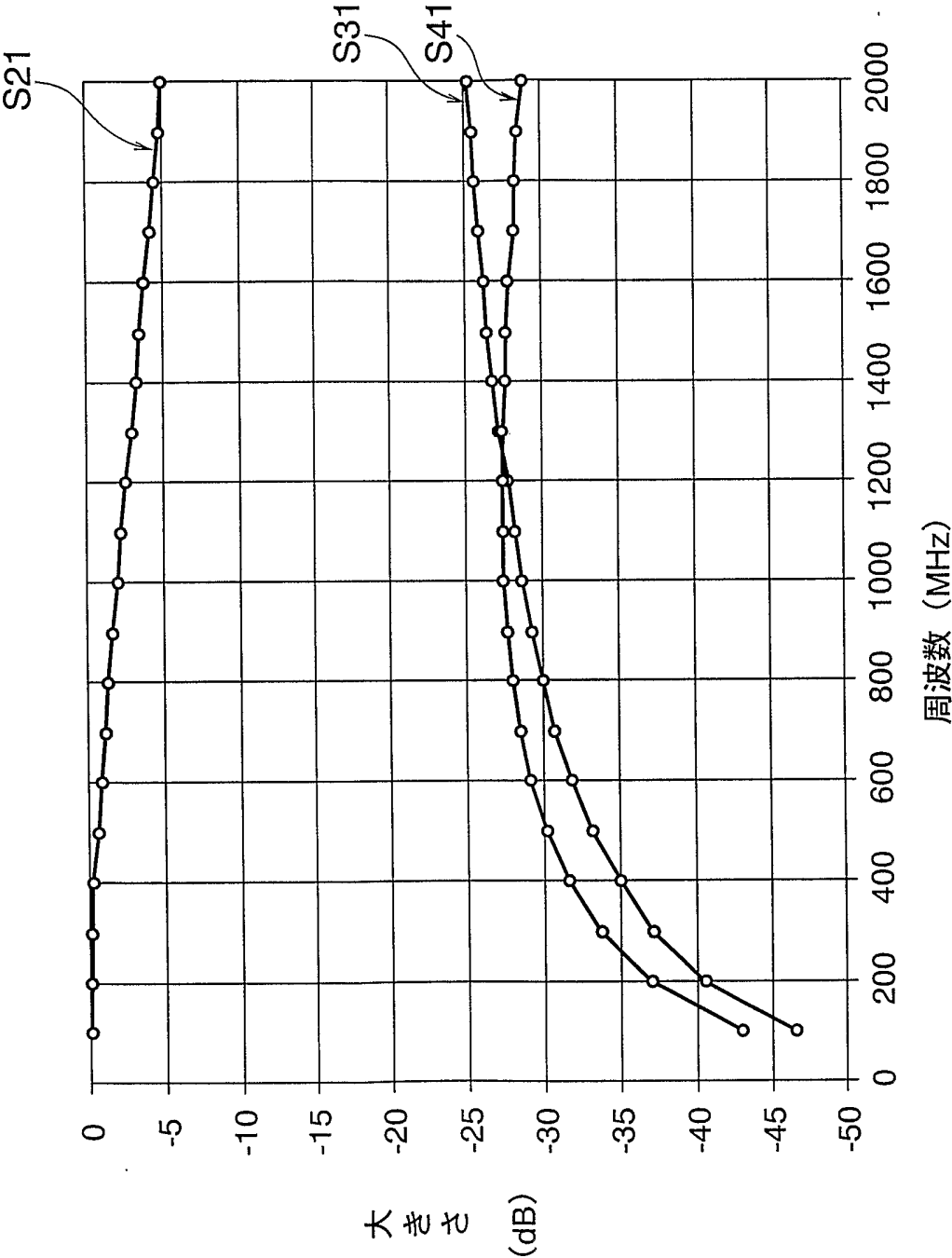


FIG.45

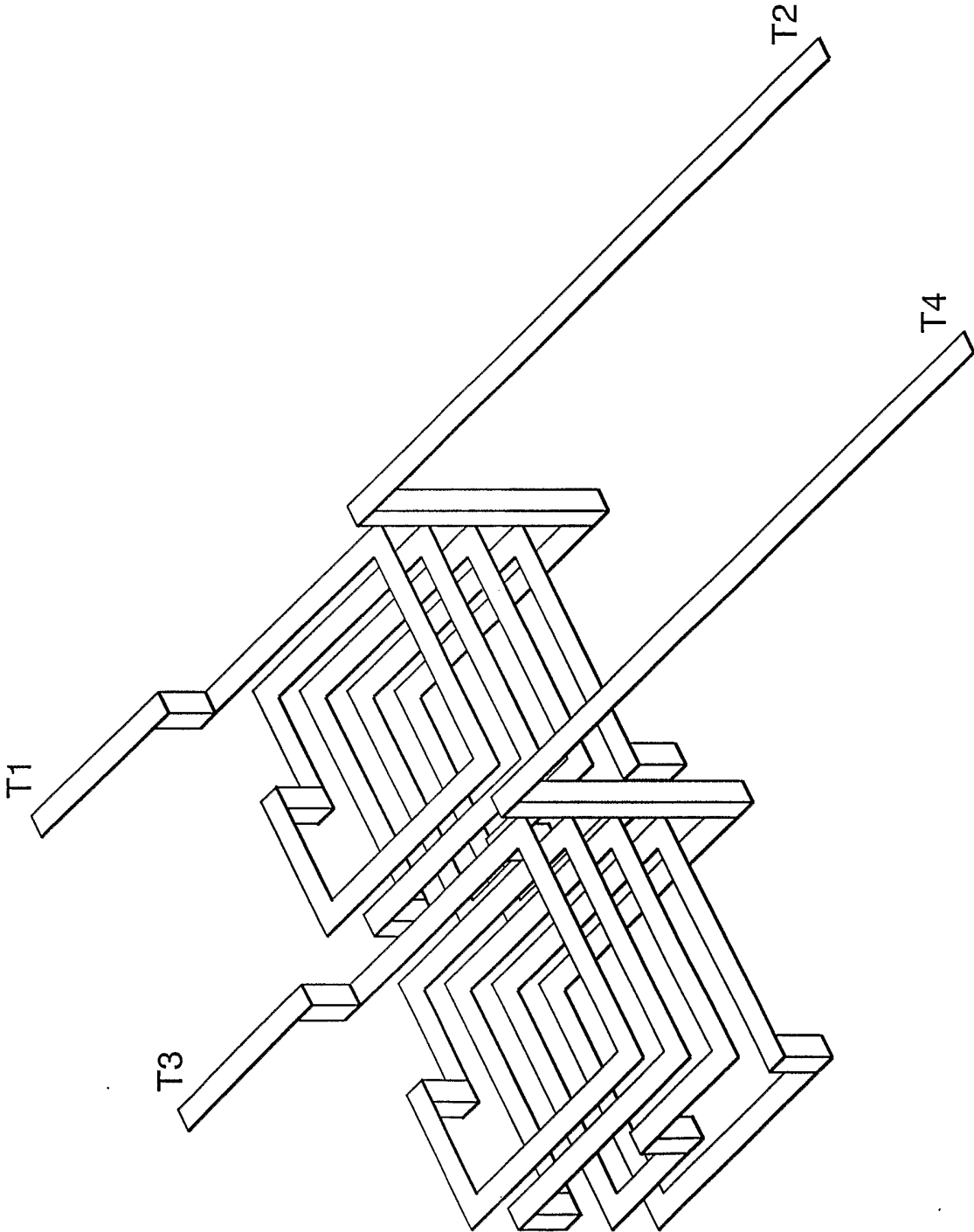


FIG.46

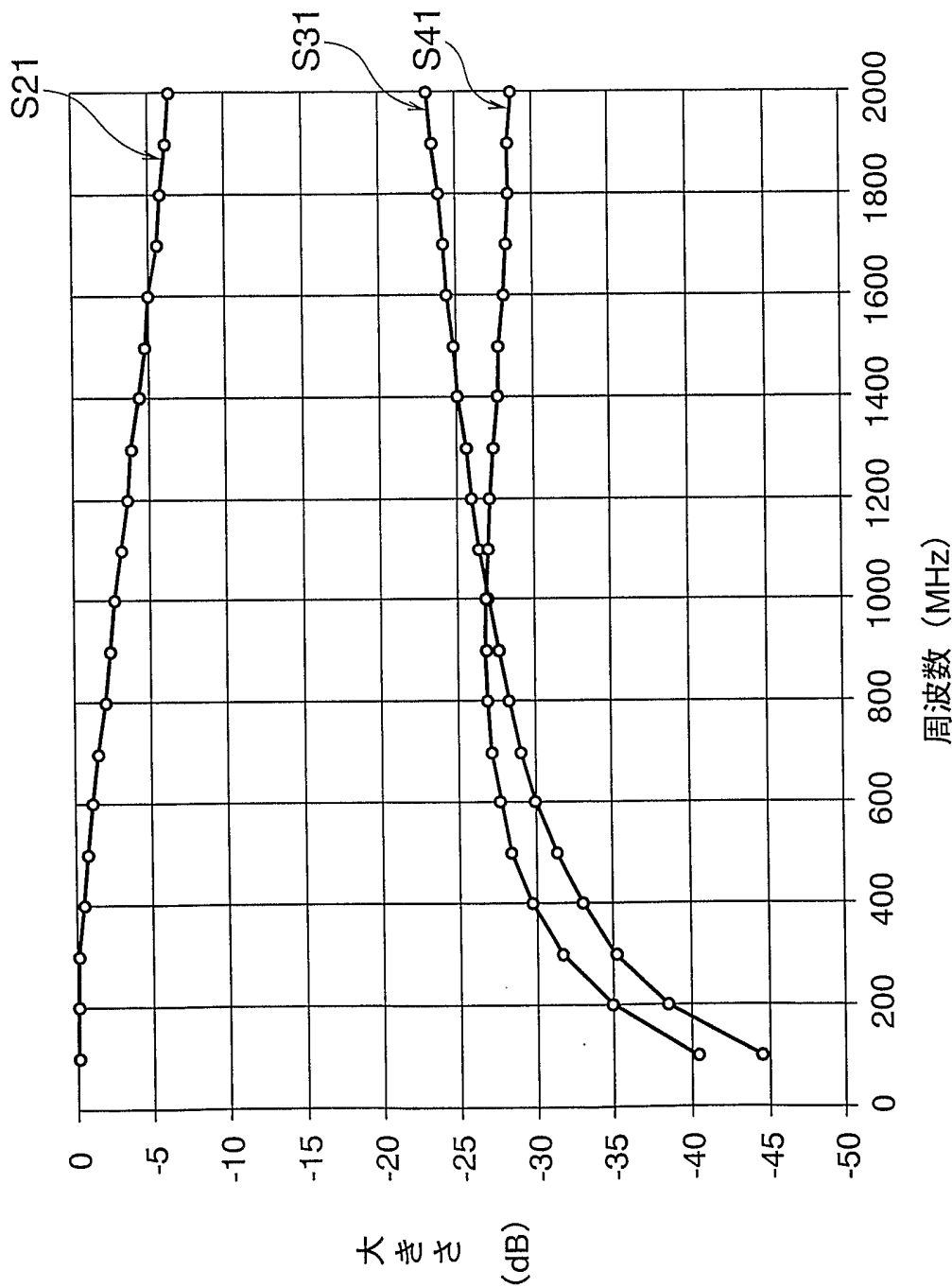


FIG.47

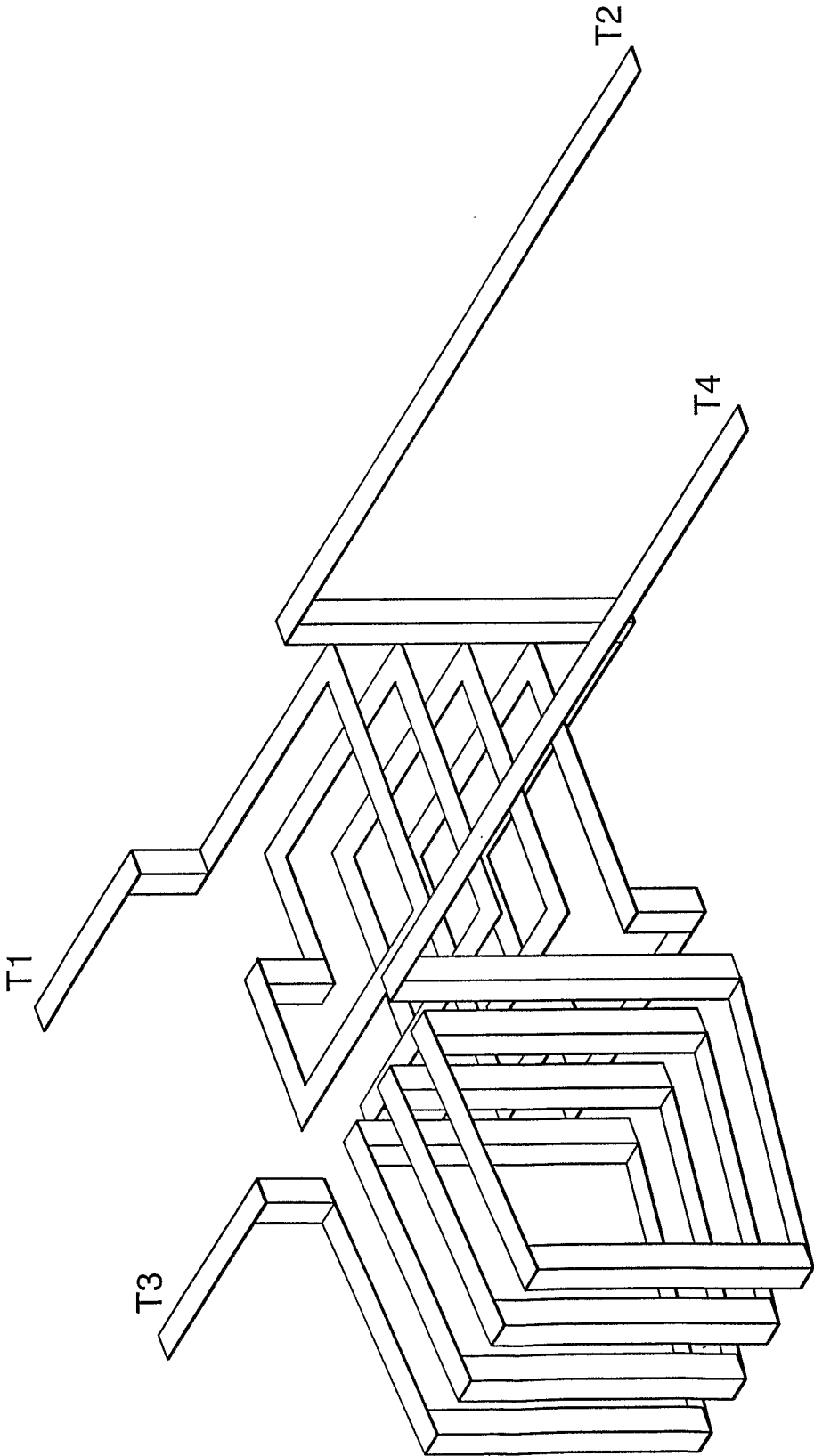


FIG.48

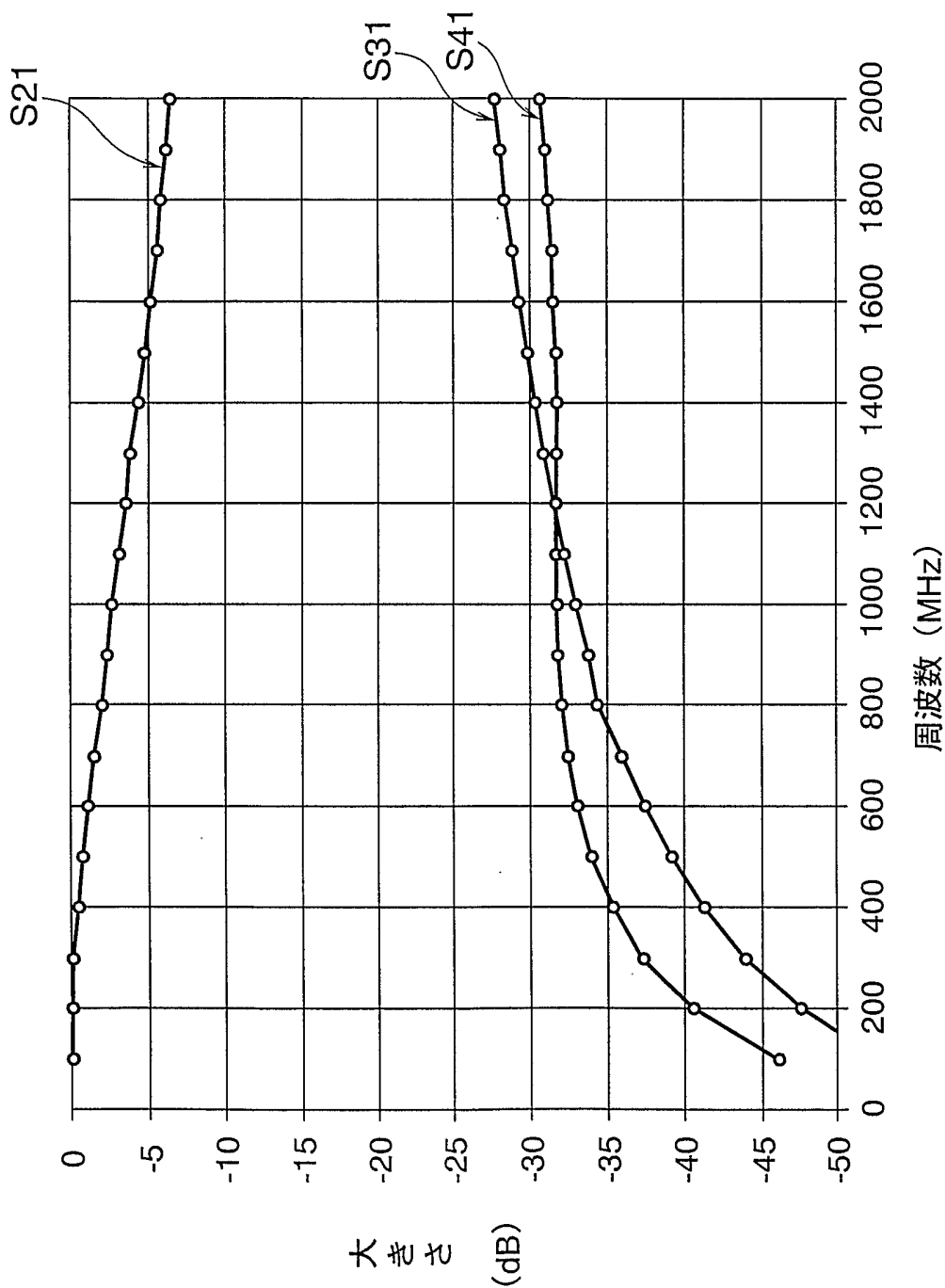


FIG.49

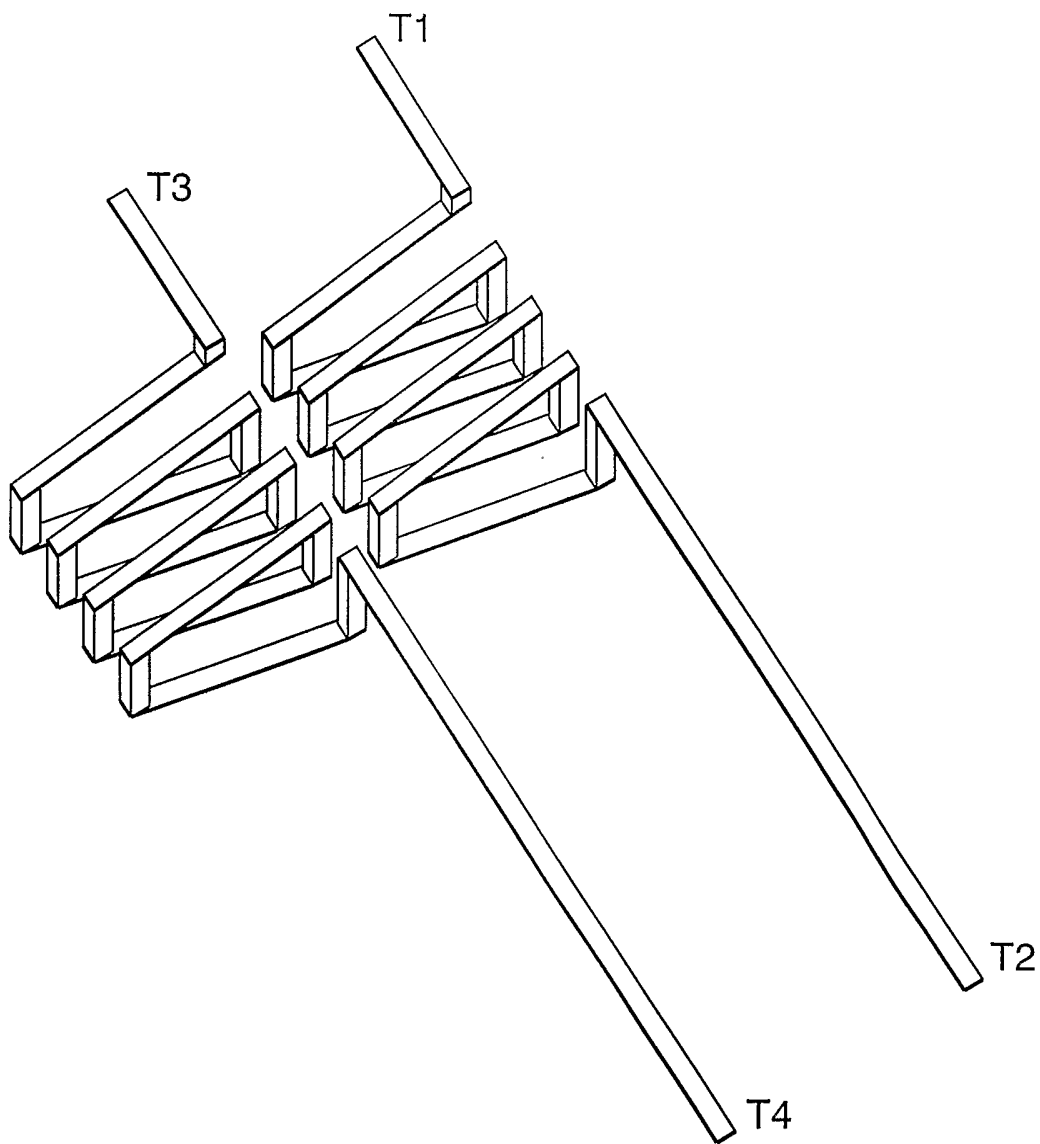


FIG. 50

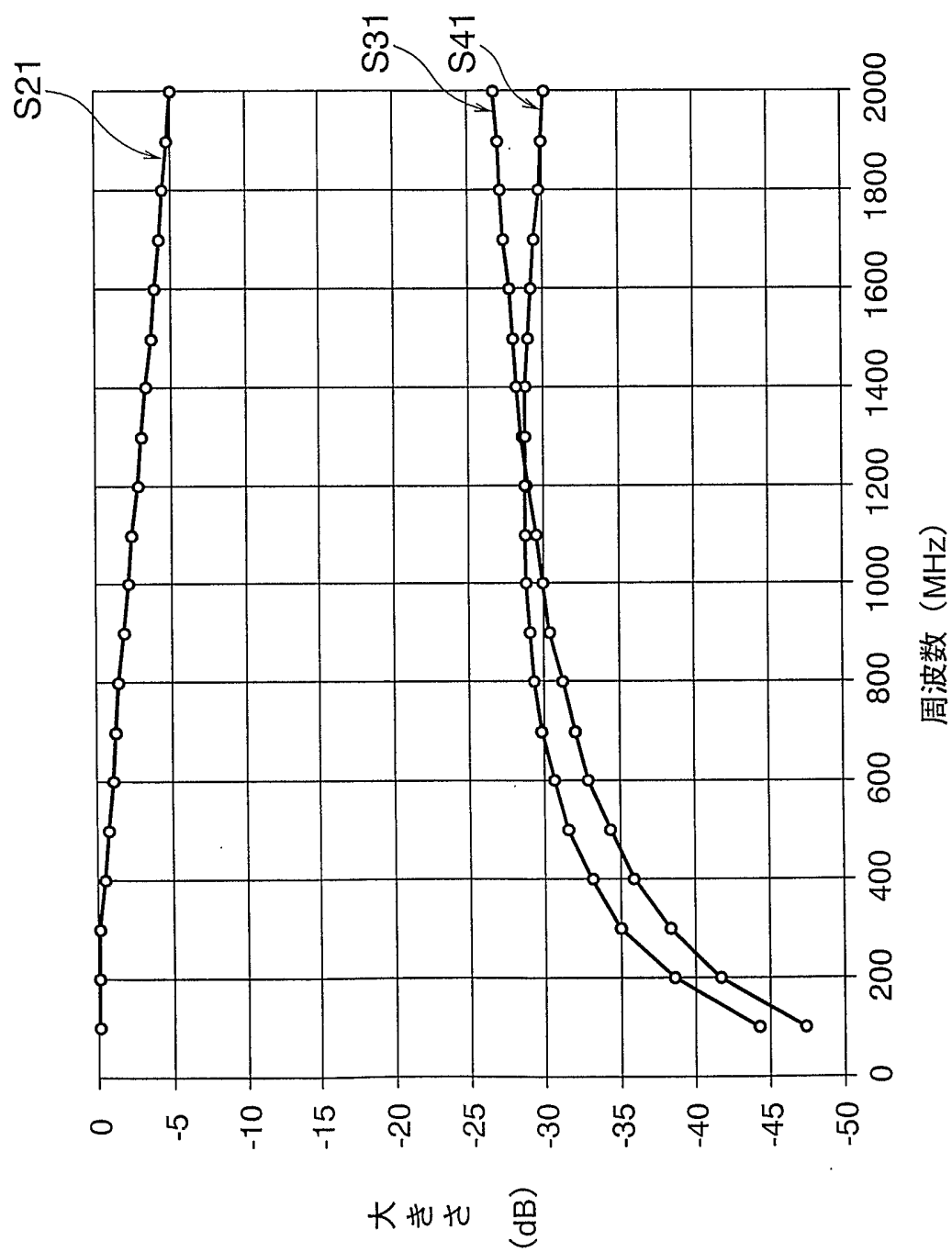


FIG.51

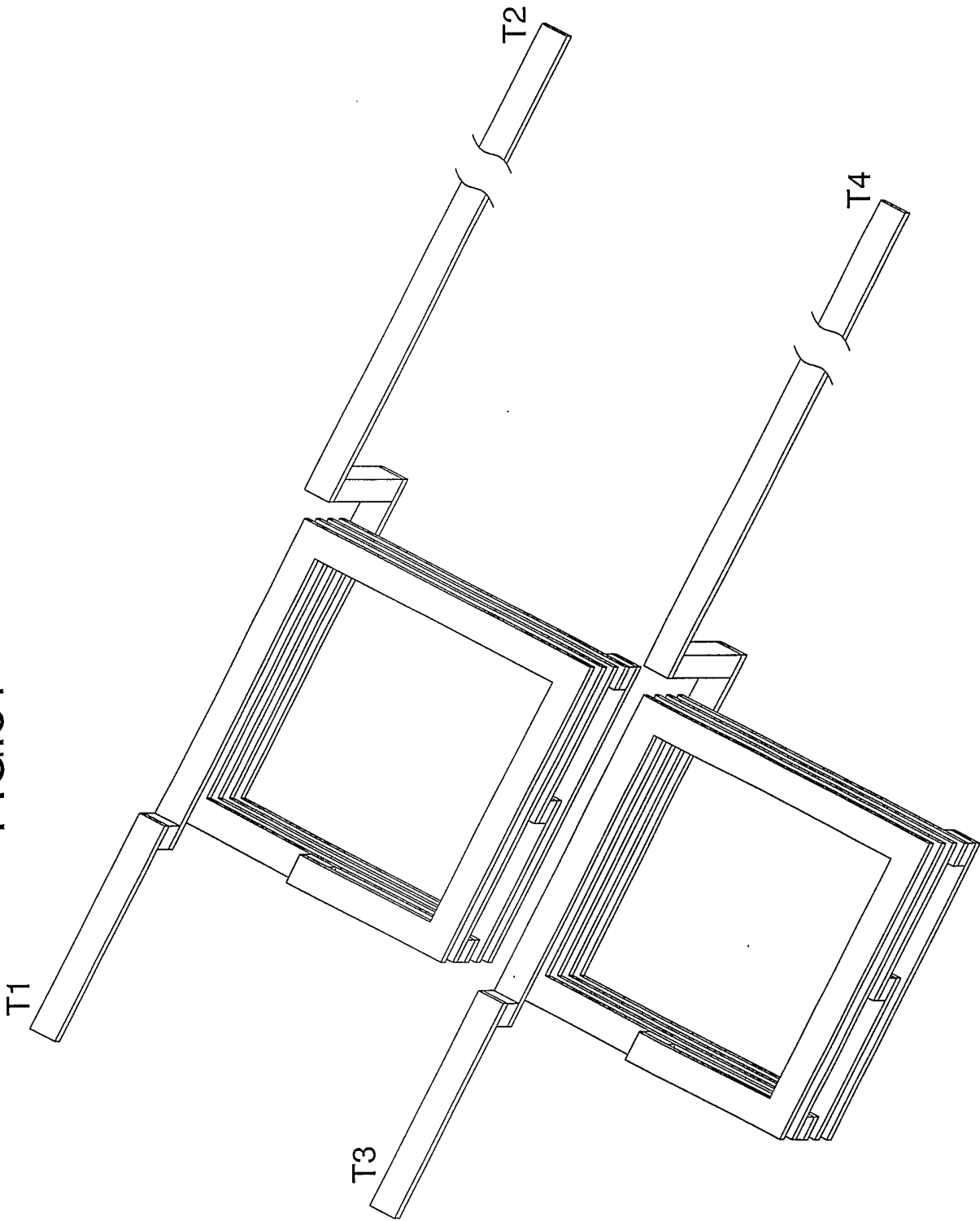
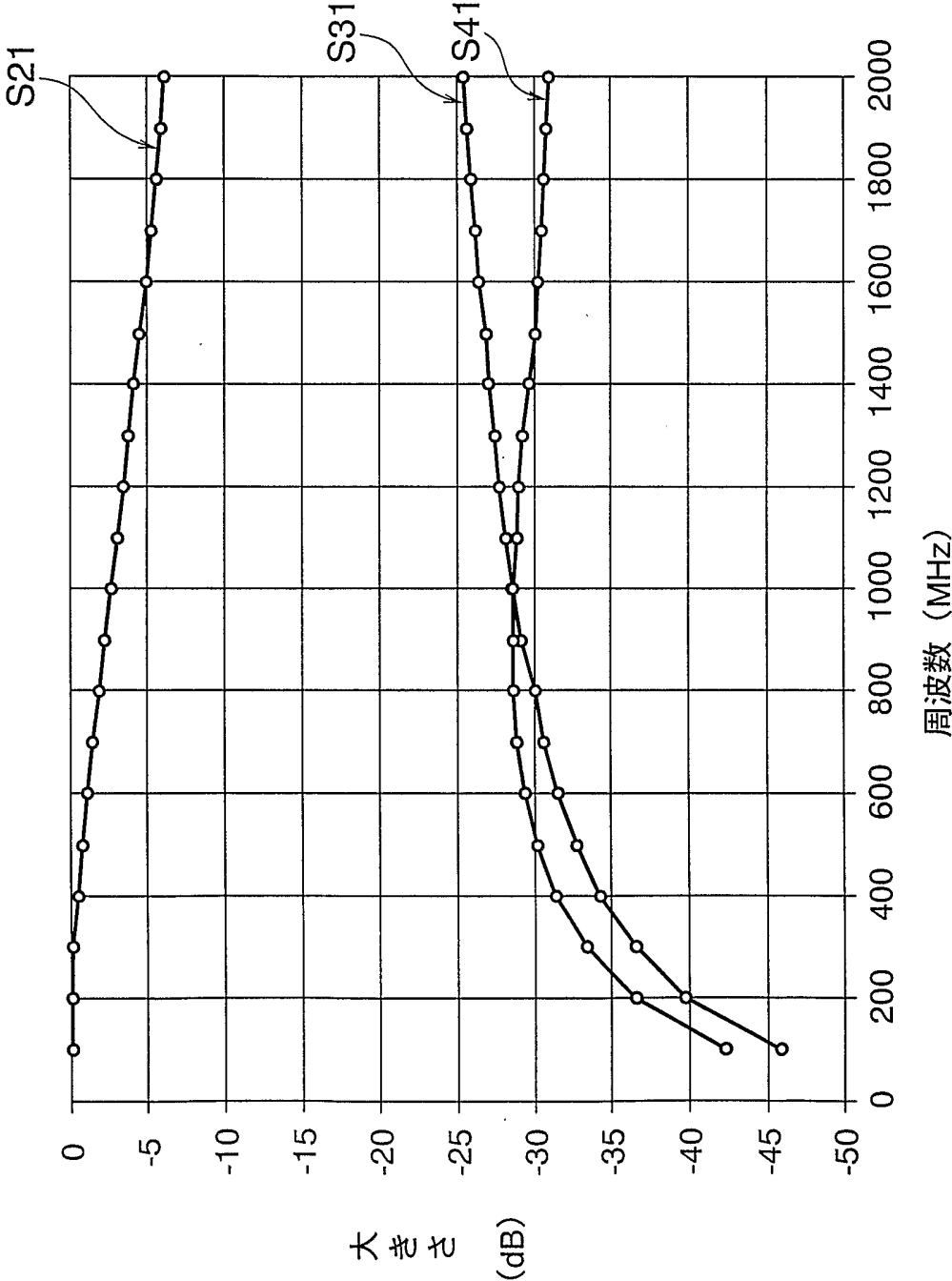


FIG.52



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06648

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L23/12, 21/3205, H01F17/00, H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L23/12-23/15, 21/3205, 25/00, H01F17/00, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2003 |
| Kokai Jitsuyo Shinan Koho | 1971-2003 | Jitsuyo Shinan Toroku Koho | 1996-2003 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category*     | Citation of document, with indication, where appropriate, of the relevant passages                                                  | Relevant to claim No.                                       |
|---------------|-------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------|
| X<br><u>Y</u> | JP 10-154795 A (Advanced Materials Engineering Research Inc.),<br>09 June, 1998 (09.06.98),<br>Full text; Fig. 24<br>(Family: none) | 1-5, 14-18,<br>22, 23<br><u>6-8, 12-16,</u><br><u>19-23</u> |
| X<br><u>Y</u> | JP 4-237106 A (Nippon Telegraph And Telephone Corp.),<br>25 August, 1992 (25.08.92),<br>Full text; Figs. 1 to 3<br>(Family: none)   | 1-5, 14-18,<br>22, 23<br><u>6-8, 12-16,</u><br><u>19-23</u> |
| X<br><u>Y</u> | JP 9-45866 A (Hitachi, Ltd.),<br>14 February, 1997 (14.02.97),<br>Full text; Figs. 1 to 10<br>(Family: none)                        | 9-11<br><u>6-8, 12-16,</u><br><u>19-23</u>                  |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier document but published on or after the international filing date                                                                                            | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

Date of the actual completion of the international search  
25 August, 2003 (25.08.03)

Date of mailing of the international search report  
09 September, 2003 (09.09.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06648

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                 | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 8-250333 A (Taiyo Yuden Co., Ltd.),<br>27 September, 1996 (27.09.96),<br>Full text<br>(Family: none)                                            | 6-16, 19-23           |
| A         | EP 588503 A2 (NATIONAL SEMICONDUCTOR CORP.),<br>23 March, 1994 (23.03.94),<br>Full text; Figs. 1, 2<br>& JP 6-209075 A<br>Full text; Figs. 1 to 13 | 1-23                  |
| A         | JP 5-55043 A (Fujitsu Ltd.),<br>05 March, 1993 (05.03.93),<br>Full text<br>(Family: none)                                                          | 1-23                  |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L 23/12, 21/3205, H01F 17/00, H05K 3/46

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L 23/12-23/15, 21/3205, 25/00,  
Int. Cl<sup>7</sup> H01F 17/00, H05K 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                            | 関連する<br>請求の範囲の番号                   |
|-----------------|--------------------------------------------------------------|------------------------------------|
| X               | J P 10-154795 A (アドバンスド マテリアルズ エ<br>ン지니어リング リサーチ インコーポレイテッド) | 1-5, 14-18,<br>22, 23              |
| <u>Y</u>        | 1998. 06. 09, 全文, 図24 (ファミリーなし)                              | <u>6-8, 12-16,</u><br><u>19-23</u> |
| X               | J P 4-237106 A (日本電信電話株式会社)                                  | 1-5, 14-18,<br>22, 23              |
| <u>Y</u>        | 1992. 08. 25, 全文, 図1-3 (ファミリーなし)                             | <u>6-8, 12-16,</u><br><u>19-23</u> |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

25. 08. 03

国際調査報告の発送日

09.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 英夫



4 R

9631

電話番号 03-3581-1101 内線 3469

| C (続き) . 関連すると認められる文献 |                                                                                                                     |                                            |
|-----------------------|---------------------------------------------------------------------------------------------------------------------|--------------------------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                   | 関連する<br>請求の範囲の番号                           |
| X<br><u>Y</u>         | J P 9-45866 A (株式会社日立製作所)<br>1997. 02. 14, 全文, 図1-10 (ファミリーなし)                                                      | 9-11<br><u>6-8, 12-16,</u><br><u>19-23</u> |
| A                     | J P 8-250333 A (太陽誘電株式会社)<br>1996. 09. 27, 全文 (ファミリーなし)                                                             | 6-16, 19-23                                |
| A                     | E P 588503 A2 (NATIONAL SEMICONDUCTOR CORP.)<br>1994. 03. 23, 全文, F I G. 1, F I G. 2<br>& J P 6-209075 A, 全文, 図1-13 | 1-23                                       |
| A                     | J P 5-55043 A (富士通株式会社)<br>1993. 03. 05, 全文 (ファミリーなし)                                                               | 1-23                                       |