



등록특허 10-2613318



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월14일
(11) 등록번호 10-2613318
(24) 등록일자 2023년12월08일

- (51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) *G11C 11/405* (2006.01)
G11C 11/4074 (2006.01) *H01L 29/786* (2006.01)
H10B 10/00 (2023.01) *H10B 69/00* (2023.01)
- (52) CPC특허분류
H10B 12/00 (2023.02)
G11C 11/405 (2013.01)
- (21) 출원번호 10-2016-0170172
- (22) 출원일자 2016년12월14일
심사청구일자 2021년12월10일
- (65) 공개번호 10-2017-0077792
- (43) 공개일자 2017년07월06일
- (30) 우선권주장
JP-P-2015-256670 2015년12월28일 일본(JP)
JP-P-2015-257567 2015년12월29일 일본(JP)
- (56) 선행기술조사문현
KR1020150021898 A
JP2015164386 A

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
오시마 가즈아키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
가토 기요시
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
아츠미 도모아키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 8 항

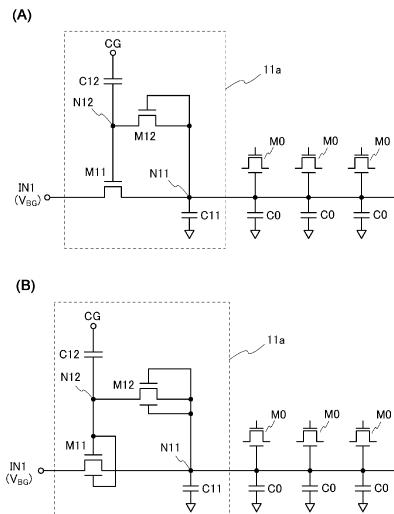
심사관 : 김종호

(54) 발명의 명칭 반도체 장치

(57) 요 약

장기간에 걸친 데이터 유지가 가능한 반도체 장치를 제공한다.

제 1 내지 제 3 트랜지스터, 용량 소자, 회로를 가지는 반도체 장치이다. 제 3 트랜지스터는 제 1 게이트 및 제 2 게이트를 가진다. 제 1 트랜지스터의 게이트는 용량 소자의 제 1 단자에 전기적으로 접속된다. 제 1 트랜지스터의 제 1 단자는 제 2 게이트에 전기적으로 접속된다. 제 1 트랜지스터의 제 2 단자는 회로에 전기적으로 접속된다. 제 2 트랜지스터의 게이트는 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 2 트랜지스터의 제 2 단자는 용량 소자의 제 1 단자에 전기적으로 접속된다. 회로는 음전위를 생성하는 기능을 가진다. 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 가지는 것이 바람직하다.

대 표 도 - 도2

(52) CPC특허분류

G11C 11/4074 (2013.01)

H01L 29/7869 (2013.01)

H01L 29/78696 (2013.01)

H10B 10/00 (2023.02)

H10B 69/00 (2023.02)

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

용량 소자; 및

전압 생성 회로를 포함하고,

상기 제 3 트랜지스터는 제 1 게이트 및 제 2 게이트를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 전압 생성 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 제 1 단자는 상기 제 2 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 2 단자는 상기 용량 소자의 상기 제 1 단자에 전기적으로 접속되고,

상기 전압 생성 회로는 음전위를 생성하고,

상기 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

용량 소자; 및

전압 생성 회로를 포함하고,

상기 제 1 트랜지스터는 제 1 게이트 및 제 2 게이트를 포함하고,

상기 제 2 트랜지스터는 제 3 게이트 및 제 4 게이트를 포함하고,

상기 제 3 트랜지스터는 제 5 게이트 및 제 6 게이트를 포함하고,

상기 제 1 게이트는 상기 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 2 게이트는 상기 제 1 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 6 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 전압 생성 회로에 전기적으로 접속되고,

상기 제 3 게이트는 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 4 게이트는 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 제 1 단자는 상기 제 6 게이트에 전기적으로 접속되고,
상기 제 2 트랜지스터의 제 2 단자는 상기 용량 소자의 상기 제 1 단자에 전기적으로 접속되고,
상기 전압 생성 회로는 음전위를 생성하고,
상기 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

청구항 3

반도체 장치에 있어서,
제 1 트랜지스터;
제 2 트랜지스터;
제 3 트랜지스터;
제 1 용량 소자;
제 2 용량 소자;
저항 소자; 및
전압 생성 회로를 포함하고,
상기 제 3 트랜지스터는 제 1 게이트 및 제 2 게이트를 포함하고,
상기 제 1 트랜지스터의 게이트는 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,
상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 게이트에 전기적으로 접속되고,
상기 제 1 트랜지스터의 제 2 단자는 상기 전압 생성 회로에 전기적으로 접속되고,
상기 제 2 용량 소자의 제 1 단자는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,
상기 제 2 트랜지스터의 상기 게이트는 상기 저항 소자를 통하여 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고,
상기 제 2 트랜지스터의 상기 제 1 단자는 상기 제 2 게이트에 전기적으로 접속되고,
상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 용량 소자의 상기 제 1 단자에 전기적으로 접속되고,
상기 전압 생성 회로는 음전위를 생성하고,
상기 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

청구항 4

반도체 장치에 있어서,
제 1 트랜지스터;
제 2 트랜지스터;
제 3 트랜지스터;
제 1 용량 소자;
제 2 용량 소자;
저항 소자; 및
전압 생성 회로를 포함하고,
상기 제 1 트랜지스터는 제 1 게이트 및 제 2 게이트를 포함하고,
상기 제 2 트랜지스터는 제 3 게이트 및 제 4 게이트를 포함하고,

상기 제 3 트랜지스터는 제 5 게이트 및 제 6 게이트를 포함하고,
상기 제 1 게이트는 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,
상기 제 2 게이트는 상기 제 1 게이트에 전기적으로 접속되고,
상기 제 1 트랜지스터의 제 1 단자는 상기 제 6 게이트에 전기적으로 접속되고,
상기 제 1 트랜지스터의 제 2 단자는 상기 전압 생성 회로에 전기적으로 접속되고,
상기 제 2 용량 소자의 제 1 단자는 상기 제 3 게이트에 전기적으로 접속되고,
상기 제 3 게이트는 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고,
상기 제 4 게이트는 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고,
상기 제 2 트랜지스터의 상기 제 1 단자는 상기 제 6 게이트에 전기적으로 접속되고,
상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 용량 소자의 상기 제 1 단자에 전기적으로 접속되고,
상기 전압 생성 회로는 음전위를 생성하고,
상기 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
상기 제 1 트랜지스터의 채널 길이는 상기 제 3 트랜지스터의 채널 길이보다 긴, 반도체 장치.

청구항 6

기억 장치에 있어서,
제 1 항 내지 제 4 항 중 어느 한 항에 따른 반도체 장치를 포함하는, 기억 장치.

청구항 7

IC칩에 있어서,
CPU;
제 6 항에 따른 기억 장치; 및
전원 회로를 포함하고,
상기 전원 회로는 상기 CPU 및 상기 기억 장치에 전력을 공급하는, IC칩.

청구항 8

전자 기기에 있어서,
제 1 항 내지 제 4 항 중 어느 한 항에 따른 반도체 장치, 및
표시 장치, 마이크로폰, 스피커, 조작 키, 또는 하우징을 포함하는, 전자 기기.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001]

본 발명의 일 형태는 반도체 장치에 관한 것이다.

[0002]

본 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는 반도체 장치의 구동 방법 또는 그 제작 방법에 관한 것이다.

[0003]

또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 기억 장치, 표시 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 가지는 경우가 있다.

배경 기술

[0004]

채널 형성 영역에 산화물 반도체(OS: oxide semiconductor)를 가지는 트랜지스터(이하, OS 트랜지스터라고 함)가 알려져 있다. OS 트랜지스터를 이용한 다양한 반도체 장치가 제안되고 있다.

[0005]

특허문헌 1에는 OS 트랜지스터를 DRAM(dynamic random access memory)에 사용한 예가 개시(開示)되어 있다. OS 트랜지스터는 오프 상태에서의 누설 전류(오프 전류)가 매우 작기 때문에, 리프레시 기간이 길고 소비전력이 적은 DRAM을 제작할 수 있다.

[0006]

또한, 특허문헌 2에는 OS 트랜지스터를 사용한 비휘발성 메모리가 개시되어 있다. 이들 비휘발성 메모리는 플래시 메모리와 달리 재기록 가능 횟수에 제한이 없고, 고속 동작을 용이하게 실현할 수 있으며 소비전력도 적다.

[0007]

이들 OS 트랜지스터를 사용한 메모리는, OS 트랜지스터의 문턱 전압을 높임으로써 오프 전류를 작게 할 수 있게

되고, 메모리의 데이터 유지 특성을 향상시킬 수 있다. 특허문현 2에는, OS 트랜지스터에 제 2 게이트(백 게이트라고도 함)를 제공하여 OS 트랜지스터의 문턱 전압을 제어함으로써 오프 전류를 낮춘 예가 개시되어 있다.

[0008] 상술한 메모리가 장기간에 걸친 데이터 유지를 행하기 위해서는, OS 트랜지스터의 제 2 게이트에 어떤 일정한 음전위를 계속 인가할 필요가 있다. 특허문현 2 및 특허문현 3에는 OS 트랜지스터의 제 2 게이트를 구동시키기 위한 회로의 구성예가 개시되어 있다.

[0009] 또한, 특허문현 4에는, 차지 펌프에 의하여 음전위를 생성하고, OS 트랜지스터의 제 2 게이트에 그 음전위를 인가하는 방법이 개시되어 있다.

선행기술문현

특허문현

[0010] (특허문현 0001) 일본국 특개2013-168631호 공보

(특허문현 0002) 일본국 특개2012-069932호 공보

(특허문현 0003) 일본국 특개2012-146965호 공보

(특허문현 0004) 일본국 특개2015-164386호 공보

발명의 내용

해결하려는 과제

[0011] OS 트랜지스터의 제 2 게이트에 인가된 음전위를 유지하기 위하여, 도 38의 (A) 및 (B)에 도시된 회로가 특허문현 2에 개시되어 있다.

[0012] 도 38의 (A) 및 (B)에 도시된 회로에서는, 트랜지스터(OS1)의 제 2 게이트(노드(N0))에 다이오드로서 기능하는 트랜지스터(OS2)가 접속되어 있다.

[0013] 예를 들어 단자(IN0)에 -3V를 인가한 경우(도 38의 (A)), 트랜지스터(OS2)를 통하여 노드(N0)에 음전위가 인가되지만, 트랜지스터(OS2)의 문턱 전압(V_{th})의 영향으로 노드(N0)에는 $-3V+V_{th}$ 가 인가된다. 그러므로, 트랜지스터(OS1)의 제 2 게이트에 음전위를 인가할 때에는, 이 V_{th} 를 고려한 전압을 단자(IN0)에 인가할 필요가 있다.

[0014] 또한, 단자(IN0)를 GND(접지 전위)로 하여 노드(N0)에 기록된 음전위를 유지하는 경우(도 38의 (B)), 트랜지스터(OS2)의 게이트와 소스 간의 전위차(V_G)는 0V가 된다. $V_G=0V$ 일 때의 드레인 전류(이하, 컷 오프 전류라고 함)가 충분히 작으면, 트랜지스터(OS2)는 노드(N0)의 음전위를 유지할 수 있지만, 트랜지스터(OS2)의 컷 오프 전류가 큰 경우, 트랜지스터(OS2)는 노드(N0)의 전위를 장시간 유지할 수 없다.

[0015] 본 발명의 일 형태는, 장기간에 걸친 데이터 유지가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는, 소비전력을 억제할 수 있는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는, 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0016] 또한, 복수의 과제의 기재는 서로의 과제의 존재를 방해하지 않는다. 또한, 본 발명의 일 형태는 이들 과제를 모두 해결할 필요는 없다. 또한, 열기한 것 외의 과제는, 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해질 것이며 이들 과제도 본 발명의 일 형태의 과제가 될 수 있다.

과제의 해결 수단

[0017] 본 발명의 일 형태는, 제 1 내지 제 3 트랜지스터, 용량 소자, 회로를 가지는 반도체 장치이다. 제 3 트랜지스터는 제 1 게이트 및 제 2 게이트를 가진다. 제 1 트랜지스터의 게이트는 용량 소자의 제 1 단자에 전기적으로 접속된다. 제 1 트랜지스터의 제 1 단자는 제 2 게이트에 전기적으로 접속된다. 제 1 트랜지스터의 제 2 단자는 회로에 전기적으로 접속된다. 제 2 트랜지스터의 게이트는 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 2 트랜지스터의 제 1 단자는 제 2 게이트에 전기적으로 접속된다. 제 2 트랜지스터의 제 2 단자는 용량 소자의 제 1 단자에 전기적으로 접속된다. 회로는 음전위를 생성하는 기능을 가진다. 제 1 트랜지스터의

채널 형성 영역은 산화물 반도체를 가지는 것이 바람직하다.

[0018] 본 발명의 일 형태는, 제 1 내지 제 3 트랜지스터, 용량 소자, 회로를 가지는 반도체 장치이다. 제 1 트랜지스터는 제 1 게이트 및 제 2 게이트를 가진다. 제 2 트랜지스터는 제 3 게이트 및 제 4 게이트를 가진다. 제 3 트랜지스터는 제 5 게이트 및 제 6 게이트를 가진다. 제 1 게이트는 용량 소자의 제 1 단자에 전기적으로 접속된다. 제 2 게이트는 제 1 게이트에 전기적으로 접속된다. 제 1 트랜지스터의 제 1 단자는 제 6 게이트에 전기적으로 접속된다. 제 2 트랜지스터의 제 2 단자는 회로에 전기적으로 접속된다. 제 3 게이트는 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 4 게이트는 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 2 트랜지스터의 제 2 단자는 용량 소자의 제 1 단자에 전기적으로 접속된다. 회로는 음전위를 생성하는 기능을 가진다. 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 가지는 것이 바람직하다.

[0019] 본 발명의 일 형태는, 제 1 내지 제 3 트랜지스터, 제 1 및 제 2 용량 소자, 저항 소자, 회로를 가지는 반도체 장치이다. 제 3 트랜지스터는 제 1 게이트 및 제 2 게이트를 가진다. 제 1 트랜지스터의 게이트는 제 1 용량 소자의 제 1 단자에 전기적으로 접속된다. 제 1 트랜지스터의 제 1 단자는 제 2 게이트에 전기적으로 접속된다. 제 1 트랜지스터의 제 2 단자는 회로에 전기적으로 접속된다. 제 2 용량 소자의 제 1 단자는 제 2 트랜지스터의 게이트에 전기적으로 접속된다. 제 2 트랜지스터의 게이트는 저항 소자를 통하여 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 2 트랜지스터의 제 1 단자는 제 2 게이트에 전기적으로 접속된다. 제 2 트랜지스터의 제 2 단자는 제 1 용량 소자의 제 1 단자에 전기적으로 접속된다. 회로는 음전위를 생성하는 기능을 가진다. 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 가지는 것이 바람직하다.

[0020] 본 발명의 일 형태는, 제 1 내지 제 3 트랜지스터, 제 1 및 제 2 용량 소자, 저항 소자, 회로를 가지는 반도체 장치이다. 제 1 트랜지스터는 제 1 게이트 및 제 2 게이트를 가진다. 제 2 트랜지스터는 제 3 게이트 및 제 4 게이트를 가진다. 제 3 트랜지스터는 제 5 게이트 및 제 6 게이트를 가진다. 제 1 게이트는 제 1 용량 소자의 제 1 단자에 전기적으로 접속된다. 제 2 게이트는 제 1 게이트에 전기적으로 접속된다. 제 1 트랜지스터의 제 1 단자는 제 6 게이트에 전기적으로 접속된다. 제 1 트랜지스터의 제 2 단자는 회로에 전기적으로 접속된다. 제 2 용량 소자의 제 1 단자는 제 3 게이트에 전기적으로 접속된다. 제 3 게이트는 저항 소자를 통하여 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 4 게이트는 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 2 트랜지스터의 제 2 단자는 제 1 용량 소자의 제 1 단자에 전기적으로 접속된다. 회로는 음전위를 생성하는 기능을 가진다. 제 1 트랜지스터의 채널 형성 영역은 산화물 반도체를 가지는 것이 바람직하다.

[0021] 상술한 형태에 있어서, 제 1 트랜지스터의 채널 길이는 제 3 트랜지스터의 채널 길이보다 긴 것이 바람직하다.

[0022] 본 발명의 일 형태는, 상술한 형태에 기재된 반도체 장치를 가지는 기억 장치이다.

[0023] 본 발명의 일 형태는 CPU, 상술한 형태에 기재된 기억 장치, 전원 회로를 가지는 IC칩이다. 전원 회로는 CPU 및 기억 장치에 전력을 공급하는 기능을 가진다.

[0024] 본 발명의 일 형태는 상술한 형태에 기재된 반도체 장치와, 표시 장치, 마이크로폰, 스피커, 조작 키, 또는 하우징을 가지는 전자 기기이다.

발명의 효과

[0025] 본 발명의 일 형태에 의하여, 장기간에 걸친 데이터 유지가 가능한 반도체 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 소비전력을 억제할 수 있는 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여, 신규 반도체 장치를 제공할 수 있다.

[0026] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 또한, 본 발명의 일 형태는, 이들 효과를 모두 가질 필요는 없다. 또한, 이들 외의 효과는, 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해질 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 효과가 추출될 수 있다.

도면의 간단한 설명

[0027] 도 1은 반도체 장치의 구성예를 도시한 회로도.

도 2는 전압 유지 회로의 구성예를 도시한 회로도.

- 도 3은 전압 유지 회로의 동작예를 도시한 회로도.
- 도 4는 전압 유지 회로의 구성예를 도시한 회로도.
- 도 5는 전압 유지 회로의 동작예를 나타낸 타이밍 차트.
- 도 6은 전압 생성 회로의 구성예를 도시한 회로도.
- 도 7은 전압 생성 회로의 구성예를 도시한 회로도.
- 도 8은 메모리 셀의 구성예를 도시한 회로도.
- 도 9는 메모리 셀의 동작예를 나타낸 타이밍 차트.
- 도 10은 메모리의 구성예를 도시한 회로 블록도.
- 도 11은 행 선택 드라이버의 구성예를 도시한 회로도.
- 도 12는 열 선택 드라이버의 구성예를 도시한 회로도.
- 도 13은 판독 회로의 구성예를 도시한 회로도.
- 도 14는 메모리 셀의 구성예를 도시한 회로도.
- 도 15는 메모리의 구성예를 도시한 회로 블록도.
- 도 16은 감지 증폭기의 구성예를 도시한 회로도.
- 도 17은 감지 증폭기의 동작예를 나타낸 타이밍 차트.
- 도 18은 SRAM의 구성예를 도시한 회로도.
- 도 19는 전원 회로의 구성예를 도시한 회로 블록도.
- 도 20은 표시 장치의 구성예를 도시한 회로도.
- 도 21은 산화물 반도체의 원자수비의 범위에 대하여 설명하기 위한 도면.
- 도 22는 InMnO₄의 결정에 대하여 설명하기 위한 도면.
- 도 23은 트랜지스터의 구성예를 도시한 상면도 및 단면도.
- 도 24는 트랜지스터의 구성예를 도시한 상면도 및 단면도.
- 도 25는 트랜지스터의 구성예를 도시한 상면도 및 단면도.
- 도 26은 트랜지스터의 구성예를 도시한 상면도 및 단면도.
- 도 27은 트랜지스터의 구성예를 도시한 상면도 및 단면도.
- 도 28은 트랜지스터의 구성예를 도시한 상면도 및 단면도.
- 도 29는 반도체 장치의 구성예를 도시한 단면도.
- 도 30은 반도체 장치의 구성예를 도시한 단면도.
- 도 31은 반도체 장치의 구성예를 도시한 단면도.
- 도 32는 CPU의 구성예를 도시한 블록도.
- 도 33은 PLD의 구성예를 도시한 블록도 및 회로도.
- 도 34는 논리 블록의 구성예를 도시한 블록도.
- 도 35는 PLD의 구성예를 도시한 블록도.
- 도 36은 전자 기기의 일례를 도시한 사시도.
- 도 37은 RF 태그의 사용예를 도시한 사시도.

도 38은 반도체 장치의 구성예를 도시한 회로도.

도 39는 반도체 장치의 제작 공정을 나타낸 흐름도 및 사시 모식도.

발명을 실시하기 위한 구체적인 내용

[0028]

본 발명의 실시형태에 대하여 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당연히 당연히 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태 및 실시예의 내용에 한정하여 해석되는 것은 아니다.

[0029]

또한, 이하에서 발명의 구성을 설명함에 있어서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 간에서 공통적으로 사용하며 그 반복 설명을 생략한다. 또한, 같은 기능을 가지는 부분을 가리킬 때에는 해치 패턴을 동일하게 하고 특별히 부호를 붙이지 않는 경우가 있다.

[0030]

또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있을 수 있다. 따라서, 반드시 그 스케일에 한정되지는 않는다.

[0031]

본 명세서에서, 특별히 언급이 없는 한, 온 전류란, 트랜지스터가 온 상태일 때의 드레인 전류를 말한다. 온 상태란, 특별히 언급이 없는 한, n채널형 트랜지스터의 경우에는 게이트와 소스 간의 전압(V_G)이 문턱 전압(V_{th}) 이상인 상태, p채널형 트랜지스터의 경우에는 V_G 가 V_{th} 이하인 상태를 말한다. 예를 들어, n채널형 트랜지스터의 온 전류란, V_G 가 V_{th} 이상일 때의 드레인 전류를 말하는 경우가 있다. 또한, 트랜지스터의 온 전류는 드레인과 소스 간의 전압(V_D)에 의존하는 경우가 있다.

[0032]

본 명세서에서, 특별히 언급이 없는 한, 오프 전류란, 트랜지스터가 오프 상태일 때의 드레인 전류를 말한다. 오프 상태란, 특별히 언급이 없는 한, n채널형 트랜지스터의 경우에는 V_G 가 V_{th} 보다 낮은 상태, p채널형 트랜지스터의 경우에는 V_G 가 V_{th} 보다 높은 상태를 말한다. 예를 들어, n채널형 트랜지스터의 오프 전류란, V_G 가 V_{th} 보다 낮을 때의 드레인 전류를 말하는 경우가 있다. 트랜지스터의 오프 전류는 V_G 에 의존하는 경우가 있다. 따라서, 트랜지스터의 오프 전류가 $10^{-21}A$ 미만이라는 것은, 트랜지스터의 오프 전류가 $10^{-21}A$ 미만이 되는 V_G 의 값이 존재하는 것을 말하는 경우가 있다.

[0033]

또한, 트랜지스터의 오프 전류는 V_D 에 의존하는 경우가 있다. 본 명세서에 있어서 오프 전류는, 특별히 기재되지 않은 경우, V_D 의 절대값이 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V일 때의 오프 전류를 말하는 경우가 있다. 또는, 상술한 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_D 에서의 오프 전류를 말하는 경우가 있다.

[0034]

본 명세서 등에서 트랜지스터의 접속 관계를 설명할 때, 소스와 드레인 중 한쪽을 '소스 및 드레인 중 한쪽'(또는 제 1 전극 또는 제 1 단자)이라고 표기하고, 소스와 드레인 중 다른 쪽을 '소스 및 드레인 중 다른 쪽'(또는 제 2 전극 또는 제 2 단자)이라고 표기한다. 이는 트랜지스터의 소스와 드레인이 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한, 트랜지스터의 소스와 드레인의 호칭은 소스(드레인) 단자나, 소스(드레인) 전극 등, 상황에 따라 적절히 바꾸어 말할 수 있다.

[0035]

또한, 본 명세서에 있어서, 고전원 전위를 H레벨(또는 V_{DD}), 저전원 전위를 L레벨(또는 GND)이라고 하는 경우가 있다.

[0036]

또한, 본 명세서에서 이하의 실시형태를 적절히 조합하는 것이 가능하다. 또한, 하나의 실시형태에 복수의 구성예가 기재되어 있는 경우에는 구성예들을 서로 적절히 조합하는 것이 가능하다.

[0037]

(실시형태 1)

[0038]

본 실시형태에서는 본 발명의 일 형태인 반도체 장치의 회로 구성에 대하여 설명한다.

[0039]

<<회로(10)>>

[0040]

도 1에 도시된 회로(10)는 트랜지스터(M0)의 제 2 게이트를 구동시키기 위한 반도체 장치이다. 회로(10)는 전

압 생성 회로(12) 및 전압 유지 회로(11)를 가진다.

[0041] 트랜지스터(M0)는 기억 회로, 연산 회로, 화소 회로 등, 다양한 회로에 사용되는 트랜지스터를 나타내고 있다. 도 1에는 3개의 트랜지스터(M0)가 도시되어 있지만 이에 한정되지 않고, 회로(10)가 더 많은 트랜지스터(M0)와 접속되어 있어도 좋다. 또한, 이하에서는 트랜지스터(M0)가 n채널형 트랜지스터인 것으로 하여 설명한다.

[0042] 각 트랜지스터(M0)는 제 1 게이트 및 제 2 게이트를 가진다. 이들 제 2 게이트는 각각, 접속된 트랜지스터(M0)의 V_{th} 를 제어하는 기능을 가진다. 용량 소자(C0)는 제 2 게이트에 부가되는 배선 용량을 나타낸다. 트랜지스터(M0)에서, 제 1 게이트와 제 2 게이트는 반도체층을 개재(介在)하여 서로 중첩되는 영역을 가지는 것이 바람직하다.

[0043] 회로(10)는 트랜지스터(M0)의 제 2 게이트에 전위를 기록하고, 또한 그 전위를 유지하는 기능을 가진다.

[0044] 예를 들어, 회로(10)가 트랜지스터(M0)의 제 2 게이트에 음전위를 기록한 경우, 트랜지스터(M0)는 제 2 게이트의 음전위가 유지되고 있는 동안, V_{th} 를 높게 유지할 수 있다. 트랜지스터(M0)의 V_{th} 가 높게 유지됨으로써, 노멀리 온이 되는 것을 방지할 수 있고, 트랜지스터(M0)를 포함한 반도체 장치 전체의 소비전력을 낮출 수 있다. 예를 들어, 트랜지스터(M0)를 메모리 셀의 선택 트랜지스터로서 사용한 경우, 스트리지로서 기능하는 용량 소자의 전하가 오랫동안 유지될 수 있다.

[0045] 전압 유지 회로(11)는 전압 생성 회로(12)가 생성한 전위(V_{BG})를 각 트랜지스터(M0)가 가지는 제 2 게이트에 인가하고, 그 전위(V_{BG})를 유지하는 기능을 가진다.

[0046] 전압 생성 회로(12)는 GND 또는 V_{DD} 로부터 V_{BG} 를 생성하는 기능을 가진다. 전압 생성 회로(12)에는 V_{DD} , 신호(CLK), 신호(WAKE)가 입력된다. 신호(CLK)는 클럭 신호이며 전압 생성 회로(12)를 동작시키는 데 사용된다. 신호(WAKE)는 전압 생성 회로(12)에 대한 신호(CLK)의 입력을 제어하는 기능을 가진다. 예를 들어, 신호(WAKE)로서 H레벨의 신호가 인가되면, 전압 생성 회로(12)에 신호(CLK)가 입력되고, 전압 생성 회로(12)는 V_{BG} 를 생성한다.

[0047] <전압 유지 회로(11)>

[0048] 다음에, 전압 유지 회로(11)의 구체적인 구성예에 대하여 도 2 내지 도 5를 참조하여 설명한다. 전압 유지 회로(11)의 예로서, 전압 유지 회로(11a)(도 2, 도 3 참조)와 전압 유지 회로(11b)(도 4, 도 5 참조)에 대하여 설명한다.

[0049] [전압 유지 회로(11a)]

[0050] 도 2의 (A)에 도시된 전압 유지 회로(11a)는 트랜지스터(M11), 트랜지스터(M12), 용량 소자(C11), 및 용량 소자(C12)를 가진다.

[0051] 트랜지스터(M11)의 게이트는 용량 소자(C12)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M11)의 제 1 단자는 용량 소자(C11)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M11)의 제 2 단자는 단자(IN1)에 전기적으로 접속된다. 단자(IN1)는 전압 생성 회로(12)에 전기적으로 접속되며, 전위(V_{BG})를 인가받는다.

[0052] 트랜지스터(M12)의 게이트는 트랜지스터(M12)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M12)의 제 1 단자는 용량 소자(C11)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M12)의 제 2 단자는 용량 소자(C12)의 제 1 단자에 전기적으로 접속된다.

[0053] 용량 소자(C11)의 제 1 단자는 트랜지스터(M0)의 제 2 게이트에 전기적으로 접속된다. 용량 소자(C11)의 제 2 단자는 GND에 전기적으로 접속된다.

[0054] 용량 소자(C12)의 제 2 단자는 단자(CG)에 전기적으로 접속된다.

[0055] 또한, 트랜지스터(M11)의 제 1 단자와, 트랜지스터(M12)의 제 1 단자와, 용량 소자(C11)의 제 1 단자의 결절점(結節點)을 노드(N11)라고 한다. 또한, 트랜지스터(M11)의 게이트와, 트랜지스터(M12)의 제 2 단자와, 용량 소자(C12)의 제 1 단자의 결절점을 노드(N12)라고 한다.

[0056] 다음에, 도 3을 참조하여 전압 유지 회로(11a)의 동작에 대하여 설명한다. 또한, 이하에서는 트랜지스터(M11) 및 트랜지스터(M12)가 n채널형 트랜지스터인 것으로 하여 설명한다. 또한, OV는 접지 전위이며 GND를

나타낸다.

[0057] 먼저, 단자(IN1)에 음전위(예를 들어, -3V)를 인가하고, 단자(CG)에 0V에서 고전위(예를 들어, +3V)를 펄스 신호로서 인가한다(도 3의 (A) 참조). 용량 소자(C12)에 의한 용량 결합에 의하여 노드(N12)의 전위는 상승된다(예를 들어, +2V). 이때 트랜지스터(M11)는 온 상태가 되고, 노드(N11)의 전위는 단자(IN1) 부근의 전위까지 저하된다. 트랜지스터(M12)를 다이오드로 생각한 경우, 트랜지스터(M12)에는 높은 역방향 전압이 인가되어(예를 들어, -5V), 누설 전류(I_{inv})가 흐른다.

[0058] 누설 전류(I_{inv})로 인하여 노드(N12)의 전위는 저하된다(예를 들어, -1V, 도 3의 (B) 참조).

[0059] 다음에, 단자(CG)에 0V를 인가한다. 용량 소자(C12)에 의한 용량 결합에 의하여 노드(N12)의 전위는 더 저하된다(예를 들어, -3V, 도 3의 (C) 참조).

[0060] 노드(N11)와 노드(N12) 간의 전위차가 거의 없어지며 트랜지스터(M12)는 오프가 된다. 또한, 단자(IN1)에 0V를 인가하고, 노드(N11)의 전위를 유지한다.

[0061] 그 결과, 도 3의 (A)에서 단자(IN1)에 인가된 음전위가 노드(N11)에 인가되어 유지된다. 전압 유지 회로(11a)를 상술한 바와 같은 구성으로 함으로써, 도 3B에서 설명한 것과 같은 전압 유지 회로에 사용되는 트랜지스터의 V_{th} 의 영향을 받지 않게 된다. 따라서, 전압 유지 회로(11a)는 트랜지스터(M0)의 제 2 게이트에 효과적으로 음전위를 인가하고, 그 음전위를 유지할 수 있다.

[0062] 트랜지스터(M11)는 제 1 게이트 및 제 2 게이트를 가져도 좋다. 마찬가지로, 트랜지스터(M12)는 제 1 게이트 및 제 2 게이트를 가져도 좋다. 그 경우의 회로도를 도 2의 (B)에 도시하였다. 도 2의 (B)에 도시된 바와 같이 트랜지스터(M11)의 제 2 게이트는 트랜지스터(M11)의 제 1 게이트에 전기적으로 접속되는 것이 바람직하다. 또한, 트랜지스터(M12)의 제 2 게이트는 트랜지스터(M12)의 제 1 단자에 전기적으로 접속되는 것이 바람직하다.

[0063] 트랜지스터(M11)에서, 제 1 게이트와 제 2 게이트는 반도체층을 개재하여 서로 중첩되는 영역을 가지는 것이 바람직하다. 마찬가지로, 트랜지스터(M12)에서, 제 1 게이트와 제 2 게이트는 반도체층을 개재하여 서로 중첩되는 영역을 가지는 것이 바람직하다.

[0064] 트랜지스터(M11) 및 트랜지스터(M12)가 제 2 게이트를 가지면, 각 트랜지스터의 V_{th} 가 안정화될 수 있으므로 바람직하다.

[0065] 트랜지스터(M11)의 채널 길이는 트랜지스터(M0)의 채널 길이보다 긴 것이 바람직하다. 예를 들어, 트랜지스터(M0)의 채널 길이를 $1\mu m$ 미만으로 한 경우, 트랜지스터(M11)의 채널 길이는 $1\mu m$ 이상, 더 바람직하게는 $3\mu m$ 이상, 더욱 바람직하게는 $5\mu m$ 이상, 더더욱 바람직하게는 $10\mu m$ 이상으로 한다.

[0066] 트랜지스터(M11)의 채널 길이를 길게 함으로써, 트랜지스터(M11)가 단채널 효과의 영향을 받지 않게 되어, 컷오프 전류를 낮게 억제할 수 있다. 또한, 트랜지스터(M11)의 소스와 드레인 간의 내압을 높게 할 수 있다. 트랜지스터(M11)의 소스와 드레인 간의 내압이 높으면, 고전압을 생성하는 전압 생성 회로(12)와 트랜지스터(M0)의 접속을 용이하게 할 수 있으므로 바람직하다.

[0067] 예를 들어, 메모리 셀과 같이 높은 접적도가 요구되는 회로에 트랜지스터(M0)를 사용하는 경우, 트랜지스터(M0)의 채널 길이를 짧게 하는 것이 바람직하다. 한편, 트랜지스터(M11)는 메모리 셀 외부에 제작될 수 있기 때문에 채널 길이가 길어도 문제가 되지 않는다. 또한, 트랜지스터의 채널 길이를 길게 하면 트랜지스터의 온전류가 저하되지만, 트랜지스터(M11)는 주로 오프 상태로 사용되는 일이 많기 때문에, 높은 온전류가 요구되지 않는다.

[0068] 다음에, 트랜지스터(M11)로서는 OS 트랜지스터나 채널 형성 영역에 와이드 밴드 캡 반도체를 사용한 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터나 와이드 밴드 캡 반도체를 사용한 트랜지스터는 컷오프 전류가 작고, 소스와 드레인 간의 내압이 높다. 또한, 본 명세서에 있어서 와이드 밴드 캡 반도체란, 밴드 캡이 2.2eV 이상인 반도체이다. 예를 들어, 탄소화 실리콘, 질화 갈륨, 다이아몬드 등을 들 수 있다.

[0069] 또한, OS 트랜지스터나 와이드 밴드 캡 반도체 트랜지스터는, 고온 환경에 있어서도 작은 컷오프 전류를 유지하기 때문에, 이들 트랜지스터를 트랜지스터(M11)로서 사용하면 회로(10)를 고온 환경하에서 동작시킬 수 있다.

[0070] 트랜지스터(M12)는 트랜지스터(M11)와는 다른 반도체 재료로 형성하여도 좋고, 트랜지스터(M11)와 동일한 반도체 재료로 형성하여도 좋다. 특히, 트랜지스터(M12)와 트랜지스터(M11)를 동일한 반도체 재료로 형성하면, 제

작 공정을 단순화할 수 있으므로 바람직하다.

[0071] [전압 유지 회로(11b)]

도 4의 (A)에 도시된 전압 유지 회로(11b)는 트랜지스터(M41), 트랜지스터(M42), 저항 소자(R), 용량 소자(C41), 용량 소자(C42), 및 용량 소자(C43)를 가진다.

[0073] 트랜지스터(M41)의 게이트는 용량 소자(C41)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M41)의 제 1 단자는 용량 소자(C43)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M41)의 제 2 단자는 단자(IN4)에 전기적으로 접속된다. 단자(IN4)는 전압 생성 회로(12)에 전기적으로 접속되며, 전위(V_{BG})를 인가받는다.

[0074] 트랜지스터(M42)의 게이트는 저항 소자(R)를 통하여 트랜지스터(M42)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M42)의 제 1 단자는 용량 소자(C43)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M42)의 제 2 단자는 용량 소자(C41)의 제 1 단자에 전기적으로 접속된다.

[0075] 용량 소자(C43)의 제 1 단자는 트랜지스터(M0)의 제 2 게이트에 전기적으로 접속된다. 용량 소자(C43)의 제 2 단자는 GND에 접속된다.

[0076] 용량 소자(C41)의 제 2 단자는 단자(CG1)에 전기적으로 접속된다. 용량 소자(C42)의 제 2 단자는 단자(CG2)에 전기적으로 접속된다.

[0077] 또한, 트랜지스터(M41)의 게이트와, 트랜지스터(M42)의 제 2 단자와, 용량 소자(C41)의 제 1 단자의 결절점을 노드(N41)라고 한다. 또한, 트랜지스터(M42)의 게이트와 용량 소자(C42)의 제 1 단자의 결절점을 노드(N42)라고 한다. 또한, 트랜지스터(M41)의 제 1 단자와, 트랜지스터(M42)의 제 1 단자와, 용량 소자(C43)의 제 1 단자의 결절점을 노드(N43)라고 한다.

[0078] 다음에, 도 5를 참조하여 전압 유지 회로(11b)의 동작에 대하여 설명한다. 또한, 이하에서는 트랜지스터(M41) 및 트랜지스터(M42)가 n채널형 트랜지스터인 것으로 하여 설명한다.

[0079] 도 5는 전압 유지 회로(11b)의 동작을 설명하기 위한 타이밍 차트이다. 도 5는 위에서 차례로 단자(IN4), 단자(CG1), 단자(CG2), 노드(N41), 노드(N42), 및 노드(N43)에서의 전위를 각각 나타내고 있다. 또한, 타이밍 차트는 기간(P0 내지 P6)으로 표기되는 기간으로 분할되어 있다.

[0080] 기간(P0)에 있어서, 각 단자 및 노드에는 GND가 인가되는 것으로 한다.

[0081] 다음에, 기간(P1)에 있어서 단자(IN4)에 전위(V_{BG})가 인가된다. V_{BG} 는 음전위이다. 이때, 트랜지스터(M41)에 조금 드레인 전류가 흐르고, 노드(N43) 및 노드(N42)의 전위가 서서히 저하된다. 또한, 노드(N41)의 전위도 조금 저하된다.

[0082] 다음에, 기간(P2)에 있어서 단자(CG1)에 전위(V_{CG})가 인가된다. V_{CG} 는 H레벨인 것이 바람직하다. 이때 용량 소자(C41)에 의한 용량 결합에 의하여 노드(N41)의 전위가 상승되어, 트랜지스터(M41)는 온 상태가 된다. 그 결과, 노드(N43) 및 노드(N42)의 전위가 전위(V_{BG})까지 저하된다. 트랜지스터(M42)는 계속 오프 상태이기 때문에 노드(N41)의 전위는 고전위를 유지한다.

[0083] 다음에, 기간(P3)에 있어서 단자(CG2)에 전위(V_{CG})의 펄스 신호가 인가된다. 입력된 펄스 신호는 미분 신호로서 노드(N42)에 전달된다. 노드(N42)에 양의 미분 신호가 인가되었을 때 트랜지스터(M42)가 온 상태가 되고, 노드(N41)의 전위가 저하된다.

[0084] 다음에, 기간(P4)에 있어서 기간(P3)의 펄스 신호를 다시 인가함으로써 노드(N41)의 전위를 더 저하시킬 수 있다.

[0085] 다음에, 기간(P5)에 있어서 단자(CG1)의 전위를 GND로 저하시킨다. 이때 노드(N41)의 전위는 전위(V_{N41})까지 저하된다. V_{N41} 은 V_{BG} 보다 낮은 전위인 것이 바람직하다. 노드(N41)의 전위가 저하됨으로써 트랜지스터(M41)는 오프 상태가 된다.

[0086] 다음에, 기간(P6)에 있어서 단자(IN4)에 GND를 인가한다. 트랜지스터(M41)는 오프 상태를 유지하기 때문에 노드(N43)에 인가된 음전위(V_{BG})가 유지된다.

- [0087] 전압 유지 회로(11b)는 도 38에서 설명한 것과 같은 전압 유지 회로에 사용되는 트랜지스터의 V_{th} 의 영향을 받지 않는다. 따라서, 전압 유지 회로(11b)는 트랜지스터(M0)의 제 2 게이트에 효과적으로 음전위를 인가하고, 그 음전위를 유지할 수 있다.
- [0088] 전압 유지 회로(11b)에서 단자(CG2)에 펠스 신호를 인가함으로써 노드(N41)의 전위를 저하시킬 수 있다. 도 5에서는 단자(CG2)에 인가하는 펠스 신호의 수를 2개로 하였지만(기간(P3), 기간(P4)), 펠스 신호의 수는 이에 한정되지 않고, 더 많은 펠스 신호를 단자(CG2)에 인가하여도 좋다. 펠스 신호의 수를 늘림으로써 노드(N41)의 전위를 더 저하시킬 수 있다.
- [0089] 전압 유지 회로(11b)에서는 최종적으로 노드(N41)의 전위를 노드(N43)보다 낮게 할 수 있고, 트랜지스터(M41)의 V_G 를 0V 미만으로 할 수 있다. 그 결과, 트랜지스터(M41)의 컷 오프 전류를 작게 할 수 있고, 전압 유지 회로(11b)는 트랜지스터(M0)의 제 2 게이트에 인가된 음전위를 오랫동안 유지할 수 있다.
- [0090] 상술한 동작을 정확하게 행하기 위해서는, 전압 유지 회로(11b)에서 용량 소자(C43)의 용량값이 용량 소자(C42)의 용량값보다 큰 것이 바람직하다. 용량 소자(C43)의 용량값은 용량 소자(C42)의 용량값에 대하여 5배 이상 20배 이하인 것이 바람직하고, 5배 이상 15배 이하인 것이 더 바람직하다.
- [0091] 상술한 동작을 정확하게 행하기 위해서는, 전압 유지 회로(11b)에서 용량 소자(C41)의 용량값이 트랜지스터(M41)의 게이트 용량값보다 큰 것이 바람직하다. 용량 소자(C41)의 용량값은 트랜지스터(M41)의 게이트 용량값에 대하여 5배 이상 20배 이하인 것이 바람직하고, 5배 이상 15배 이하인 것이 더 바람직하다.
- [0092] 상술한 동작을 정확하게 행하기 위해서는, 전압 유지 회로(11b)에서 용량 소자(C42)의 용량값과 저항 소자(R)의 저항값의 곱(시간 상수 τ)이 10^{-6} 초 이상인 것이 바람직하다.
- [0093] 트랜지스터(M41)는 제 1 게이트 및 제 2 게이트를 가져도 좋다. 마찬가지로, 트랜지스터(M42)는 제 1 게이트 및 제 2 게이트를 가져도 좋다. 그 경우의 회로도를 도 4의 (B)에 도시하였다. 도 4의 (B)에 도시된 바와 같이 트랜지스터(M41)의 제 2 게이트는 트랜지스터(M41)의 제 1 게이트에 전기적으로 접속되는 것이 바람직하다. 또한, 트랜지스터(M42)의 제 2 게이트는 트랜지스터(M42)의 제 1 단자에 전기적으로 접속되는 것이 바람직하다.
- [0094] 트랜지스터(M41)에서, 제 1 게이트와 제 2 게이트는 반도체층을 개재하여 서로 중첩되는 영역을 가지는 것이 바람직하다. 마찬가지로, 트랜지스터(M42)에서, 제 1 게이트와 제 2 게이트는 반도체층을 개재하여 서로 중첩되는 영역을 가지는 것이 바람직하다.
- [0095] 트랜지스터(M41) 및 트랜지스터(M42)가 제 2 게이트를 가지면, 각 트랜지스터의 V_{th} 가 안정화될 수 있으므로 바람직하다.
- [0096] 트랜지스터(M41)의 채널 길이는 트랜지스터(M0)의 채널 길이보다 긴 것이 바람직하다. 예를 들어, 트랜지스터(M0)의 채널 길이를 $1\mu m$ 미만으로 한 경우, 트랜지스터(M41)의 채널 길이는 $1\mu m$ 이상, 더 바람직하게는 $3\mu m$ 이상, 더욱 바람직하게는 $5\mu m$ 이상, 더더욱 바람직하게는 $10\mu m$ 이상으로 한다.
- [0097] 트랜지스터(M41)의 채널 길이를 길게 함으로써, 트랜지스터(M41)가 단채널 효과의 영향을 받지 않게 되어, 컷 오프 전류를 낮게 억제할 수 있다. 또한, 트랜지스터(M41)의 소스와 드레인 간의 내압을 높게 할 수 있다. 트랜지스터(M41)의 소스와 드레인 간의 내압이 높으면, 고전압을 생성하는 전압 생성 회로(12)와 트랜지스터(M0)의 접속을 용이하게 할 수 있으므로 바람직하다.
- [0098] 예를 들어, 메모리 셀과 같이 높은 접적도가 요구되는 회로에 트랜지스터(M0)를 사용하는 경우, 트랜지스터(M0)의 채널 길이를 짧게 하는 것이 바람직하다. 한편, 트랜지스터(M41)는 메모리 셀 외부에 제작될 수 있기 때문에 채널 길이가 길어도 문제가 되지 않는다. 또한, 트랜지스터의 채널 길이를 길게 하면 트랜지스터의 온 전류가 저하되지만, 트랜지스터(M41)는 주로 오프 상태로 사용되는 일이 많기 때문에, 높은 온 전류가 요구되지 않는다.
- [0099] 다음에, 트랜지스터(M41)로서는 OS 트랜지스터나 채널 형성 영역에 와이드 밴드 캡 반도체를 사용한 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터나 와이드 밴드 캡 반도체를 사용한 트랜지스터는 컷 오프 전류가 작고, 소스와 드레인 간의 내압이 높다. 또한, 본 명세서에 있어서 와이드 밴드 캡 반도체란, 밴드 캡이 2.2eV 이상인 반도체이다. 예를 들어, 탄소화 실리콘, 질화 갈륨, 다이아몬드 등을 들 수 있다.
- [0100] 또한, OS 트랜지스터나 와이드 밴드 캡 반도체 트랜지스터는, 고온 환경에 있어서도 작은 컷 오프 전류를 유지

하기 때문에, 이들 트랜지스터를 트랜지스터(M41)로서 사용하면 회로(10)를 고온 환경하에서 동작시킬 수 있다.

[0101] 트랜지스터(M42)는 트랜지스터(M41)와는 다른 반도체 재료로 형성하여도 좋고, 트랜지스터(M41)와 동일한 반도체 재료로 형성하여도 좋다. 특히, 트랜지스터(M42)와 트랜지스터(M41)를 동일한 반도체 재료로 형성하면, 제작 공정을 단순화할 수 있으므로 바람직하다.

[0102] <전압 생성 회로(12)>

[0103] 다음에, 전압 생성 회로(12)의 자세한 사항에 대하여 도 6 및 도 7을 참조하여 설명한다.

[0104] 도 6 및 도 7에 도시된 회로도는 전압 생성 회로(12)의 예를 나타내고 있다. 이들 회로는 강압형 차지 펌프이며, 입력 단자(IN)에 GND가 입력되고, 출력 단자(OUT)로부터 음전위인 V_{BG} 가 출력된다. 여기서는 일례로서 차지 펌프 회로의 단수를 4단으로 하였지만, 이에 한정되지 않고 임의의 단수로 차지 펌프 회로를 구성하여도 좋다.

[0105] [전압 생성 회로(12a)]

[0106] 도 6의 (A)에 도시된 바와 같이, 전압 생성 회로(12a)는 트랜지스터(M21 내지 M24) 및 용량 소자(C21 내지 C24)를 가진다. 이하에서는 트랜지스터(M21 내지 M24)가 n채널형 트랜지스터인 것으로 하여 설명한다.

[0107] 트랜지스터(M21 내지 M24)는 입력 단자(IN)와 출력 단자(OUT) 사이에 직렬로 접속되어 있고, 각각의 게이트와 제 1 단자가 다이오드로서 기능하도록 접속되어 있다. 트랜지스터(M21 내지 M24)의 게이트에는 각각 용량 소자(C21 내지 C24)가 접속되어 있다.

[0108] 홀수 단의 용량 소자(C21, C23)의 제 1 단자에는 신호(CLK)가 입력되고, 짝수 단의 용량 소자(C22, C24)의 제 1 단자에는 신호(CLKB)가 입력된다. 신호(CLKB)는 신호(CLK)의 위상을 반전시킨 반전 클럭 신호이다.

[0109] 전압 생성 회로(12a)는 입력 단자(IN)에 입력된 GND를 강압하여 V_{BG} 를 생성하는 기능을 가진다. 전압 생성 회로(12a)는 신호(CLK, CLKB)의 공급만으로 음전위를 생성할 수 있다.

[0110] 상술한 트랜지스터(M21 내지 M24)는 OS 트랜지스터로 형성하여도 좋다. OS 트랜지스터를 사용함으로써, 다이오드 접속된 트랜지스터(M21 내지 M24)의 역방향 전류를 저감할 수 있으므로 바람직하다.

[0111] [전압 생성 회로(12b)]

[0112] 전압 생성 회로(12)는 p채널형 트랜지스터로 구성하여도 좋다. 도 6의 (B)에 도시된 전압 생성 회로(12b)는 p 채널형 트랜지스터인 트랜지스터(M31 내지 M34)로 구성되어 있다.

[0113] 전압 생성 회로(12)는 제 1 게이트 및 제 2 게이트를 가지는 트랜지스터로 구성하여도 좋다. 그 경우의 회로도를 도 7의 (A) 내지 (C)에 도시하였다.

[0114] [전압 생성 회로(12c)]

[0115] 도 7의 (A)에 도시된 바와 같이, 전압 생성 회로(12c)는 트랜지스터(M25 내지 M28) 및 용량 소자(C25 내지 C28)를 가진다. 이하에서는 트랜지스터(M25 내지 M28)가 n채널형 트랜지스터인 것으로 하여 설명한다.

[0116] 트랜지스터(M25 내지 M28)는 각각 제 1 게이트 및 제 2 게이트를 가진다. 각 트랜지스터에서, 제 1 게이트와 제 2 게이트는 반도체층을 개재하여 서로 중첩되는 영역을 가지는 것이 바람직하다.

[0117] 트랜지스터(M25 내지 M28)는 입력 단자(IN)와 출력 단자(OUT) 사이에 직렬로 접속되어 있고, 각각의 제 1 게이트와 제 1 단자가 다이오드로서 기능하도록 접속되어 있다. 트랜지스터(M25 내지 M28)의 제 1 게이트에는 각각 용량 소자(C25 내지 C28)가 접속되어 있다.

[0118] 홀수 단의 용량 소자(C25, C27)의 제 1 단자에는 신호(CLK)가 입력되고, 짝수 단의 용량 소자(C26, C28)의 제 1 단자에는 신호(CLKB)가 입력된다. 신호(CLKB)는 신호(CLK)의 위상을 반전시킨 반전 클럭 신호이다.

[0119] 전압 생성 회로(12c)는 입력 단자(IN)에 입력된 GND를 강압하여 V_{BG} 를 생성하는 기능을 가진다. 전압 생성 회로(12c)는 신호(CLK, CLKB)의 공급만으로 음전위를 생성할 수 있다.

[0120] 전압 생성 회로(12c)에서는 트랜지스터(M25 내지 M28)에 제 2 게이트가 제공되어 있고, 거기에 전압을 인가함으로써 트랜지스터(M25 내지 M28)의 V_{th} 를 각각 제어한다. 전압 생성 회로(12c)에서 트랜지스터(M25 내지 M28)의 제 2 게이트는 입력 단자(IN)에 접속되어 있다.

- [0121] 트랜지스터(M25 내지 M28)의 제 2 게이트는 전압 생성 회로(12c)에서 전압이 가장 높아지는 입력 단자(IN)에 접속되어 있다. 즉, 트랜지스터(M25 내지 M28)의 제 2 게이트에는 소스보다 높은 전압이 인가된다. 따라서, 제 2 게이트에 전압을 인가하지 않는 경우보다 트랜지스터(M25 내지 M28)의 V_{th} 를 낮출 수 있기 때문에, 트랜지스터(M25 내지 M28)의 전류 구동 특성이 향상된다. 그 결과, 전압 생성 회로(12c)는 적은 단수로 전압을 강압할 수 있으므로, 단수를 삭감할 수 있다. 전압 생성 회로(12c)의 크기를 작게 할 수 있기 때문에 소비전력을 삭감할 수 있다.
- [0122] [전압 생성 회로(12d)]
- [0123] 도 7의 (B)의 전압 생성 회로(12d)에서 트랜지스터(M25 내지 M28)의 제 2 게이트는 각 트랜지스터의 제 1 게이트에 접속되어 있다. 그 외의 구성은 전압 생성 회로(12c)와 마찬가지이다.
- [0124] 전압 생성 회로(12d)에서 트랜지스터(M25 내지 M28)는 제 1 게이트와 제 2 게이트에 같은 전압이 인가되기 때문에, 제 2 게이트에 전압을 인가하지 않는 경우보다 온 전류가 향상된다. 그 결과, 전압 생성 회로(12d)는 적은 단수로 전압을 강압할 수 있으므로, 단수를 삭감할 수 있다. 전압 생성 회로(12d)의 크기를 작게 할 수 있다.
- [0125] [전압 생성 회로(12e)]
- [0126] 도 7의 (C)의 전압 생성 회로(12e)에서 트랜지스터(M25 내지 M28)의 제 2 게이트는 각각 출력 단자(OUT)에 접속되어 있다. 그 외의 구성은 전압 생성 회로(12c)와 마찬가지이다.
- [0127] 전압 생성 회로(12e)는 전압 생성 회로(12c, 12d)보다 트랜지스터(M25 내지 M28)의 누설 전류의 저감을 중요시한 구성이다. 트랜지스터(M25 내지 M28)의 제 2 게이트는 전압 생성 회로(12e)에서 전압이 가장 낮아지는 출력 단자(OUT)에 접속되어 있다. 트랜지스터(M25 내지 M28)의 제 2 게이트에는 소스보다 낮은 전압이 인가되기 때문에, 전압 생성 회로(12c, 12d)보다 트랜지스터(M25 내지 M28)의 V_{th} 를 더 높게 할 수 있다. 그러므로, 다이오드 접속된 트랜지스터(M25 내지 M28)의 역방향 전류를 저감할 수 있어, 용량 소자(C25 내지 C28)로부터의 전하의 누설이 억제된다. 이에 의하여, 용량 소자(C25 내지 C28)의 용량값을 낮출 수 있기 때문에 전압 생성 회로(12e)의 크기를 작게 할 수 있다.
- [0128] 상술한 트랜지스터(M25 내지 M28)는 OS 트랜지스터로 형성하여도 좋다. OS 트랜지스터를 사용함으로써, 다이오드 접속된 트랜지스터(M25 내지 M28)의 역방향 전류를 저감할 수 있으므로 바람직하다.
- [0129] 이상, 회로(10)를 상술한 구성으로 함으로써 장기간에 걸친 데이터 유지가 가능한 반도체 장치를 제공할 수 있다. 또한, 소비전력을 억제할 수 있는 반도체 장치를 제공할 수 있다.
- [0130] (실시형태 2)
- [0131] 본 실시형태에서는 실시형태 1에 기재된 회로(10)의 적용예에 대하여 도 8 내지 도 20을 참조하여 설명한다.
- [0132] <<비휘발성 메모리>>
- [0133] 먼저, 회로(10)를 비휘발성 메모리에 적용한 예에 대하여 설명한다.
- [0134] [메모리 셀(100)]
- [0135] 도 8의 (A)에 도시된 메모리 셀(100)은 트랜지스터(M0), 트랜지스터(M1), 트랜지스터(M2), 용량 소자(C1)를 가진다.
- [0136] 또한, 메모리 셀(100)은 배선(BL), 배선(SL), 배선(WWL), 배선(RWL), 배선(WCL), 및 배선(BG)에 전기적으로 접속되어 있다.
- [0137] 트랜지스터(M0)의 소스 및 드레인 중 한쪽은 트랜지스터(M1)의 게이트 및 용량 소자(C1)의 제 1 단자에 전기적으로 접속되어 있고, 이들의 결절점을 노드(FN)라고 한다. 트랜지스터(M1)의 소스 및 드레인 중 한쪽은 배선(SL)에 전기적으로 접속되고, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽은 트랜지스터(M2)를 통하여 배선(BL)에 전기적으로 접속되어 있다. 트랜지스터(M2)의 게이트는 배선(RWL)에 전기적으로 접속되어 있다.
- [0138] 트랜지스터(M0)의 소스 및 드레인 중 다른 쪽은 배선(BL)에 전기적으로 접속되어 있다. 트랜지스터(M0)의 제 1 게이트는 배선(WWL)에 전기적으로 접속되고, 트랜지스터(M0)의 제 2 게이트는 배선(BG)에 전기적으로 접속되어 있다.

- [0139] 용량 소자(C1)의 제 2 단자는 배선(WCL)에 전기적으로 접속되어 있다.
- [0140] 트랜지스터(M0)는 도통 상태와 비도통 상태의 전환에 의하여 노드(FN)에 대한 데이터의 기록을 제어하는 스위치로서의 기능을 가진다.
- [0141] 또한, 트랜지스터(M0)로서 첫 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(M0)로서 OS 트랜지스터나 채널 형성 영역에 와이드 밴드 캡 반도체를 사용한 트랜지스터를 사용하는 것이 바람직하다.
- [0142] 노드(FN)는 트랜지스터(M0)를 오프로 함으로써 1비트(2치(值))의 데이터를 유지하는 기능을 가진다. 노드(FN)는 1비트에 한하지 않고, K비트(2^k 치, K는 2 이상의 자연수)의 데이터를 유지하는 것도 가능하다.
- [0143] 또한, 이하에서는 노드(FN)가 1비트의 데이터를 유지하는 경우에 대하여 설명한다.
- [0144] 이하에서 메모리 셀(100)의 기록 동작과 판독 동작에 대하여 도 9를 참조하여 설명한다. 또한, 트랜지스터(M0)가 n채널형 트랜지스터이고, 트랜지스터(M1, M2)가 p채널형 트랜지스터인 것으로 하여 설명한다.
- [0145] 도 9는 메모리 셀(100)의 동작예를 나타낸 타이밍 차트이다. 위에서 차례로 배선(WWL), 배선(RWL), 배선(WCL), 배선(BL), 배선(SL), 노드(FN), 배선(BG)에 인가되는 전위를 각각 나타내고 있다. 또한, 도 9의 타이밍 차트는 기간(P1 내지 P5)으로 분할될 수 있다.
- [0146] 기간(P1, P3, P5)은 메모리 셀(100)의 대기 기간을 나타낸다. 기간(P2)은 메모리 셀(100)의 기록 기간을 나타낸다. 기간(P4)은 메모리 셀(100)의 판독 기간을 나타낸다.
- [0147] 또한, 기간(P1 내지 P5)에 있어서 배선(WCL)에는 항상 전위(GND)가 인가된다. 전위(GND)는 저전원 전위 또는 접지 전위인 것이 바람직하다.
- [0148] 또한, 기간(P1 내지 P5)에 있어서 배선(SL)에는 항상 전위(V_3)가 인가되고, 배선(BG)에는 항상 전위(V_{BG})가 인가된다. 전위(V_{BG})는 음전위인 것이 바람직하다. 전위(V_{BG})로서 음전위를 인가함으로써 트랜지스터(M0)를 노멀리 오프로 할 수 있게 된다.
- [0149] 이하에서 각 기간에서의 동작에 대하여 순차적으로 설명한다.
- [0150] 먼저, 기간(P1)에 있어서 배선(WWL, BL)에 전위(GND)가 인가되고, 배선(RWL)에 전위(V_2)가 인가된다. 이때, 트랜지스터(M2)는 오프가 되어, 배선(BL)과 배선(SL) 간에 전류는 흐르지 않는다. 트랜지스터(M2)를 오프로 하기 위해서는, 전위(V_2)와 전위(V_3) 간의 차(V_2-V_3)가 트랜지스터(M2)의 문턱 전압보다 큰 것이 바람직하다.
- [0151] 다음에, 기간(P2)에 있어서 배선(WWL)에 전위(V_1)를 인가하고, 배선(BL)에 전위(V_2)(데이터 '1') 또는 전위(GND)(데이터 '0')를 인가한다. 전위(V_1)는 전위(V_2)에 트랜지스터(M0)의 문턱 전압을 더한 값보다 큰 것이 바람직하다. 이때 트랜지스터(M0)는 온이 되고, 배선(BL)에 인가된 데이터가 노드(FN)에 기록된다.
- [0152] 다음에, 기간(P3)에 있어서 배선(WWL) 및 배선(BL)에 전위(GND)를 인가한다. 이때, 트랜지스터(M0)는 오프가 되고, 노드(FN)에 기록된 데이터가 유지된다.
- [0153] 다음에, 기간(P4)에 있어서 배선(BL)을 전기적으로 부유 상태로 하고, 배선(RWL)에 전위(GND)를 인가한다. 이때, 트랜지스터(M2)가 온이 된다.
- [0154] 만약에 노드(FN)에 '1'이 기록되어 있는 경우, 트랜지스터(M1)는 오프이기 때문에 배선(SL)과 배선(BL) 간에 전류가 흐르지 않고, 배선(BL)은 전위(GND)를 유지한다. 또한, 트랜지스터(M1)를 오프로 하기 위해서는, 전위(V_2)와 전위(V_3) 간의 차(V_2-V_3)가 트랜지스터(M1)의 문턱 전압보다 큰 것이 바람직하다.
- [0155] 만약에 노드(FN)에 '0'이 기록되어 있는 경우, 트랜지스터(M1)는 온이기 때문에 배선(SL)과 배선(BL)이 도통 상태가 되고, 배선(BL)은 전위(V_3)가 될 때까지(배선(BL)과 배선(SL)이 등전위가 될 때까지) 충전된다. 또한, 트랜지스터(M1)를 온으로 하기 위해서는, 전위(GND)와 전위(V_3) 간의 차(- V_3)가 트랜지스터(M1)의 문턱 전압보다 작은 것이 바람직하다. 또한, 트랜지스터(M2)를 온으로 하기 위해서는, 전위(GND)와 전위(V_3) 간의 차(- V_3)가 트랜지스터(M2)의 문턱 전압보다 작은 것이 바람직하다.
- [0156] 기간(P4)에 있어서 배선(BL)의 전위를 판독함으로써, 노드(FN)에 기록된 데이터를 판정할 수 있게 된다.

- [0157] 다음에, 기간(P5)에 있어서 배선(RWL)에 전위(V₂)를 인가하고, 배선(BL)에 전위(GND)를 인가하여, 노드(FN)의 데이터를 유지한다.
- [0158] 이상, 기간(P1 내지 P5)에 나타낸 동작에 의하여, 메모리 셀(100)의 데이터의 판독과 기록이 가능해진다.
- [0159] 또한, 도 8의 (A)의 메모리 셀(100)에서 트랜지스터(M2) 및 배선(WCL)을 생략하고, 용량 소자(C1)의 제 2 단자를 배선(RWL)에 접속하여도 좋다. 그 경우의 회로도를 도 8의 (B)에 도시하였다. 도 8의 (B)의 메모리 셀(101)은 도 8의 (A)의 메모리 셀(100)에 비하여 트랜지스터의 수가 적기 때문에 회로의 점유 면적을 작게 할 수 있다. 그 결과, 메모리 셀의 접속도를 높일 수 있다.
- [0160] 메모리 셀(100) 및 메모리 셀(101)은 플래시 메모리와 달리 기록 횟수에 제한이 없다. 또한, 기록 및 판독 시의 전력도 적다. 그러므로, 메모리 셀(100)을 비휘발성 메모리에 사용함으로써, 신뢰성이 우수하고 소비전력이 적은 기억 장치를 제공할 수 있다.
- [0161] [기억 장치(110)]
- [0162] 도 10에 도시된 기억 장치(110)는 복수의 메모리 셀(100)이 제공된 메모리 셀 어레이(120), 행 선택 드라이버(112), 열 선택 드라이버(111), 판독 회로(121), 및 회로(10)를 가진다. 또한 기억 장치(110)는 m 행(m 은 2 이상의 자연수) n 열(n 은 2 이상의 자연수)의 매트릭스 형태로 제공된 메모리 셀(100)을 가진다.
- [0163] 도 10에는 ($m-1$)행째 메모리 셀(100)에 접속된 배선(WWL[m-1]) 및 배선(RWL[m-1])과, m 행째 메모리 셀(100)에 접속된 배선(WWL[m]) 및 배선(RWL[m])과, ($m-1$)행째 메모리 셀(100) 및 m 행째 메모리 셀(100)에 접속된 배선(WCL)과, ($m-1$)행째 메모리 셀(100) 및 m 행째 메모리 셀(100)에 접속된 배선(BG)을 도시하였다.
- [0164] 또한, 도 10에는 ($n-1$)열째 메모리 셀(100)에 접속된 배선(BL[n-1])과, n 열째 메모리 셀(100)에 접속된 배선(BL[n])과, ($n-1$)열째 메모리 셀(100) 및 n 열째 메모리 셀(100)에 접속된 배선(SL)을 도시하였다.
- [0165] 또한 도 10에 도시된 메모리 셀 어레이(120)는, 인접한 메모리 셀들이 배선(SL, WCL, BG)을 공유하는 구조이다. 이 구조를 채용함으로써 각 배선의 점유 면적의 축소를 도모할 수 있다. 그러므로, 이 구조를 채용한 기억 장치에서는 단위 면적당 기억 용량의 향상을 도모할 수 있다.
- [0166] 또한, 도 10에서 메모리 셀(100) 대신에 도 8의 (B)의 메모리 셀(101)을 사용하여도 좋다. 그 경우, 배선(WCL)을 생략할 수 있다.
- [0167] 행 선택 드라이버(112)는 메모리 셀(100)의 각 행에서의 트랜지스터(M0, M2)를 선택적으로 도통 상태로 하는 기능을 구비한 회로이다. 행 선택 드라이버(112)를 구비함으로써, 기억 장치(110)는 메모리 셀(100)에 대한 데이터의 기록 및 판독을 행마다 선택적으로 행할 수 있다.
- [0168] 열 선택 드라이버(111)는 메모리 셀(100)의 각 열에서의 노드(FN)에 선택적으로 데이터를 기록하는 기능, 배선(BL)의 전위를 초기화하는 기능, 배선(BL)을 전기적으로 부유 상태로 하는 기능을 구비한 회로이다. 구체적으로는, 데이터에 대응하는 전위를 배선(BL)에 인가하는 회로이다. 열 선택 드라이버(111)를 구비함으로써, 기억 장치(110)는 메모리 셀(100)에 대한 데이터의 기록 및 판독을 열마다 선택적으로 행할 수 있다.
- [0169] 판독 회로(121)는 메모리 셀(100)에 유지된 데이터를 배선(BL)으로부터 판독하여, 디지털 데이터로서 외부에 출력하는 기능을 구비한 회로이다.
- [0170] 배선(BG)에는 실시형태 1에 기재된 회로(10)가 접속되어 있다. 회로(10)는 배선(BG)에 접속된 각 메모리 셀이 가지는 트랜지스터(M0)의 제 2 게이트의 전위를 제어하는 기능을 가진다.
- [0171] 회로(10)는 메모리 셀(100)이 가지는 트랜지스터(M0)의 제 2 게이트에 음전위를 인가하고, 그 음전위를 계속 유지할 수 있다. 기억 장치(110)에 회로(10)를 제공함으로써, 트랜지스터(M0)의 컷 오프 전류를 낮출 수 있어, 데이터의 유지 특성을 향상시킬 수 있다.
- [0172] [행 선택 드라이버(112)]
- [0173] 도 11은 도 10에서 설명한 행 선택 드라이버(112)의 구성예를 도시한 블록도이다.
- [0174] 도 11에 도시된 행 선택 드라이버(112)는 디코더(113) 및 판독 기록 제어 회로(114)를 가진다. 판독 기록 제어 회로(114)는 배선(WWL) 및 배선(RWL)에 접속된다.
- [0175] 디코더(113)는 어느 행을 선택하기 위한 신호를 출력하는 회로이다. 구체적으로는, 어드레스 신호(Address)를

입력받고, 상기 어드레스 신호(Address)에 따라 어느 행의 판독 기록 제어 회로(114)를 선택하는 회로이다. 디코더(113)를 구비함으로써 행 선택 드라이버(112)는, 임의의 행을 선택하여 데이터의 기록 또는 판독을 행할 수 있다.

[0176] 판독 기록 제어 회로(114)는 디코더(113)에 의하여 선택된 행의 기록 신호를 출력하는 기능 및 판독 신호를 선택적으로 출력하는 기능을 구비한 회로이다. 구체적으로, 판독 기록 제어 회로(114)는 기록 제어 신호(Write_CONT) 또는 판독 제어 신호(Read_CONT)를 입력받고, 상기 신호에 따라 기록 신호 또는 판독 신호를 선택적으로 출력하는 회로이다. 판독 기록 제어 회로(114)를 구비함으로써 행 선택 드라이버(112)는 디코더(113)에 의하여 선택된 행의 기록 신호 또는 판독 신호를 선택하여 출력할 수 있다.

[0177] [열 선택 드라이버(111)]

[0178] 도 12는 도 10에서 설명한 열 선택 드라이버(111)의 구성예를 도시한 블록도이다.

[0179] 도 12에 도시된 열 선택 드라이버(111)는 디코더(115), 래치 회로(116), 스위치 회로(118), 및 트랜지스터(119)를 가진다. 상술한 각 회로 및 트랜지스터는 열마다 제공된다. 또한, 각 열의 스위치 회로(118) 및 트랜지스터(119)는 배선(BL)에 접속된다.

[0180] 디코더(115)는 배선(BL)이 제공된 열을 선택하고, 입력되는 데이터를 분류하여 출력하는 기능을 구비한 회로이다. 구체적으로는, 어드레스 신호(Address) 및 데이터(Data)를 입력받고, 상기 어드레스 신호(Address)에 따라 어느 열의 래치 회로(116)에 데이터(Data)를 출력하는 회로이다. 디코더(115)를 구비함으로써 열 선택 드라이버(111)는, 임의의 열을 선택하여 데이터의 기록을 행할 수 있다.

[0181] 래치 회로(116)는 입력되는 데이터(Data)를 일시적으로 기억하는 기능을 구비한 회로이다. 구체적으로는, 래치 신호(W_LAT)를 입력받고, 상기 래치 신호(W_LAT)에 따라 스위치 회로(118)에 데이터(Data)를 출력하는 플립플롭 회로이다. 래치 회로(116)를 구비함으로써 열 선택 드라이버(111)는, 임의의 타이밍에서 데이터의 기록을 행할 수 있다.

[0182] 스위치 회로(118)는 입력된 데이터를 배선(BL)에 인가하는 기능, 및 배선(BL)을 전기적으로 부유 상태로 하는 기능을 구비한 회로이다. 구체적으로는, 아날로그 스위치와 인버터를 구비하며, 스위치 제어 신호(Write_SW)에 의한 제어로, 입력된 데이터를 배선(BL)에 인가한 후, 아날로그 스위치를 오프로 함으로써 배선(BL)을 전기적으로 부유 상태로 하는 회로이다. 스위치 회로(118)를 구비함으로써 열 선택 드라이버(111)는, 배선(BL)에 데이터를 인가한 후에 배선(BL)을 전기적으로 부유 상태로 유지할 수 있다.

[0183] 트랜지스터(119)는 초기화 전압(GND)을 배선(BL)에 인가하는 기능, 및 배선(BL)을 전기적으로 부유 상태로 하는 기능을 구비한 회로이다. 구체적으로는, 초기화 제어 신호(Init_EN)에 의한 제어로 초기화 전압을 배선(BL)에 인가한 후, 배선(BL)을 전기적으로 부유 상태로 하는 스위치이다. 트랜지스터(119)를 구비함으로써 열 선택 드라이버(111)는, 초기화 전압을 배선(BL)에 인가한 후에 배선(BL)을 전기적으로 부유 상태로 유지할 수 있다.

[0184] [판독 회로(121)]

[0185] 도 13은 도 10에서 설명한 판독 회로(121)의 구성예를 도시한 블록도이다.

[0186] 도 13에 도시된 판독 회로(121)는 콤퍼레이터(122), 인코더(123), 래치(124), 및 버퍼(125)를 가진다. 또한, 각 열의 버퍼(125)는 데이터(Dout)를 출력한다.

[0187] 콤퍼레이터(122)는 배선(BL)의 전위와 참조 전압(Vref)의 전위의 고저를 비교하여, 배선(BL)의 전위가 '0' 또는 '1'의 어느 쪽에 따른 전위인지를 판정하는 기능을 구비한 회로이다.

[0188] 인코더(123)는 콤퍼레이터(122)로부터 출력되는 배선(BL)의 전위를 판정하는 신호를 바탕으로 디지털 신호를 생성하는 기능을 구비한 회로이다. 구체적으로는, 콤퍼레이터(122)로부터 출력되는 H레벨 또는 L레벨의 신호를 바탕으로 부호화를 행하여, 디지털 신호를 생성하는 회로이다.

[0189] 래치(124)는 입력되는 디지털 값의 데이터를 일시적으로 기억하는 기능을 구비한 회로이다. 구체적으로는, 래치(124)는 래치 신호(LAT)를 입력받고, 상기 래치 신호(LAT)에 따라 버퍼(125)에 데이터를 출력하는 플립플롭 회로이다. 래치(124)를 구비함으로써 판독 회로(121)는, 임의의 타이밍에서 데이터의 출력을 행할 수 있다. 또한 래치(124)는 생략될 수 있다.

[0190] 버퍼(125)는 래치(124)로부터 출력된 데이터를 증폭하여 출력 신호(Dout)로서 출력하는 기능을 구비한

회로이다. 구체적으로는, 짹수 단의 인버터 회로를 구비한 회로이다. 판독 회로(121)가 버퍼(125)를 구비하면, 디지털 신호에 대한 노이즈가 저감될 수 있다. 또한 버퍼(125)는 생략될 수 있다.

[0191] <<DRAM>>

[0192] 다음에, 회로(10)를 DRAM에 사용한 예에 대하여 설명한다.

[0193] [메모리 셀(130)]

[0194] 도 14에 메모리 셀(130)의 구성예를 도시하였다. 메모리 셀(130)은 트랜지스터(M0) 및 용량 소자(C2)를 가진다. 트랜지스터(M0)의 제 1 게이트는 배선(WL)에 전기적으로 접속되고, 트랜지스터(M0)의 제 1 단자는 용량 소자(C2)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M0)의 제 2 단자는 배선(BL)에 전기적으로 접속되어 있다. 또한, 용량 소자(C2)의 제 2 단자는 배선(CL)에 전기적으로 접속되어 있다. 트랜지스터(M0)의 제 2 게이트는 배선(BG)에 전기적으로 접속되어 있다. 여기서, 트랜지스터(M0)의 제 1 단자와 용량 소자(C2)의 제 1 단자의 결절점을 노드(N1)로 한다.

[0195] 트랜지스터(M0)로서 컷 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(M0)로서 OS 트랜지스터나 채널 형성 영역에 와이드 밴드 갭 반도체를 사용한 트랜지스터를 사용하는 것이 바람직하다.

[0196] 트랜지스터(M0)의 컷 오프 전류가 작으면, 노드(N1)에 유지되고 있는 전하의 누설이 저감될 수 있다. 그러므로, 메모리 셀(130)에 기억된 데이터가 오랫동안 유지될 수 있어, 리프레시 동작의 간격을 길게 할 수 있다. 구체적으로는, 리프레시 동작의 간격을 1시간 이상으로 할 수 있다.

[0197] 메모리 셀(130)을 사용한 기억 장치에서는, 데이터의 기록 또는 판독을 행하지 않는 경우에 전원의 공급을 오랫동안 정지할 수 있으므로, 소비전력을 삭감할 수 있다.

[0198] [기억 장치(131)]

[0199] 도 15에 도시된 기억 장치(131)는 셀 어레이(132), 감지 증폭기 회로(134), 구동 회로(135), 메인 증폭기(136), 입출력 회로(137), 및 회로(10)를 가진다. 셀 어레이(132)는 복수의 메모리 셀(130)을 가진다. 각 메모리 셀(130)은 배선(WL) 및 배선(BL)과 접속되어 있다. 배선(WL)에 공급되는 전위에 따라 메모리 셀(130)이 선택되고, 메모리 셀(130)에 기록하는 데이터에 대응하는 전위(이하, 기록 전위라고도 함)가 배선(BL)에 공급됨으로써, 메모리 셀(130)에 데이터가 기록된다. 여기서는, 셀 어레이(132)가 i 행 j 열(i, j는 2 이상의 정수(整數))의 메모리 셀(130)을 가지는 경우에 대하여 설명한다. 따라서, 셀 어레이(132)에는 i개의 배선(WL)과 j개의 배선(BL)이 제공되어 있다.

[0200] 감지 증폭기 회로(134)는 복수의 배선(BL) 및 배선(GBL)과 접속되어 있다. 감지 증폭기 회로(134)는 입력된 신호를 증폭하는 기능, 및 증폭된 신호의 출력을 제어하는 기능을 가진다. 구체적으로는, 메모리 셀(130)에 기억된 데이터에 대응하는 배선(BL)의 전위(이하, 판독 전위라고도 함)를 증폭하여, 소정의 타이밍에서 배선(GBL)에 출력하는 기능을 가진다. 감지 증폭기 회로(134)에 의하여 판독 전위를 증폭함으로써, 메모리 셀(130)로부터 판독된 전위가 미약한 경우에도 데이터를 확실하게 판독할 수 있다. 또한, 배선(GBL)에 대한 증폭된 전위의 출력을 제어함으로써, 배선(GBL)을 공유할 수 있다.

[0201] 감지 증폭기(SA)는 기준이 되는 전위와, 배선(BL)에 공급되는 판독 전위 간의 전위차를 증폭하고, 증폭된 전위 차를 유지하는 기능을 가진다. 또한, 배선(GBL)에 대한 증폭된 전위의 출력을 제어하는 기능을 가진다. 여기서는, 감지 증폭기(SA)가 2개의 배선(BL)과 2개의 배선(GBL)에 접속되어 있는 예를 나타낸다.

[0202] 본 발명의 일 형태에서, 메모리 셀(130)은 감지 증폭기(SA)와는 다른 층에 형성되어 있다. 특히, 메모리 셀(130)이 감지 증폭기(SA) 위에 형성되는 것이 바람직하다. 또한, 적어도 하나 이상의 메모리 셀(130)이 감지 증폭기(SA)와 중첩되는 영역을 가지도록 배치되는 것이 바람직하다. 이로써 메모리 셀(130)과 감지 증폭기(SA)가 동일한 층에 제공되는 경우에 비하여, 기억 장치(131)의 면적을 축소할 수 있다. 따라서, 기억 장치(131)의 단위 면적당 기억 용량을 증가시킬 수 있다. 또한, 모든 메모리 셀(130)을 감지 증폭기(SA)와 중첩되도록 배치함으로써, 기억 장치(131)의 면적을 더 축소할 수 있다. 또한, 메모리 셀(130)은 하나의 감지 증폭기(SA)와 중첩되는 영역을 가지도록 배치하여도 좋고, 다른 복수의 감지 증폭기(SA)와 중첩되는 영역을 가지도록 배치하여도 좋다.

[0203] 또한, 메모리 셀(130)과 감지 증폭기(SA)를 적층함으로써, 메모리 셀(130)과 감지 증폭기(SA)를 접속하는 배선(BL)의 길이를 짧게 할 수 있다. 따라서, 배선(BL)의 배선 저항을 작게 억제할 수 있어, 기억 장치(131)의 소

비전력의 저감 및 동작 속도의 향상을 도모할 수 있다. 또한, 메모리 셀(130)에 제공되는 용량 소자의 면적을 작게 할 수 있어, 메모리 셀(130)의 축소를 도모할 수 있다.

[0204] 메인 증폭기(136)는 감지 증폭기 회로(134) 및 입출력 회로(137)와 접속되어 있다. 메인 증폭기(136)는 입력받은 신호를 증폭하는 기능을 가진다. 구체적으로는, 배선(GBL)의 전위를 증폭하여 입출력 회로(137)에 출력하는 기능을 가진다. 또한, 메인 증폭기(136)는 생략될 수도 있다.

[0205] 입출력 회로(137)는 배선(GBL)의 전위 또는 메인 증폭기(136)로부터 출력된 전위를 판독 데이터로서 외부에 출력하는 기능을 가진다.

[0206] 구동 회로(135)는 배선(WL)을 통하여 메모리 셀(130)과 접속되어 있다. 구동 회로(135)는 데이터의 기록을 행하는 메모리 셀(130)을 선택하기 위한 신호(이하, 기록 워드 신호라고도 함)를 소정의 배선(WL)에 공급하는 기능을 가진다. 구동 회로(135)는 디코더 등으로 구성될 수 있다.

[0207] 기억 장치(131)는 감지 증폭기(SA) 및 배선(CSEL)을 사용하여, 외부에 출력하는 신호를 선택할 수 있다. 그러므로, 입출력 회로(137)에는 멀티플렉서 등을 사용하여 신호를 선택하는 기능이 불필요하기 때문에, 회로 구성을 간략화하여 점유 면적을 축소할 수 있다.

[0208] 또한, 배선(GBL)의 수는 특별히 한정되지 않고, 셀 어레이(132)가 가지는 배선(BL)의 수(j개)보다 작은 임의의 수로 할 수 있다. 예를 들어, 하나의 배선(GBL)과 접속되는 배선(BL)의 수가 k개(k는 2 이상의 정수)인 경우, 배선(GBL)의 수는 j/k개가 된다.

[0209] 각 메모리 셀(130)은 배선(BG)과 접속되어 있다. 배선(BG)은 실시형태 1에 기재된 회로(10)와 접속되어 있다. 회로(10)는 배선(BG)에 접속된 각 메모리 셀이 가지는 트랜지스터(M0)의 제 2 게이트의 전위를 제어하는 기능을 가진다.

[0210] 회로(10)는 메모리 셀(130)이 가지는 트랜지스터(M0)의 제 2 게이트에 음전위를 인가하고, 그 음전위를 계속 유지할 수 있다. 기억 장치(131)에 회로(10)를 제공함으로써, 트랜지스터(M0)의 컷 오프 전류를 낮출 수 있어, 데이터의 유지 특성을 향상시킬 수 있다. 그 결과, 기억 장치(131)에서 메모리 셀(130)의 리프레시의 빈도를 적게 할 수 있어, 소비전력을 저감할 수 있다.

[감지 증폭기(SA)]

[0212] 감지 증폭기(SA)의 구체적인 구성예에 대하여 설명한다. 도 16에 메모리 셀(130), 및 메모리 셀(130)과 전기적으로 접속된 감지 증폭기(SA)의 회로 구성의 일례를 도시하였다. 메모리 셀(130)은 배선(BL)을 통하여 감지 증폭기(SA)와 접속되어 있다. 여기서는, 메모리 셀(130_1)이 배선(BL_1)을 통하여 감지 증폭기(SA)와 접속되고, 메모리 셀(130_2)이 배선(BL_2)을 통하여 감지 증폭기(SA)와 접속되어 있는 구성을 예시한다.

[0213] 또한, 도 16에는, 하나의 배선(BL)에 하나의 메모리 셀(130)이 접속되어 있는 구성을 예시하였지만, 배선(BL)에 복수의 메모리 셀(130)이 접속되어도 좋다.

[0214] 감지 증폭기(SA)는 증폭 회로(138), 스위치 회로(139), 및 프리차지 회로(140)를 가진다.

[0215] 증폭 회로(138)는 p채널형의 트랜지스터(144) 및 트랜지스터(145), 그리고 n채널형의 트랜지스터(146) 및 트랜지스터(147)를 가진다. 트랜지스터(144)의 소스 및 드레인 중 한쪽은 배선(SP)과 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(145)의 게이트, 트랜지스터(147)의 게이트, 및 배선(BL_1)과 접속되어 있다. 트랜지스터(146)의 소스 및 드레인 중 한쪽은 트랜지스터(145)의 게이트, 트랜지스터(147)의 게이트, 및 배선(BL_1)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(SN)과 접속되어 있다. 트랜지스터(145)의 소스 및 드레인 중 한쪽은 배선(SP)과 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(144)의 게이트, 트랜지스터(146)의 게이트, 및 배선(BL_2)과 접속되어 있다. 트랜지스터(147)의 소스 및 드레인 중 한쪽은 트랜지스터(144)의 게이트, 트랜지스터(146)의 게이트, 및 배선(BL_2)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(SN)과 접속되어 있다. 증폭 회로(138)는 배선(BL_1)의 전위를 증폭하는 기능, 및 배선(BL_2)의 전위를 증폭하는 기능을 가진다. 또한, 도 16에 도시된 증폭 회로(138)를 가지는 감지 증폭기(SA)는 래치형 감지 증폭기로서 기능한다.

[0216] 스위치 회로(139)는 n채널형의 트랜지스터(148) 및 트랜지스터(149)를 가진다. 트랜지스터(148) 및 트랜지스터(149)는 p채널형이어도 좋다. 트랜지스터(148)의 소스 및 드레인 중 한쪽은 배선(BL_1)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(GBL_1)과 접속되어 있다. 트랜지스터(149)의 소스 및 드레인 중 한쪽은 배선(BL_2)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(GBL_2)과 접속되어 있다. 또한, 트랜지스터(148)의 게이트 및

트랜지스터(149)의 게이트는 배선(CSEL)과 접속되어 있다. 스위치 회로(139)는 배선(CSEL)에 공급되는 전위에 따라 배선(BL_1)과 배선(GBL_1)의 도통 상태, 그리고 배선(BL_2)과 배선(GBL_2)의 도통 상태를 제어하는 기능을 가진다.

[0217] 프리차지 회로(140)는 n채널형의 트랜지스터(141), 트랜지스터(142), 및 트랜지스터(143)를 가진다. 트랜지스터(141) 내지 트랜지스터(143)는 p채널형이어도 좋다. 트랜지스터(142)의 소스 및 드레인 중 한쪽은 배선(BL_1)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(Pre)과 접속되어 있다. 트랜지스터(143)의 소스 및 드레인 중 한쪽은 배선(BL_2)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(Pre)과 접속되어 있다. 트랜지스터(141)의 소스 및 드레인 중 한쪽은 배선(BL_1)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(BL_2)과 접속되어 있다. 또한, 트랜지스터(142)의 게이트, 트랜지스터(143)의 게이트, 및 트랜지스터(141)의 게이트는 배선(PL)과 접속되어 있다. 프리차지 회로(140)는 배선(BL_1) 및 배선(BL_2)의 전위를 초기화하는 기능을 가진다.

[0218] 다음에, 데이터의 판독 시에서의 도 16에 도시된 메모리 셀(130)과 감지 증폭기(SA)의 동작의 일례에 대하여, 도 17에 나타낸 타이밍 차트를 참조하여 설명한다.

[0219] 먼저, 기간(T1)에서 프리차지 회로(140)가 가지는 트랜지스터(141) 내지 트랜지스터(143)를 온으로 하여, 배선(BL_1) 및 배선(BL_2)의 전위를 초기화한다. 구체적으로는, 배선(PL)에 하이 레벨의 전위(VH_PL)를 인가하여, 프리차지 회로(140)에서 트랜지스터(141) 내지 트랜지스터(143)를 온으로 한다. 이에 의하여 배선(BL_1) 및 배선(BL_2)에 배선(Pre)의 전위(Vpre)가 인가된다. 또한, 전위(Vpre)는 예를 들어 $(VH_{SP}+VL_{SN})/2$ 로 할 수 있다.

[0220] 또한, 기간(T1)에서는 배선(CSEL)에 로 레벨의 전위(VL_CSEL)가 인가되고, 이에 따라 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)가 오프 상태에 있다. 또한, 배선(WL_1)에 로 레벨의 전위(VL_WL)가 공급되고, 이에 따라 메모리 셀(130_1)에서 트랜지스터(M0)가 오프 상태에 있다. 마찬가지로, 도 17에는 도시하지 않았지만 배선(WL_2)에 로 레벨의 전위(VL_WL)가 인가되고, 이에 따라 메모리 셀(130_2)에서 트랜지스터(M0)가 오프 상태에 있다. 또한, 배선(SP) 및 배선(SN)에 전위(Vpre)가 인가되고, 이에 따라 증폭 회로(138)가 오프 상태에 있다.

[0221] 다음에, 배선(PL)에 로 레벨의 전위(VL_PL)를 인가하여, 프리차지 회로(140)에서 트랜지스터(141) 내지 트랜지스터(143)를 오프로 한다. 그리고, 기간(T2)에서 배선(WL_1)을 선택한다. 구체적으로, 도 17에서 배선(WL_1)에 하이 레벨의 전위(VH_WL)를 인가함으로써, 배선(WL_1)을 선택하고 메모리 셀(130_1)에서 트랜지스터(M0)를 온으로 한다. 상술한 구성에 의하여, 배선(BL_1)과 용량 소자(C2)가 트랜지스터(M0)를 통하여 도통 상태가 된다. 배선(BL_1)과 용량 소자(C2)가 도통 상태가 되면, 용량 소자(C2)에 유지되고 있는 전하량에 따라 배선(BL_1)의 전위가 변동된다.

[0222] 도 17에 나타낸 타이밍 차트는, 용량 소자(C2)에 축적된 전하량이 많은 경우를 예시하고 있다. 구체적으로, 용량 소자(C2)에 축적된 전하량이 많은 경우, 용량 소자(C2)로부터 배선(BL_1)으로 전하가 방출됨으로써 배선(BL_1)의 전위가 전위(Vpre)에서 $\Delta V1$ 만큼 상승된다. 반대로, 용량 소자(C2)에 축적된 전하량이 적은 경우에는, 배선(BL_1)으로부터 용량 소자(C2)로 전하가 유입됨으로써 배선(BL_1)의 전위가 $\Delta V2$ 만큼 하강된다.

[0223] 또한, 기간(T2)에서는 배선(CSEL)에 로 레벨의 전위(VL_CSEL)가 계속 인가되고, 이에 따라 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)는 오프 상태를 유지한다. 또한, 배선(SP) 및 배선(SN)에 전위(Vpre)가 계속 인가되고, 이에 따라 감지 증폭기(SA)는 오프 상태를 유지한다.

[0224] 다음에, 기간(T3)에서는 배선(SP)에 하이 레벨의 전위(VH_SP)를 인가하고 배선(SN)에 로 레벨의 전위(VL_SN)를 인가함으로써 증폭 회로(138)를 온으로 한다. 증폭 회로(138)는 배선(BL_1) 및 배선(BL_2)의 전위차(도 17의 경우, $\Delta V1$)를 증폭시키는 기능을 가진다. 따라서, 도 17에 나타낸 타이밍 차트의 경우, 증폭 회로(138)가 온이 됨으로써 배선(BL_1)의 전위가 전위($Vpre + \Delta V1$)에서 배선(SP)의 전위(VH_SP)에 가까워진다. 또한, 배선(BL_2)의 전위는 전위(Vpre)에서 배선(SN)의 전위(VL_SN)에 가까워진다.

[0225] 또한, 기간(T3)의 시작에서 배선(BL_1)의 전위가 전위($Vpre - \Delta V2$)인 경우에는, 증폭 회로(138)가 온이 됨으로써 배선(BL_1)의 전위는 전위($Vpre - \Delta V2$)에서 배선(SN)의 전위(VL_SN)에 가까워진다. 또한, 배선(BL_2)의 전위는 전위(Vpre)에서 배선(SP)의 전위(VH_SP)에 가까워진다.

[0226] 또한, 기간(T3)에서는 배선(PL)에 로 레벨의 전위(VL_PL)가 계속 인가되고, 이에 따라 프리차지 회로(140)에서 트랜지스터(141) 내지 트랜지스터(143)는 오프 상태를 유지한다. 또한, 배선(CSEL)에 로 레벨의 전위(VL_CSEL)가 계속 인가되고, 이에 따라 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)는 오프 상태를 유지

한다. 배선(WL_1)에 하이 레벨의 전위(VH_WL)가 계속 인가되고, 이에 따라 메모리 셀(130_1)에서 트랜지스터(M0)는 온 상태를 유지한다. 따라서, 메모리 셀(130_1)에서 배선(BL_1)의 전위(VH_SP)에 따른 전하가 용량 소자(C2)에 축적된다.

[0227] 다음에, 기간(T4)에서는 배선(CSEL)에 인가하는 전위를 제어함으로써 스위치 회로(139)를 온으로 한다. 구체적으로, 도 17에서 배선(CSEL)에 하이 레벨의 전위(VH_CSEL)를 인가하여 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)를 온으로 한다. 이에 의하여, 배선(BL_1)의 전위가 배선(GBL_1)에 공급되고, 배선(BL_2)의 전위가 배선(GBL_2)에 공급된다.

[0228] 또한, 기간(T4)에서는 배선(PL)에 로 레벨의 전위(VL_PL)가 계속 인가되고, 이에 따라 프리차지 회로(140)에서 트랜지스터(141) 내지 트랜지스터(143)는 오프 상태를 유지한다. 또한, 배선(WL_1)에 하이 레벨의 전위(VH_WL)가 계속 인가되고, 이에 따라 메모리 셀(130_1)에서 트랜지스터(M0)는 온 상태를 유지한다. 배선(SP)에는 하이 레벨의 전위(VH_SP)가 계속 인가되고, 배선(SN)에는 로 레벨의 전위(VL_SP)가 계속 인가되고, 이에 따라 증폭 회로(138)는 온 상태를 유지한다. 따라서, 메모리 셀(130_1)에서는 배선(BL_1)의 전위(VH_SP)에 따른 전하가 용량 소자(C2)에 축적된 상태이다.

[0229] 기간(T4)의 종료 후, 배선(CSEL)에 인가하는 전위를 제어함으로써 스위치 회로(139)를 오프로 한다. 구체적으로, 도 17에서는 배선(CSEL)에 로 레벨의 전위(VL_CSEL)를 인가하여, 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)를 오프로 한다.

[0230] 또한, 기간(T4)이 종료되면 배선(WL_1)의 선택이 종료된다. 구체적으로, 도 17에서 배선(WL_1)에 로 레벨의 전위(VL_WL)를 인가함으로써, 배선(WL_1)을 비선택 상태로 하여 메모리 셀(130_1)에서 트랜지스터(M0)를 오프로 한다. 상술한 동작에 의하여, 배선(BL_1)의 전위(VH_SP)에 따른 전하가 용량 소자(C2)에서 유지되기 때문에, 데이터의 판독이 행해진 후에도, 그 데이터가 메모리 셀(130_1)에서 유지된다.

[0231] 상술한 기간(T1)~기간(T4)에서의 동작에 의하여, 메모리 셀(130_1)로부터 데이터가 판독된다. 그리고, 메모리 셀(130_2)로부터 데이터의 판독도 마찬가지로 행해질 수 있다.

[0232] 또한, 메모리 셀(130)에 대한 데이터의 기록은 상술한 바와 같은 원리로 행해질 수 있다. 구체적으로는, 데이터를 판독하는 경우와 마찬가지로, 먼저 프리차지 회로(140)가 가지는 트랜지스터(141) 내지 트랜지스터(143)를 일시적으로 온으로 하여, 배선(BL_1) 및 배선(BL_2)의 전위를 초기화해 둔다. 다음에, 데이터를 기록하고자 하는 메모리 셀(130_1)과 접속된 배선(WL_1), 또는 메모리 셀(130_2)과 접속된 배선(WL_2)을 선택하여, 메모리 셀(130_1) 또는 메모리 셀(130_2)에서 트랜지스터(M0)를 온으로 한다. 상술한 동작에 의하여, 배선(BL_1) 또는 배선(BL_2)과 용량 소자(C2)가 트랜지스터(M0)를 통하여 도통 상태가 된다. 다음에, 배선(SP)에 하이 레벨의 전위(VH_SP)를 인가하고 배선(SN)에 로 레벨의 전위(VL_SN)를 인가함으로써 증폭 회로(138)를 온으로 한다. 다음에, 배선(CSEL)에 인가하는 전위를 제어함으로써 스위치 회로(139)를 온으로 한다. 구체적으로, 배선(CSEL)에 하이 레벨의 전위(VH_CSEL)를 인가하여, 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)를 온으로 한다. 상술한 구성에 의하여, 배선(BL_1)과 배선(GBL_1)이 도통 상태가 되고, 배선(BL_2)과 배선(GBL_2)이 도통 상태가 된다. 그리고, 배선(GBL_1) 및 배선(GBL_2) 각각에 기록 전위를 인가함으로써, 스위치 회로(139)를 통하여 배선(BL_1) 및 배선(BL_2)에 기록 전위가 인가된다. 상술한 동작에 의하여, 배선(BL_1) 또는 배선(BL_2)의 전위에 따라 용량 소자(C2)에 전하가 축적되어, 메모리 셀(130_1) 또는 메모리 셀(130_2)에 데이터가 기록된다.

[0233] 또한, 배선(BL_1)에 배선(GBL_1)의 전위가 인가되고, 배선(BL_2)에 배선(GBL_2)의 전위가 인가된 후에는, 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)를 오프로 하여도, 잠시 증폭기(SA)가 온 상태에 있으면 배선(BL_1)의 전위와 배선(BL_2)의 전위의 고저 관계가 증폭 회로(138)에 의하여 유지된다. 따라서, 스위치 회로(139)에서 트랜지스터(148) 및 트랜지스터(149)를 온에서 오프로 변경하는 타이밍은, 배선(WL_1)을 선택하기 전이든 후이든 상관없다.

[0234] <<SRAM>>

[0235] 다음에, 회로(10)를 SRAM(static random access memory)에 사용한 예에 대하여 설명한다.

[0236] [메모리 셀(150)]

[0237] 도 18에 도시된 메모리 셀(150)은 회로(SMC) 및 회로(BKC)를 가진다. 회로(SMC)는 표준적인 SRAM의 메모리 셀과 같은 회로 구성으로 하면 좋다. 도 18에 도시된 회로(SMC)는 인버터(INV1), 인버터(INV2), 트랜지스터(M3),

및 트랜지스터(M4)를 가진다.

[0238] 회로(BKC)는 회로(SMC)의 백업 회로로서 기능한다. 회로(BKC)는 트랜지스터(M0_1), 트랜지스터(M0_2), 용량 소자(CB1), 용량 소자(CB2)를 가진다.

[0239] 트랜지스터(M0_1, M0_2)로서 컷 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(M0_1, M0_2)로서 OS 트랜지스터나 채널 형성 영역에 와이드 밴드 갭 반도체를 사용한 트랜지스터를 사용하는 것이 바람직하다.

[0240] 회로(BKC)는 트랜지스터(M0_1) 및 용량 소자(CB1)로 이루어지는 유지 회로와, 트랜지스터(M0_2) 및 용량 소자(CB2)로 이루어지는 유지 회로를 가진다. 각 유지 회로는 각각이 가지는 노드(SN1) 및 노드(SN2)에 데이터를 유지한다. 트랜지스터(M0_1) 및 용량 소자(CB1)로 이루어지는 유지 회로는 노드(NET1)의 데이터를 백업할 수 있는 기능을 가진다. 트랜지스터(M0_2) 및 용량 소자(CB2)로 이루어지는 유지 회로는 노드(NET2)의 데이터를 백업할 수 있는 기능을 가진다.

[0241] 메모리 셀(150)에는 전원 전위(V_{DD} , V_{SS})가 공급된다. 메모리 셀(150)은 배선(WL, BL, BLB, BRL)과 전기적으로 접속되어 있다. 배선(WL)에는 신호(SLC)가 입력된다. 데이터 기록 시에는 배선(BL), 배선(BLB)에 데이터 신호(D), 데이터 신호(DB)가 입력된다. 데이터의 판독은 배선(BL)과 배선(BLB)의 전위를 검출함으로써 행해진다. 배선(BRL)에는 신호(OSS)가 입력된다.

[0242] 메모리 셀(150)의 동작에 대하여 설명한다.

[0243] [데이터의 백업]

[0244] 먼저, 신호(OSS)를 H레벨로 함으로써, 트랜지스터(M0_1, M0_2)가 온 상태가 되고, 노드(SN1) 및 노드(SN2)는 각각, 노드(NET1) 및 노드(NET2)와 같은 전위 레벨이 된다. 즉, 노드(NET1, NET2)의 데이터가 노드(SN1, SN2)에 기록된다.

[0245] 다음에, 신호(OSS)를 L레벨로 함으로써, 트랜지스터(M0_1, M0_2)가 오프 상태가 되어, 데이터 백업 동작이 종료된다. 트랜지스터(M0_1, M0_2)의 컷 오프 전류가 작기 때문에, 노드(SN1, SN2)에 기록된 전하는 유지된다.

[0246] [전원 오프]

[0247] 다음에, 메모리 셀(150)의 전원을 오프로 한다. 전원이 오프가 된 상태에서도, 회로(BKC)는 데이터를 계속 유지한다.

[0248] [데이터의 복귀]

[0249] 메모리 셀(150)의 전원을 다시 온으로 하여, 신호(OSS)를 H레벨로 함으로써, 회로(BKC)에서 유지되고 있는 데이터를 회로(SMC)에 되돌려 기록할 수 있다. 즉, 메모리 셀(150)은 전원을 정지하기 직전의 상태로 복귀할 수 있다.

[0250] 상술한 바와 같이, 메모리 셀(150)은 전원이 차단된 상태에서도 장기간에 걸친 데이터 유지가 가능하다. 그러므로, 메모리 셀(150)을 사용한 반도체 장치는, 적극적으로 전원을 오프로 함으로써 전력을 삭감할 수 있다. 예를 들어, 메모리 셀(150)을 CPU(central processing unit)의 캐시 메모리에 사용함으로써 CPU의 전력을 삭감할 수 있다.

[0251] 회로(10)는 트랜지스터(M0_1) 및 트랜지스터(M0_2) 각각이 가지는 제 2 계이트에 음전위를 인가하고, 그 음전위를 계속 유지할 수 있다. 메모리 셀(150)에 회로(10)를 제공함으로써, 트랜지스터(M0_1) 및 트랜지스터(M0_2) 각각의 컷 오프 전류를 낮출 수 있어, 데이터의 유지 특성을 향상시킬 수 있다. 그 결과, 메모리 셀(150)은 더 오랫동안 전원을 오프로 할 수 있게 되어, 더 많은 전력을 삭감할 수 있다.

[0252] <<전원 회로>>

[0253] 상술한 비휘발성 메모리, DRAM, 또는 SRAM 등을 가지는 회로에 사용되는 전원 회로에 대하여 설명한다.

[0254] 도 19는 전원 회로(160)의 회로 블록도를 도시한 것이다. 전원 회로(160)는 회로(STUP), 회로(BGR), 회로(REF), 회로(OP1), 회로(OP2), 회로(OP3), 회로(OP4), 회로(OP5), 회로(12_1), 및 회로(12_2)를 가진다.

[0255] 전원 회로(160)는 전압(V_{IN})(예를 들어, 3.3V)으로부터 각 회로에 필요한 전압을 생성하여 공급하는 기능을 가진

다.

[0256] 전압(V_{IN})과 GND는 도 19에 도시된 모든 회로에 공급된다.

[0257] 또한, 전원 회로(160)가 가지는 각 회로에는 신호(SET) 및 신호(RESET)가 입력된다. 신호(SET)는 각 회로를 기동시키는 신호이고, 신호(RESET)는 각 회로를 초기화시키는 신호이다.

[0258] 회로(STUP)는 스타트업 회로이며, 전압(V_{IN})으로부터 회로(BGR)에 공급하는 전압을 생성하는 기능을 가진다.

[0259] 회로(BGR)는 밴드캡 기준 회로이며, 전압(V_{IN})으로부터 복수의 전압을 생성하고, 회로(OP1) 내지 회로(OP3), 회로(OP5) 및 회로(REF)에 전압을 공급하는 기능을 가진다. 예를 들어, 회로(BGR)는 회로(OP1), 회로(OP2), 및 회로(OP3)에 1.0V의 전압을 공급하는 기능을 가진다. 예를 들어, 회로(BGR)는 회로(OP1), 회로(OP2), 회로(OP3), 및 회로(REF)에 1.3V의 전압을 공급하는 기능을 가진다. 예를 들어 회로(BGR)는 회로(OP5)에 0.29V의 전압을 공급하는 기능을 가진다.

[0260] 회로(REF)는 참조 전압 생성 회로이며, 회로(OP4) 및 회로(OP5)에 전압을 공급하는 기능을 가진다. 예를 들어, 회로(REF)는 회로(OP4) 및 회로(OP5)에 1.64V, 0.38V, 2.13V, 또는 1.26V의 전압을 공급하는 기능을 가진다.

[0261] 회로(OP1)는 연산 증폭기이며, 전압(V_{OUT1})(예를 들어, 1.2V)을 공급하는 기능을 가진다. 전압(V_{OUT1})은 예를 들어, CPU 등의 논리 회로를 동작시키는 전원 전압으로서 기능한다.

[0262] 회로(OP2)는 연산 증폭기이며, 전압(V_{OUT2})(예를 들어, 1.2V)을 공급하는 기능을 가진다. 전압(V_{OUT2})은 예를 들어, 상술한 기억 장치(110)의 디코더 또는 상술한 기억 장치(131)의 주변 회로를 동작시키는 전원 전압으로서 기능한다.

[0263] 회로(OP3)는 연산 증폭기이며, 전압(V_{OUT3})(예를 들어, 1.2V)을 공급하는 기능을 가진다. 전압(V_{OUT3})은 예를 들어, 상술한 기억 장치(110)의 배선(SL)에 공급되는 전압으로서 기능한다.

[0264] 회로(OP4)는 연산 증폭기이며, 전압(V_{OUT4})(예를 들어, 0.6V)을 공급하는 기능을 가진다. 전압(V_{OUT4})은 예를 들어, 상술한 기억 장치(131)에서의 배선(BL)의 프리차지용 전압(V_{pre})으로서 기능한다.

[0265] 회로(OP5)는 연산 증폭기이며, 전압(V_{OUT5})(예를 들어, 0.4V)을 공급하는 기능을 가진다. 전압(V_{OUT5})은 예를 들어, 상술한 판독 회로(121)에서의 참조 전압(V_{ref})으로서 기능한다.

[0266] 또한, 전원 회로(160)는 도 19에 도시된 구성에 한정되지 않고, 필요에 따라 연산 증폭기가 더 많이 제공되어도 좋고, 이보다 적은 연산 증폭기로 구성되어 있어도 좋다.

[0267] 회로(12_1)는 차지 펌프 회로이며, 실시형태 1에 기재된 전압 생성 회로(12)에 상당한다. 회로(12_1)는 전압(V_{BG1})(예를 들어, -3V)을 공급하는 기능을 가진다. 전압(V_{BG1})은 상술한 트랜지스터(M0), 트랜지스터(M0_1), 및 트랜지스터(M0_2)가 각각 가지는 제 2 게이트에 인가된다.

[0268] 회로(12_2)는 차지 펌프 회로이며, 실시형태 1에 기재된 전압 생성 회로(12)에 상당한다. 회로(12_2)는 전압(V_{BG2})(예를 들어, -1V)을 공급하는 기능을 가진다. 전압(V_{BG2})은 논리 회로에 사용되는 트랜지스터의 제 2 게이트, 또는 기억 장치의 주변 회로 등에 사용되는 트랜지스터의 제 2 게이트에 인가된다.

[0269] 전원 회로(160)는 전압(V_{BG1})과 전압(V_{BG2})의 상이한 음전압을 생성하는 기능을 가진다. $V_{BG1} < V_{BG2}$ 일 때, 전압(V_{BG1})은 메모리 셀 내의 트랜지스터 등, 낮은 컷 오프 전류가 요구되는 트랜지스터의 제 2 게이트에 인가되는 것이 바람직하다. 한편, 전압(V_{BG2})은 논리 회로나 기억 장치의 주변 회로 등, 높은 온 전류가 요구되는 트랜지스터의 제 2 게이트에 인가되는 것이 바람직하다. 이와 같이, 트랜지스터에 요구되는 특성에 따라, 제 2 게이트에 인가되는 전압을 다르게 함으로써, 전원 회로(160)를 가지는 반도체 장치가 고속으로, 또한 저소비전력으로 동작할 수 있게 된다.

[0270] 상술한 비휘발성 메모리, DRAM, SRAM, CPU, 전원 회로 등은 하나의 IC칩 내에 제공되는 것이 바람직하다. 하나의 IC칩 내에 이들 회로를 제공함으로써, 각 회로 간의 액세스 속도를 향상시킬 수 있다.

[0271] <<표시 장치>>

- [0272] 실시형태 1에서 예시한 회로(10)를 표시 장치에 적용한 일례에 대하여 도 20의 (A) 및 (B)를 참조하여 설명한다.
- [0273] 도 20의 (A)에 표시 장치에 적용 가능한 화소(170)의 구성예를 도시하였다. 화소(170)는, 제 1 게이트 및 제 2 게이트를 가지는 트랜지스터(M0)와, 용량 소자(171), 표시 소자(172), 노드(N7), 배선(GL), 배선(SL), 배선(BGL)을 가진다.
- [0274] 트랜지스터(M0)의 제 1 게이트는 배선(GL)에 전기적으로 접속되고, 트랜지스터(M0)의 제 2 게이트는 배선(BGL)에 전기적으로 접속되고, 트랜지스터(M0)의 소스 및 드레인 중 한쪽은 배선(SL)에 전기적으로 접속되고, 트랜지스터(M0)의 소스 및 드레인 중 다른 쪽은 노드(N7)에 전기적으로 접속된다.
- [0275] 용량 소자(171)의 제 1 단자는 노드(N7)에 전기적으로 접속되고, 용량 소자(171)의 제 2 단자에는 일정한 저전위가 인가된다.
- [0276] 용량 소자(171)는 필요에 따라 제공하면 좋고, 전극이나 배선 등의 기생 용량에 의하여, 화소(170)의 구동에 필요한 용량이 얻어지는 경우에는 용량 소자(171)를 생략하여도 좋다.
- [0277] 트랜지스터(M0)는 오프 전류가 작은 트랜지스터인 것이 적합하다. 예를 들어, 트랜지스터(M0)의 오프 전류는 바람직하게는 $10^{-18} \text{ A}/\mu\text{m}$ 이하, 더 바람직하게는 $10^{-21} \text{ A}/\mu\text{m}$ 이하, 더욱 바람직하게는 $10^{-24} \text{ A}/\mu\text{m}$ 이하이다. 오프 전류가 작은 트랜지스터로서는 OS 트랜지스터를 들 수 있다.
- [0278] 표시 소자(172)의 제 1 단자는 노드(N7)에 전기적으로 접속되고, 표시 소자(172)의 제 2 단자에는 일정한 저전위가 인가된다. 이 저전위로서는 접지 전위를 인가하여도 좋다. 표시 소자(172)에는 그 양단(兩端)의 전극에 전압이 인가됨으로써 광학 특성이 변화하는 유전성 소자를 사용할 수 있다. 예를 들어, 액정 소자, 전자 종이 등에 사용되는 전기 영동 소자, 트위스트 볼 소자 등을 적용할 수 있다.
- [0279] 배선(GL)은 트랜지스터(M0)의 온 또는 오프를 제어하는 신호를 공급하는 기능을 가지고, 배선(SL)은 트랜지스터(M0)를 통하여 표시 소자(172)에 인가되는 전압을 공급하는 기능을 가진다.
- [0280] 트랜지스터(M0)의 오프 전류는 매우 작기 때문에, 트랜지스터(M0)를 오프로 하면, 노드(N7)는 직전에 인가된 전압을 유지할 수 있다. 노드(N7)의 전압이 유지되고 있는 동안, 표시 소자(172)는 표시 상태를 유지할 수 있다.
- [0281] 화소(170)는 노드(N7)의 전압을 오랫동안 유지할 수 있기 때문에, 전원 전압 공급을 정지하여도, 표시 소자(172)의 광학 특성을 계속 유지할 수 있다. 예를 들어, TN(twisted nematic)형 액정과 같이 메모리성을 가지지 않는 액정 소자를 사용한 경우에도, 이 소자에는 항상 전압이 인가된 상태를 유지할 수 있기 때문에, 재기록 동작을 없애거나, 또는 그 빈도를 매우 적게 할 수 있다.
- [0282] 도 20의 (B)에는 매트릭스 형태로 배치된 화소(170), 및 실시형태 1에 기재된 회로(10)를 가지는 표시 장치(180)의 회로 구성을 도시하였다.
- [0283] 표시 장치(180)는 m 행 n 열의 매트릭스 형태로 배치된 화소(170)를 가진다. 또한, m 행째에 배치된 화소(170)는 배선(GL[m])에 전기적으로 접속되고, n 열째에 배치된 화소(170)는 배선(SL[n])에 전기적으로 접속된다.
- [0284] 각 화소(170)에 포함되는 트랜지스터(M0)의 제 2 게이트는 배선(BGL)을 통하여 회로(10)에 전기적으로 접속되어 있다. 즉, 회로(10)는 모든 화소에 포함되는 트랜지스터(M0)의 제 2 게이트를 제어하는 기능을 가진다.
- [0285] 회로(10)가 트랜지스터(M0)의 제 2 게이트를 제어함으로써, 트랜지스터(M0)는 적절한 V_{th} 를 가질 수 있어 노멀리 온이 되는 것을 방지할 수 있다. 그 결과, 트랜지스터(M0)의 오프 전류를 작게 할 수 있어, 노드(N7)에 기록된 전하가 유지될 수 있게 된다.
- [0286] 또한, 회로(10)는, 이에 접속되는 화소(170) 내의 트랜지스터(M0)의 V_{th} 을 최적의 값으로 제어, 유지, 또한 일시적으로 V_{th} 을 변화시켜, 노멀리 온형 트랜지스터로 할 수 있다. 회로(10)에 접속된 $m \times n$ 개의 트랜지스터를 동시에 일시적으로 노멀리 온형으로 변화시킴으로써, 각 화소에 저장되는 전압(즉 표시 화상)을 하나의 신호로 동시에 리프레시할 수 있다.
- [0287] 표시 장치(180)를 상술한 구성으로 함으로써, 재기록의 빈도가 적으며 저소비전력으로 동작할 수 있는 표시 장치를 제공할 수 있다. 또한, 용이하게 리프레시 동작을 할 수 있는 복수의 화소를 가지는 표시 장치로 할 수 있다. 또한, 전원 공급을 정지하여도 표시 가능한 표시 장치를 실현할 수 있다.

- [0288] (실시형태 3)
- [0289] 본 실시형태에서는 상술한 실시형태에서 사용한 OS 트랜지스터의 구조에 대하여 설명한다.
- [0290] <산화물 반도체>
- [0291] 먼저, OS 트랜지스터에 사용 가능한 산화물 반도체에 대하여 설명한다.
- [0292] 산화물 반도체는 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 여기서는 산화물 반도체가 인듐, 원소 M, 및 아연을 가지는 경우를 생각한다.
- [0293] 먼저, 도 21의 (A), (B), 및 (C)를 참조하여, 본 발명에 따른 산화물 반도체가 가지는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위에 대하여 설명한다. 또한, 도 21에는 산소의 원자수비를 기재하지 않았다. 또한, 산화물 반도체가 가지는 인듐, 원소 M, 및 아연의 원자수비의 각 항을 [In], [M], 및 [Zn]으로 한다.
- [0294] 도 21의 (A), (B), 및 (C)에서 과선은 원자수비가 $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):1$ (α 는 -1 이상 1 이하)이 되는 라인, 원자수비가 $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):2$ 가 되는 라인, 원자수비가 $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):3$ 이 되는 라인, 원자수비가 $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):4$ 가 되는 라인, 및 원자수비가 $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):5$ 가 되는 라인을 나타낸다.
- [0295] 또한, 일점쇄선은 원자수비가 $[In]:[M]:[Zn]=1:1:\beta$ ($\beta \geq 0$)가 되는 라인, 원자수비가 $[In]:[M]:[Zn]=1:2:\beta$ 가 되는 라인, 원자수비가 $[In]:[M]:[Zn]=1:3:\beta$ 가 되는 라인, 원자수비가 $[In]:[M]:[Zn]=1:4:\beta$ 가 되는 라인, 원자수비가 $[In]:[M]:[Zn]=2:1:\beta$ 가 되는 라인, 및 원자수비가 $[In]:[M]:[Zn]=5:1:\beta$ 가 되는 라인을 나타낸다.
- [0296] 또한, 이점쇄선은 원자수비가 $[In]:[M]:[Zn]=(1+\gamma):2:(1-\gamma)$ (γ 는 -1 이상 1 이하)가 되는 라인을 나타낸다. 또한, 도 21에 도시된 원자수비가 $[In]:[M]:[Zn]=0:2:1$ 또는 그 근방값인 산화물 반도체는 스피넬형 결정 구조를 취하기 쉽다.
- [0297] 도 21의 (A) 및 (B)는 본 발명의 일 형태의 산화물 반도체가 가지는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위의 일례에 대하여 도시하고 있다.
- [0298] 일례로서 도 22에, $[In]:[M]:[Zn]=1:1:1$ 의 $InMnO_4$ 의 결정 구조를 도시하였다. 또한, 도 22는 b축에 평행한 방향으로부터 관찰한 경우의 $InMnO_4$ 의 결정 구조이다. 또한, 도 22에서 M, Zn, 및 산소를 가지는 층(이하, (M,Zn)층)에서의 금속 원소는 원소 M 또는 아연을 나타낸다. 이 경우, 원소 M과 아연의 비율이 같은 것으로 한다. 원소 M과 아연은 치환이 가능하며, 배열이 불규칙하다.
- [0299] $InMnO_4$ 는 층상의 결정 구조(층상 구조라고도 함)를 취하며, 도 22에 도시된 바와 같이 인듐 및 산소를 가지는 층(이하, In층) 하나에 대하여 원소 M, 아연, 및 산소를 가지는 (M,Zn)층 2개를 가진다.
- [0300] 또한, 인듐과 원소 M은 서로 치환이 가능하다. 그러므로, (M,Zn)층의 원소 M이 인듐과 치환되면 (In,M,Zn)층으로 나타낼 수도 있다. 그 경우, In층 하나에 대하여 (In,M,Zn)층 2개를 가지는 층상 구조를 취한다.
- [0301] 원자수비 $[In]:[M]:[Zn]=1:1:2$ 의 산화물 반도체는 In층 하나에 대하여 (M,Zn)층 3개를 가지는 층상 구조를 취한다. 즉, [In] 및 [M]에 대하여 [Zn]이 커지면, 산화물 반도체가 결정화된 경우, In층에 대한 (M,Zn)층의 비율이 증가된다.
- [0302] 다만, 산화물 반도체에서 In층 하나에 대하여 (M,Zn)층의 수가 비정수인 경우, In층 하나에 대하여 (M,Zn)층의 수가 정수인 층상 구조를 복수 종류 가지는 경우가 있다. 예를 들어 $[In]:[M]:[Zn]=1:1:1.5$ 의 경우, In층 하나에 대하여 (M,Zn)층 2개를 가지는 층상 구조와, (M,Zn)층 3개를 가지는 층상 구조가 혼재하는 층상 구조가 되는 경우가 있다.
- [0303] 예를 들어, 산화물 반도체를 스팍터링 장치로 성막하는 경우, 타깃의 원자수비에서 벗어난 원자수비의 막이 형성된다. 특히, 성막 시의 기판 온도에 따라서는 타깃의 [Zn]보다 막의 [Zn]이 작아지는 경우가 있다.
- [0304] 또한, 산화물 반도체에 복수의 상이 공존하는 경우가 있다(2상 공존, 3상 공존 등). 예를 들어, 원자수비가 $[In]:[M]:[Zn]=0:2:1$ 의 근방값인 경우, 스피넬형 결정 구조와 층상 결정 구조의 2상이 공존하게 되기 쉽다. 또한, 원자수비가 $[In]:[M]:[Zn]=1:0:0$ 의 근방값인 경우, 빅스비아이트(bixbyite)형 결정 구조와 층상 결정 구조의 2상이 공존하게 되기 쉽다. 산화물 반도체에 복수의 상이 공존하는 경우, 상이한 결정 구조들 사이에서 임계(그레인 바운더리하고도 함)가 형성되는 경우가 있다.

- [0305] 또한, 인듐의 함유율을 높임으로써 산화물 반도체의 캐리어 이동도(전자 이동도)를 높일 수 있다. 이는, 인듐, 원소 M, 및 아연을 가지는 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고 있고, 인듐의 함유율을 높이면 s궤도들이 중첩되는 영역이 더 커지기 때문이고, 이에 따라 인듐의 함유율이 높은 산화물 반도체는 인듐의 함유율이 낮은 산화물 반도체에 비하여 캐리어 이동도가 높게 된다.
- [0306] 한편, 산화물 반도체에서 인듐 및 아연의 함유율이 낮아지면, 캐리어 이동도가 낮아진다. 따라서, 원자수비 $[In]:[M]:[Zn]=0:1:0$, 및 그 근방값(예를 들어, 도 21의 (C)에서의 영역(C))에서는 절연성이 높아진다.
- [0307] 따라서, 본 발명의 일 형태의 산화물 반도체는, 캐리어 이동도가 높고 입계가 적은 층상 구조가 되기 쉬운, 도 21의 (A)의 영역(A)으로 나타낸 원자수비를 가지는 것이 바람직하다.
- [0308] 또한, 도 21의 (B)에 도시된 영역(B)은 $[In]:[M]:[Zn]=4:2:3$ 에서 4.1, 및 그 근방값을 나타낸다. 근방값에는 예를 들어, 원자수비 $[In]:[M]:[Zn]=5:3:4$ 가 포함된다. 영역(B)으로 나타낸 원자수비를 가지는 산화물 반도체는 특히, 결정성이 높고 캐리어 이동도도 높은 우수한 산화물 반도체이다.
- [0309] 또한, 산화물 반도체가 층상 구조를 형성하는 조건은 원자수비에 의하여 일의적으로 정해지는 것은 아니다. 층상 구조를 형성하는 난이도는 원자수비에 따라 차이가 난다. 한편, 원자수비가 같더라도 형성 조건에 따라 층상 구조가 되는 경우도 있고 층상 구조가 되지 않는 경우도 있다. 따라서, 도 21에 도시된 영역은 산화물 반도체가 층상 구조를 가지게 되는 원자수비를 나타낸 영역이고, 영역(A) 내지 영역(C)의 경계는 염밀하지는 않다.
- [0310] <트랜지스터 구조 1>
- [0311] 도 23의 (A), (B), 및 (C)는 트랜지스터(200)의 상면도 및 단면도이다. 도 23의 (A)는 상면도이고, 도 23의 (B)는 도 23의 (A)에서의 일점쇄선 X1-X2에 대응하는 단면도이고, 도 23의 (C)는 일점쇄선 Y1-Y2에 대응하는 단면도이다. 또한, 도 23의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하고 있다.
- [0312] 도 23의 (B) 및 (C)는 절연체(214) 및 절연체(216) 위에 트랜지스터(200)가 제공된 예를 도시하고 있다.
- [0313] 트랜지스터(200)는 게이트 전극으로서 기능하는 도전체(205)(도전체(205a) 및 도전체(205b)) 및 도전체(260)와, 게이트 절연층으로서 기능하는 절연체(220), 절연체(222), 절연체(224), 및 절연체(250)와, 산화물 반도체(230)(산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c))와, 소스 및 드레인 중 한쪽으로서 기능하는 도전체(240a)와, 소스 및 드레인 중 다른 쪽으로서 기능하는 도전체(240b)와, 과잉 산소를 가지는 절연체(280)를 가진다.
- [0314] 또한, 산화물 반도체(230)는 산화물 반도체(230a), 산화물 반도체(230a) 위의 산화물 반도체(230b), 및 산화물 반도체(230b) 위의 산화물 반도체(230c)를 가진다. 또한, 트랜지스터(200)를 온으로 하면 주로 산화물 반도체(230b)에 전류가 흐르기 때문에, 산화물 반도체(230b)는 채널 형성 영역으로서의 기능을 가진다. 한편, 산화물 반도체(230a) 및 산화물 반도체(230c)는 산화물 반도체(230b)와의 계면 부근(혼합 영역이 되어 있는 경우도 있음)에서는 전류가 흐르는 경우가 있지만, 그 외의 영역은 절연체로서 기능하는 경우가 있다.
- [0315] 도전체(205)는 몰리브데넘, 타이타늄, 탄탈럼, 텉스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 중에서 선택되는 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 타이타늄막, 질화 몰리브데넘막, 질화 텉스텐막) 등이다. 또는, 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘의 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.
- [0316] 예를 들어, 도전체(205a)로서 수소에 대한 배리어성을 가지는 도전체, 예를 들어 질화 탄탈럼 등을 사용하고, 도전체(205b)로서 도전성이 높은 텉스텐을 적층하면 좋다. 상술한 조합을 사용함으로써, 배선으로서의 도전성을 유지하면서 산화물 반도체(230)로의 수소의 확산을 억제할 수 있다. 또한, 도 23에는 도전체(205a)와 도전체(205b)의 2층 구조를 도시하였지만, 이 구성에 한정되지 않고, 단층이라도 좋고 3층 이상의 적층 구조라도 좋다.
- [0317] 절연체(220) 및 절연체(224)는 산화 실리콘막이나 산화 질화 실리콘막 등, 산소를 포함하는 절연체인 것이 바람직하다. 특히, 과잉 산소를 포함하는(화학량론적 조성보다 과잉으로 산소를 포함하는) 절연체를 절연체(224)로서 사용하는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를, 트랜지스터(200)를 구성하는 산화물 반도체와 접촉하도록 제공함으로써, 산화물 내의 산소 결손을 보전할 수 있다. 또한, 절연체(220)와 절연체(224)는 반드시 같은 재료를 사용하여 형성하지 않아도 된다.

- [0318] 절연체(222)는 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산지르콘산연(PZT), 타이타늄산스트론튬(SrTiO_3), 또는 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 등을 포함하는 절연체를 단층 구조 또는 적층 구조로 사용하는 것이 바람직하다. 또는 이들 절연체에 예를 들어, 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텉스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는, 이들 절연체를 질화 처리하여도 좋다. 상술한 절연체에 산화 실리콘, 산화 질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0319] 또한, 절연체(222)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조라도 좋다.
- [0320] 절연체(220)와 절연체(224) 사이에 high-k 재료를 포함하는 절연체(222)를 제공함으로써, 절연체(222)를 음으로 대전시킬 수 있다. 즉, 절연체(222)를 전하 축적층으로서 기능시킬 수 있다.
- [0321] 예를 들어, 절연체(220) 및 절연체(224)에 산화 실리콘을 사용하고, 절연체(222)에 산화 하프늄, 산화 알루미늄, 산화 탄탈럼과 같은 전자 포획 준위가 많은 재료를 사용한 경우, 반도체 장치의 사용 온도 또는 보관 온도보다 높은 온도(예를 들어, 125°C 이상 450°C 이하, 대표적으로는 150°C 이상 300°C 이하) 하에서, 도전체(205)의 전위가 소스 전극이나 드레인 전극의 전위보다 높은 상태를 10msec 이상, 대표적으로는 1분 이상 유지하면, 트랜지스터(200)를 구성하는 산화물에서 도전체(205)로 전자가 이동한다. 이때, 이동하는 전자의 일부는, 절연체(222)의 전자 포획 준위에 포획된다.
- [0322] 절연체(222)의 전자 포획 준위에 필요한 양의 전자가 포획된 트랜지스터는, V_{th} 가 양의 방향으로 시프트된다. 또한, 도전체(205)의 전압을 제어함으로써 전자의 포획량을 제어할 수 있고, 이로써 V_{th} 를 제어할 수 있다.
- [0323] 또한, 전자를 포획하는 처리는, 트랜지스터의 제작 과정에서 행하면 좋다. 예를 들어, 트랜지스터의 소스 도전체 또는 드레인 도전체에 접속되는 도전체를 형성한 후, 또는 전공정(웨이퍼 처리)의 종료 후, 또는 웨이퍼 다이싱 공정 후, 패키지 후 등, 공장 출하 전의 어느 단계에서 행하면 좋다.
- [0324] 또한, 절연체(220), 절연체(222), 절연체(224)의 막 두께를 적절히 조정함으로써 V_{th} 를 제어할 수 있다. 또는, 비도통 시의 누설 전류가 작은 트랜지스터를 제공할 수 있다. 절연체(220), 절연체(222), 절연체(224)의 막 두께를 각각 얇게 하면 도전체(205)에 의한 V_{th} 제어가 용이해지므로 바람직하다. 예를 들어, 절연체(220), 절연체(222), 절연체(224)의 막 두께는 각각 50nm 이하, 더 바람직하게는 각각 30nm 이하, 더 바람직하게는 각각 10nm 이하, 더 바람직하게는 각각 5nm 이하로 하면 좋다.
- [0325] 산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c)는 In-M-Zn 산화물 등의 금속 산화물로 형성된다. 또한, 산화물 반도체(230)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.
- [0326] 산화물 반도체(230a) 및 산화물 반도체(230c)는 산화물 반도체(230b)보다 전도대 하단의 에너지 준위가 진공 준위에 가깝고, 대표적으로는 산화물 반도체(230b)의 전도대 하단의 에너지 준위와 산화물 반도체(230a) 및 산화물 반도체(230c)의 전도대 하단의 에너지 준위의 차가 0.15eV 이상 또는 0.5eV 이상이고 2eV 이하 또는 1eV 이하인 것이 바람직하다. 즉, 산화물 반도체(230a) 및 산화물 반도체(230c)의 전자 친화력과 산화물 반도체(230b)의 전자 친화력의 차가 0.15eV 이상 또는 0.5eV 이상이고 2eV 이하 또는 1eV 이하인 것이 바람직하다.
- [0327] 산화물 반도체(230b)에서 에너지 캡은 2eV 이상이 바람직하고, 2.5eV 이상 3.0eV 이하가 더 바람직하다. 또한, 산화물 반도체(230a) 및 산화물 반도체(230c)에서 에너지 캡은 2eV 이상이 바람직하고, 2.5eV 이상이 더 바람직하고, 2.7eV 이상 3.5eV 이하가 더 바람직하다. 또한, 산화물 반도체(230a) 및 산화물 반도체(230c)의 에너지 캡은 산화물 반도체(230b)의 에너지 캡보다 큰 것이 바람직하다. 예를 들어, 산화물 반도체(230a)의 에너지 캡은 산화물 반도체(230b)의 에너지 캡과 비교하여 0.15eV 이상 또는 0.5eV 이상이고 2eV 이하 또는 1eV 이하인 것이 바람직하다. 마찬가지로, 산화물 반도체(230c)의 에너지 캡은 산화물 반도체(230b)의 에너지 캡과 비교하여 0.15eV 이상 또는 0.5eV 이상이고 2eV 이하 또는 1eV 이하인 것이 바람직하다.
- [0328] 또한, 산화물 반도체(230a), 산화물 반도체(230b), 및 산화물 반도체(230c) 각각의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 60nm 이하이다.
- [0329] 산화물 반도체막의 캐리어 밀도를 낮게 하면, 트랜지스터의 문턱 전압의 마이너스 시프트를 억제하거나, 또는 트랜지스터의 오프 전류를 낮게 할 수 있으므로 바람직하다.

- [0330] 산화물 반도체의 캐리어 밀도에 영향을 미치는 인자로서는, 산화물 반도체 내의 산소 결손(Vo), 또는 산화물 반도체 내의 불순물 등을 들 수 있다. 산화물 반도체 내의 산소 결손이 많아지면, 산소 결손에 수소가 결합(이 상태를 VoH라고도 함)되었을 때 결합 준위 밀도가 높아진다. 또는, 산화물 반도체 내의 불순물이 많아지면, 불순물로 인하여 결합 준위 밀도가 높아진다. 따라서, 산화물 반도체 내의 결합 준위 밀도를 제어함으로써 산화물 반도체의 캐리어 밀도를 제어할 수 있다.
- [0331] 불순물 농도가 낮고 결합 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다.
- [0332] 산화물 반도체(230a) 및 산화물 반도체(230c)로서 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체(230a) 및 산화물 반도체(230c)의 캐리어 밀도는 $8 \times 10^{15} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고, $1 \times 10^{-9} \text{ cm}^{-3}$ 이상으로 하면 좋다.
- [0333] 한편, 트랜ジ스터의 온 전류의 향상, 또는 트랜ジ스터의 전계 효과 이동도의 향상을 목적으로 하는 경우, 산화물 반도체의 캐리어 밀도를 높이는 것이 더 바람직하다. 산화물 반도체의 캐리어 밀도를 높이는 경우에는, 산화물 반도체의 불순물 농도를 조금 높이거나, 또는 산화물 반도체의 결합 준위 밀도를 조금 높이면 좋다. 또는, 산화물 반도체의 밴드갭을 더 작게 하면 좋다. 예를 들어, 트랜ジ스터의 I_D-V_G 특성의 온/오프비가 얻어지는 범위에 있어서, 불순물 농도가 조금 높은, 또는 결합 준위 밀도가 조금 높은 산화물 반도체는 실질적으로 진성으로 간주할 수 있다. 또한, 밴드갭이 작고 열여기된 전자(캐리어)의 밀도가 증가된 산화물 반도체는 실질적으로 진성으로 간주할 수 있다. 또한, 전자 친화력이 더 큰 산화물 반도체를 사용한 경우에는 트랜ジ스터의 문턱 전압이 더 낮아진다.
- [0334] 상술한 캐리어 밀도가 높아진 산화물 반도체는 조금 n형화되어 있다. 따라서, 캐리어 밀도가 높아진 산화물 반도체를 'Slightly-n'이라고 하여도 좋다.
- [0335] 산화물 반도체(230b)의 캐리어 밀도는 산화물 반도체(230a) 및 산화물 반도체(230c)와 비교하여 높은 것이 바람직하다. 산화물 반도체(230b)의 캐리어 밀도는 $1 \times 10^5 \text{ cm}^{-3}$ 이상 $1 \times 10^{18} \text{ cm}^{-3}$ 미만이 바람직하고, $1 \times 10^7 \text{ cm}^{-3}$ 이상 $1 \times 10^{17} \text{ cm}^{-3}$ 이하가 더 바람직하고, $1 \times 10^9 \text{ cm}^{-3}$ 이상 $5 \times 10^{16} \text{ cm}^{-3}$ 이하가 더욱 바람직하고, $1 \times 10^{10} \text{ cm}^{-3}$ 이상 $1 \times 10^{16} \text{ cm}^{-3}$ 이하가 더더욱 바람직하고, $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{15} \text{ cm}^{-3}$ 이하가 나아가 더더욱 바람직하다.
- [0336] 산화물 반도체(230a)와 산화물 반도체(230b)의 계면, 또는 산화물 반도체(230b)와 산화물 반도체(230c)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮게 하는 것이 바람직하다.
- [0337] 구체적으로는, 산화물 반도체(230a)와 산화물 반도체(230b), 산화물 반도체(230b)와 산화물 반도체(230c)가 산소 외에 공통의 원소를 가짐으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물 반도체(230b)가 In-Ga-Zn 산화물 반도체인 경우, 산화물 반도체(230a) 및 산화물 반도체(230c)로서 In-Ga-Zn 산화물 반도체, Ga-Zn 산화물 반도체, 산화 갈륨 등을 사용하면 좋다.
- [0338] 이때, 캐리어의 주된 경로는 산화물 반도체(230b)가 된다. 산화물 반도체(230a)와 산화물 반도체(230b)의 계면, 및 산화물 반도체(230b)와 산화물 반도체(230c)의 계면에서의 결합 준위 밀도를 낮게 할 수 있기 때문에 계면 산란이 캐리어 전도에 미치는 영향이 작고, 높은 온 전류가 얻어진다.
- [0339] 포획 준위에 전자가 포획되었을 때, 포획된 전자는 고정 전하와 같이 작용하여, 트랜ジ스터의 V_{th} 이 양의 방향으로 시프트된다. 산화물 반도체(230a) 및 산화물 반도체(230c)를 제공함으로써 포획 준위를 산화물 반도체(230b)에서 멀어지게 할 수 있다. 상술한 구성으로 함으로써 트랜ジ스터의 V_{th} 이 양의 방향으로 시프트되는 것을 방지할 수 있다.
- [0340] 산화물 반도체(230a) 및 산화물 반도체(230c)에는 산화물 반도체(230b)와 비교하여 도전율이 충분히 낮은 재료를 사용한다. 이때 산화물 반도체(230b), 그리고 산화물 반도체(230b)와 산화물 반도체(230a)의 계면, 및 산화물 반도체(230b)와 산화물 반도체(230c)의 계면이 주로 채널 영역으로서 기능한다. 예를 들어, 산화물 반도체(230a) 및 산화물 반도체(230c)에는, 도 21의 (C)에서 절연성이 높아지는 영역(C)으로 나타낸 원자수비를 가지는 산화물 반도체를 사용하면 좋다. 또한, 도 21의 (C)에 도시된 영역(C)은 [In]:[M]:[Zn]=0:1:0, 또는 그 근

방값인 원자수비를 나타내고 있다.

- [0341] 특히, 산화물 반도체(230b)에 도 21의 (A)에 도시된 영역(A)으로 나타낸 원자수비를 가지는 산화물 반도체를 사용하는 경우, 산화물 반도체(230a) 및 산화물 반도체(230c)에는, $[M]/[In]$ 이 1 이상, 바람직하게는 2 이상인 산화물 반도체를 사용하는 것이 바람직하다. 또한, 산화물 반도체(230c)로서, 충분히 높은 절연성을 얻을 수 있는, $[M]/([Zn]+[In])$ 이 1 이상인 산화물 반도체를 사용하는 것이 바람직하다.
- [0342] 여기서 도 23 등에 도시된 트랜지스터(200)에 있어서, 도전체(260)를 톱 게이트, 도전체(205)를 보텀 게이트라고 하는 경우가 있다. 또는, 도전체(260)를 프런트 게이트, 도전체(205)를 백 게이트라고 하는 경우가 있다.
- [0343] 산화물 반도체(230c)는 산화물 반도체(230b)보다 결정성이 낮은 경우가 있다. 또한, 산화물 반도체(230b)는 후술하는 CAAC-OS를 가지는 것이 바람직하다. 산화물 반도체(230c)의 결정성을 낮게 하면 산화물 반도체(230c)의 산소 투과성이 높아져, 산화물 반도체(230c)보다 위에 위치하는 절연체로부터 산화물 반도체(230b)로 산소가 공급되기 쉬워지는 경우가 있다. 여기서, 산화물 반도체(230c)는 비정질 또는 후술하는 a-like OS(amorphous-like oxide semiconductor)라도 좋다.
- [0344] 산화물 반도체(230a)는 CAAC-OS를 가져도 좋다. 또한, 산화물 반도체(230a)는 산화물 반도체(230c)보다 결정성이 높은 것이 바람직하다.
- [0345] 절연체(250)는 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산지르콘산연(PZT), 타이타늄산스트론튬(SrTiO_3), 또는 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 등을 포함하는 절연체를 단층 구조 또는 적층 구조로 사용할 수 있다. 또는 이들 절연체에 예를 들어, 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텉스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는, 이들 절연체를 질화 처리하여도 좋다. 상술한 절연체에 산화 실리콘, 산화 질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0346] 또한, 절연체(250)로서는 절연체(224)와 마찬가지로, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연체를 사용하는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물 반도체(230)와 접촉하도록 제공함으로써, 산화물 반도체(230) 내의 산소 결손을 저감할 수 있다.
- [0347] 또한, 절연체(250)로서는 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 질화 하프늄, 질화 실리콘 등, 산소나 수소에 대한 배리어성을 가지는 절연막을 사용할 수 있다. 이와 같은 재료를 사용하여 형성한 경우, 산화물 반도체(230)로부터의 산소의 방출이나, 외부로부터의 수소 등 불순물의 혼입을 방지하는 층으로서 기능한다.
- [0348] 또한, 절연체(250)는 절연체(220), 절연체(222), 및 절연체(224)와 같은 적층 구조를 가져도 좋다. 절연체(250)가 전자 포획 준위에 필요한 양의 전자를 포획시킨 절연체를 가지면, 트랜지스터(200)의 V_{th} 이 양의 방향으로 시프트될 수 있다. 상술한 구성을 가짐으로써 트랜지스터(200)는 게이트 전압이 0V이어도 비도통 상태(오프 상태라고도 함)인 노멀리 오프형 트랜지스터가 된다.
- [0349] 또한, 도 23에 도시된 반도체 장치에서 산화물 반도체(230)와 도전체(260) 사이에, 절연체(250) 외에 배리어막을 제공하여도 좋다. 또는, 배리어성을 가지는 것을 산화물 반도체(230c)로서 사용하여도 좋다.
- [0350] 예를 들어, 과잉 산소를 포함하는 절연막을 산화물 반도체(230)와 접촉하도록 제공하고 배리어막으로 감쌈으로써, 산화물 반도체를 화학량론적 조성과 거의 일치하는 상태, 또는 화학량론적 조성보다 산소가 많은 과포화 상태로 할 수 있다. 또한, 산화물 반도체(230)로의 수소 등 불순물의 침입을 방지할 수 있다.
- [0351] 도전체(240a) 및 도전체(240b)는 한쪽이 소스 전극으로서 기능하고, 다른 쪽이 드레인 전극으로서 기능한다.
- [0352] 도전체(240a) 및 도전체(240b)에는 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 은, 탄탈럼, 또는 텉스텐 등의 금속, 또는 이를 주성분으로 하는 합금을 사용할 수 있다. 또한, 도면에는 단층 구조를 도시하였지만, 2층 이상의 적층 구조로 하여도 좋다.
- [0353] 예를 들어, 타이타늄막과 알루미늄막을 적층하면 좋다. 또한, 텉스텐막 위에 알루미늄막을 적층한 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층한 2층 구조, 타이타늄막 위에 구리막을 적층한 2층 구조, 텉스텐막 위에 구리막을 적층한 2층 구조로 하여도 좋다.
- [0354] 또한, 타이타늄막 또는 질화 타이타늄막 위에 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질

화 타이타늄막을 형성한 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막 위에 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 형성한 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0355] 또한, 게이트 전극으로서 기능하는 도전체(260)는, 예를 들어 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 텉스텐 중에서 선택되는 금속, 또는 상술한 금속을 성분으로 하는 합금, 또는 상술한 금속을 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망가니즈 및 지르코늄 중에서 선택되는 어느 하나 또는 복수의 금속을 사용하여도 좋다. 또한, 인 등 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0356] 예를 들어, 알루미늄막 위에 타이타늄막을 적층한 2층 구조로 하면 좋다. 또한, 질화 타이타늄막 위에 타이타늄막을 적층한 2층 구조, 질화 타이타늄막 위에 텉스텐막을 적층한 2층 구조, 질화 탄탈럼막 또는 질화 텉스텐막 위에 텉스텐막을 적층한 2층 구조로 하여도 좋다.

[0357] 또한, 타이타늄막 위에 알루미늄막을 적층하고, 그 위에 타이타늄막을 형성한 3층 구조 등이 있다. 또한, 타이타늄, 탄탈럼, 텉스텐, 몰리브데넘, 크로뮴, 네오디뮴, 스칸듐 중에서 선택되는 하나 또는 복수의 금속과 알루미늄을 조합한 합금막, 또는 질화막을 사용하여도 좋다.

[0358] 또한, 도전체(260)에는 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 적용할 수도 있다. 또한, 상술한 투광성을 가지는 도전성 재료와 상술한 금속의 적층 구조로 할 수도 있다.

[0359] 도전체(260)로서 일함수가 높은 도전성 재료를 사용함으로써, 트랜지스터(200)의 V_{th} 를 크게 하고, 컷 오프 전류를 낮출 수 있다. 도전체(260)에는, 일함수가 바람직하게는 4.8eV 이상, 더 바람직하게는 5.0eV 이상, 더욱 바람직하게는 5.2eV 이상, 더더욱 바람직하게는 5.4eV 이상, 나아가 더더욱 바람직하게는 5.6eV 이상인 도전성 재료를 사용하면 좋다. 일함수가 큰 도전성 재료로서는 예를 들어, 몰리브데넘, 산화 몰리브데넘, Pt, Pt 실리사이드, Ni 실리사이드, 인듐 주석 산화물, 질소가 첨가된 In-Ga-Zn 산화물 등을 들 수 있다.

[0360] 트랜지스터(200) 상방에는 절연체(280)를 제공한다. 절연체(280)로서는 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 즉, 절연체(280)에는 화학량론적 조성보다 산소가 과잉으로 존재하는 영역(이하, 과잉 산소 영역이라고도 함)이 형성되는 것이 바람직하다. 특히, 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 트랜지스터(200) 부근의 층간막 등으로서 과잉 산소 영역을 가지는 절연체를 제공함으로써, 트랜지스터(200)의 산소 결손을 저감하여, 신뢰성을 향상시킬 수 있다.

[0361] 과잉 산소 영역을 가지는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물 재료란, TDS 분석에서 산소 원자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물막이다. 또한, 상술한 TDS 분석 시에서의 막의 표면 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위가 바람직하다.

[0362] 예를 들어 이와 같은 재료로서, 산화 실리콘 또는 산화 질화 실리콘을 포함하는 재료를 사용하는 것이 바람직하다. 또는, 금속 산화물을 사용할 수도 있다. 또한, 본 명세서에서 산화 질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화 산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0363] 또한, 트랜지스터(200)를 덮는 절연체(280)는 그 하방의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.

[0364] <트랜지스터 구조 2>

[0365] 도 24는 트랜지스터(200)에 적용 가능한 구조의 일례를 도시한 것이다. 도 24의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 또한, 도면의 명료화를 위하여, 도 24의 (A)에서 일부의 막을 생략하였다. 또한, 도 24의 (B)는 도 24의 (A)에 나타낸 일점쇄선 X1-X2에 대응하는 단면도이고, 도 24의 (C)는 Y1-Y2에 대응하는 단면도이다.

[0366] 또한, 도 24의 트랜지스터(200)에서, 도 23에 도시된 트랜지스터(200)를 구성하는 구조와 동일한 기능을 가지는

구조에는 동일한 부호를 부기하였다.

[0367] 도 24에 도시된 구조는 게이트 전극으로서 기능하는 도전체(260)가 도전체(260a), 도전체(260b), 및 도전체(260c)를 가진다.

[0368] 도전체(260a)는 열CVD법, MOCVD법, 또는 ALD(atomic layer deposition)법을 사용하여 형성한다. 특히, ALD법을 사용하여 형성하는 것이 바람직하다. ALD법 등에 의하여 형성함으로써, 절연체(250)에 대한 플라스마에 의한 대미지를 줄일 수 있다. 또한, 피복성을 향상시킬 수 있으므로 도전체(260a)를 ALD법 등에 의하여 형성하는 것이 바람직하다. 따라서, 신뢰성이 높은 트랜지스터(200)를 제공할 수 있다.

[0369] 또한, 도전체(260b)는 탄탈럼, 텉스텐, 구리, 알루미늄 등의 도전성이 높은 재료를 사용하여 형성한다. 또한, 도전체(260b) 위에 형성하는 도전체(260c)는, 질화 텉스텐 등 산화되기 어려운 도전체를 사용하여 형성하는 것이 바람직하다. 이로써, 산소가 이탈되는 산화물 재료를 절연체(280)에 사용하는 경우에, 이탈된 산소에 의하여 도전체(260)가 산화되는 것을 방지할 수 있다.

[0370] 따라서, 도전체(260)의 산화를 억제하면서, 절연체(280)로부터 이탈된 산소를 효율적으로 산화물 반도체(230)에 공급할 수 있다.

[0371] 과잉 산소 영역을 가지는 절연체(280)와 접촉되는 면적이 큰 도전체(260c)에, 산화되기 어려운 도전체를 사용함으로써, 절연체(280)의 과잉 산소가 도전체(260)에 흡수되는 것을 억제할 수 있다. 또한, 도전체(260b)에 도전성이 높은 도전체를 사용함으로써, 소비전력이 작은 트랜지스터(200)를 제공할 수 있다.

[0372] <트랜지스터 구조 3>

[0373] 도 25는 트랜지스터(200)에 적용 가능한 구조의 일례를 도시한 것이다. 도 25의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 또한, 도면의 명료화를 위하여, 도 25의 (A)에서 일부의 막을 생략하였다. 또한, 도 25의 (B)는 도 25의 (A)에 나타낸 일점쇄선 X1-X2에 대응하는 단면도이고, 도 25의 (C)는 Y1-Y2에 대응하는 단면도이다.

[0374] 또한, 도 25의 트랜지스터(200)에서, 도 23에 도시된 트랜지스터(200)를 구성하는 구조와 동일한 기능을 가지는 구조에는 동일한 부호를 부기하였다.

[0375] 도 25에 도시된 구조는 게이트 전극으로서 기능하는 도전체(260)가 도전체(260a) 및 도전체(260b)를 가지는 적층 구조이다. 또한, 게이트 전극으로서 기능하는 도전체(260) 위에 절연체(270)를 가진다.

[0376] 도전체(260a)는 열CVD법, MOCVD법, 또는 ALD법을 사용하여 형성한다. 특히, ALD법을 사용하여 형성하는 것이 바람직하다. ALD법 등에 의하여 형성함으로써, 절연체(250)에 대한 플라스마에 의한 대미지를 줄일 수 있다. 또한, 피복성을 향상시킬 수 있으므로 도전체(260a)를 ALD법 등에 의하여 형성하는 것이 바람직하다. 따라서, 신뢰성이 높은 트랜지스터(200)를 제공할 수 있다.

[0377] 또한, 도전체(260b)는 탄탈럼, 텉스텐, 구리, 알루미늄 등의 도전성이 높은 재료를 사용하여 형성한다.

[0378] 또한, 도전체(260)를 덮도록 절연체(270)를 제공한다. 산소가 이탈되는 산화물 재료를 절연체(280)에 사용하는 경우, 이탈된 산소에 의하여 도전체(260)가 산화되는 것을 방지하기 위하여, 절연체(270)에는 산소에 대한 배리어성을 가지는 물질을 사용한다.

[0379] 예를 들어, 절연체(270)에는 산화 알루미늄 등의 금속 산화물을 사용할 수 있다. 또한, 절연체(270)는 도전체(260)의 산화가 방지될 정도의 두께로 제공되어 있으면 좋다. 예를 들어, 절연체(270)의 막 두께는 1nm 이상 10nm 이하, 바람직하게는 3nm 이상 7nm 이하로 하여 제공한다.

[0380] 따라서, 도전체(260)의 산화를 억제하면서, 절연체(280)로부터 이탈된 산소를 효율적으로 산화물 반도체(230)에 공급할 수 있다.

[0381] <트랜지스터 구조 4>

[0382] 도 26은 트랜지스터(200)에 적용 가능한 구조의 일례를 도시한 것이다. 도 26의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 또한, 도면의 명료화를 위하여, 도 26의 (A)에서 일부의 막을 생략하였다. 또한, 도 26의 (B)는 도 26의 (A)에 나타낸 일점쇄선 X1-X2에 대응하는 단면도이고, 도 26의 (C)는 Y1-Y2에 대응하는 단면도이다.

[0383] 또한, 도 26의 트랜지스터(200)에서, 도 23에 도시된 트랜지스터(200)를 구성하는 구조와 동일한 기능을 가지는

구조에는 동일한 부호를 부기하였다.

[0384] 도 26에 도시된 구조에서는 소스 또는 드레인으로서 기능하는 도전체가 적층 구조를 가진다. 도전체(240a) 및 도전체(240b)에는 산화물 반도체(230b)와의 밀착성이 높은 도전체를 사용하고, 도전체(241a) 및 도전체(241b)에는 도전성이 높은 재료를 사용하는 것이 바람직하다. 또한, 도전체(240a) 및 도전체(240b)는 ALD법을 사용하여 형성하는 것이 바람직하다. ALD법 등에 의하여 형성함으로써, 피복성을 향상시킬 수 있다.

[0385] 예를 들어, 산화물 반도체(230b)에 인듐을 가지는 금속 산화물을 사용하는 경우, 도전체(240a) 및 도전체(240b)에는 질화 타이타늄 등을 사용하면 좋다. 또한, 도전체(241a) 및 도전체(241b)에 탄탈럼, 텅스텐, 구리, 알루미늄 등의 도전성이 높은 재료를 사용하면, 신뢰성이 높고 소비전력이 작은 트랜지스터(200)를 제공할 수 있다.

[0386] 또한, 도 26의 (C)에 도시된 바와 같이, 트랜지스터(200)의 채널 폭 방향에서, 산화물 반도체(230b)가 도전체(260)로 둘러싸여 있다. 또한, 절연체(224)의 볼록부의 형상을 조정함으로써, 산화물 반도체(230b)의 측면도 도전체(260)로 덮을 수 있다. 예를 들어, 산화물 반도체(230b)의 측면에 있어서, 도전체(260)의 저면이 산화물 반도체(230b)의 저면보다 더 기판 측에 위치하는 구조로 하는 것이 바람직하다. 즉, 트랜지스터(200)는 도전체(205) 및 도전체(260)의 전계에 의하여 산화물 반도체(230b)를 전기적으로 둘러쌀 수 있는 구조를 가진다. 이와 같이, 도전체의 전계에 의하여 산화물 반도체(230b)를 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(s-channel) 구조라고 한다. s-channel 구조의 트랜지스터(200)는 산화물 반도체(230b) 전체(벌크)에 채널이 형성될 수도 있다. s-channel 구조에서는 트랜지스터의 드레인 전류를 크게 할 수 있고, 더 큰 온 전류(트랜지스터가 온 상태일 때에 소스와 드레인 간에 흐르는 전류)를 얻을 수 있다. 또한, 도전체(205) 및 도전체(260)의 전계에 의하여, 산화물 반도체(230b)에 형성되는 채널 형성 영역의 전체 영역을 공핍화할 수 있다. 따라서, s-channel 구조에서는 트랜지스터의 오프 전류를 더 작게 할 수 있다. 또한, 채널 폭을 작게 함으로써, s-channel 구조에 의한 온 전류의 증대 효과, 오프 전류의 저감 효과 등을 높일 수 있다.

<트랜지스터 구조 5>

[0388] 도 27은 트랜지스터(200)에 적용 가능한 구조의 일례를 도시한 것이다. 도 27의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 또한, 도면의 명료화를 위하여, 도 27의 (A)에서 일부의 막을 생략하였다. 또한, 도 27의 (B)는 도 27의 (A)에 나타낸 일점쇄선 X1-X2에 대응하는 단면도이고, 도 27의 (C)는 Y1-Y2에 대응하는 단면도이다.

[0389] 또한, 도 27의 트랜지스터(200)에서, 도 23에 도시된 트랜지스터(200)를 구성하는 구조와 동일한 기능을 가지는 구조에는 동일한 부호를 부기하였다.

[0390] 절연체(280)에 형성된 개구부에, 산화물 반도체(230c), 절연체(250), 및 도전체(260)가 형성되어 있다.

[0391] 도 27에 도시된 트랜지스터(200)는 도전체(240a) 및 도전체(240b)와, 도전체(260)가 거의 중첩되지 않는 구조를 가지기 때문에, 도전체(260)에 부가되는 기생 용량을 작게 할 수 있다. 즉, 동작 주파수가 높은 트랜지스터(200)를 제공할 수 있다.

<트랜지스터 구조 6>

[0393] 도 28은 트랜지스터(200)에 적용 가능한 구조의 일례를 도시한 것이다. 도 28의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 또한, 도면의 명료화를 위하여, 도 28의 (A)에서 일부의 막을 생략하였다. 또한, 도 28의 (B)는 도 28의 (A)에 나타낸 일점쇄선 X1-X2에 대응하는 단면도이고, 도 28의 (C)는 Y1-Y2에 대응하는 단면도이다.

[0394] 또한, 도 28의 트랜지스터(200)에서, 도 23에 도시된 트랜지스터(200)를 구성하는 구조와 동일한 기능을 가지는 구조에는 동일한 부호를 부기하였다.

[0395] 도 28에 도시된 트랜지스터(200)에서는, 절연체(280)에 형성된 개구부에, 산화물 반도체(230c), 절연체(250), 및 도전체(260)가 형성되어 있다.

[0396] 도 28에 도시된 트랜지스터(200)는 도전체(240a) 및 도전체(240b)와, 도전체(260)가 거의 중첩되지 않는 구조를 가지기 때문에, 도전체(260)에 부가되는 기생 용량을 작게 할 수 있다. 즉, 동작 주파수가 높은 트랜지스터(200)를 제공할 수 있다.

[0397] 또한, 산화물 반도체(230d)는 산화물 반도체(230b)와 과잉 산소 영역을 가지는 절연체(280) 사이에 제공되어 있

다. 그러므로, 도 27에서와 같이 산화물 반도체(230b)가 절연체(280)와 직접 접촉되는 경우에 비하여, 산화물 반도체(230b)에 형성되는 채널 부근에 얇은 준위가 발생되는 것이 억제되고, 이에 따라 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0398] (실시형태 4)

[0399] 본 실시형태에서는 상술한 실시형태에 기재된 반도체 장치의 일 형태에 대하여 도 29 내지 도 31을 참조하여 설명한다.

[0400] <반도체 장치의 구조>

[0401] 본 발명의 일 형태의 반도체 장치는 도 29에 도시된 바와 같이 트랜지스터(300), 트랜지스터(200), 및 용량 소자(400)를 가진다. 트랜지스터(200)는 트랜지스터(300) 상방에 제공되고, 용량 소자(400)는 트랜지스터(300) 및 트랜지스터(200) 상방에 제공되어 있다.

[0402] 트랜지스터(300)는 기판(301)에 제공되며, 도전체(306), 절연체(304), 기판(301)의 일부인 반도체 영역(302), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(308a) 및 저저항 영역(308b)을 가진다.

[0403] 트랜지스터(300)는 p채널형 또는 n채널형의 어느 쪽이라도 좋다.

[0404] 반도체 영역(302)의 채널이 형성되는 영역, 그 부근의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(308a) 및 저저항 영역(308b) 등은 실리콘을 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는, Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용하는 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(300)를 HEMT(high-electron-mobility transistor)로 하여도 좋다.

[0405] 저저항 영역(308a) 및 저저항 영역(308b)은, 반도체 영역(302)에 적용되는 반도체 재료에 더하여, 비소, 인 등 n형의 도전성을 부여하는 원소, 또는 붕소 등 p형의 도전성을 부여하는 원소를 포함한다.

[0406] 게이트 전극으로서 기능하는 도전체(306)에는 비소, 인 등 n형의 도전성을 부여하는 원소, 또는 붕소 등 p형의 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.

[0407] 또한, 도전체의 재료에 의하여 일함수를 정합으로써 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한, 도전성과 매립성의 양립을 위하여, 텅스텐이나 알루미늄 등의 금속 재료의 적층을 도전체로서 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.

[0408] 또한, 도 29에 도시된 트랜지스터(300)는 일례이며, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0409] 트랜지스터(300)를 덮도록, 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.

[0410] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)로서는, 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.

[0411] 절연체(322)는 그 하방에 제공되는 트랜지스터(300) 등에 기인하는 단자를 평탄화하는 평탄화막으로서 기능한다. 절연체(322)의 상면은 평탄성을 높이기 위하여 화학적 기계적 연마(CMP: chemical mechanical polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0412] 절연체(324)에는 예를 들어, 기판(301) 또는 트랜지스터(300) 등으로부터 트랜지스터(200)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.

[0413] 예를 들어, 수소에 대한 배리어성을 가지는 막의 일례로서, CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(200) 등 산화물 반도체를 가지는 반도체 소자에 수소가 확산되면, 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에는 수소의 확산을 억제하는 막을 제공하는 것이 바람직하다. 수소의 확산을 억제하는 막이란 구체적으로는, 수소의 이탈률이 적은 막이다.

- [0414] 수소의 이탈량은 예를 들어, 승온 이탈 가스 분석법(TDS(thermal desorption spectroscopy)) 등을 사용하여 분석할 수 있다. 예를 들어, 절연체(324)의 수소의 이탈량은, TDS 분석에 있어서 50°C에서 500°C의 범위에서 수소 원자로 환산한 이탈량이, 절연체(324)의 면적당으로 환산하여 $10 \times 10^{15} \text{ atoms/cm}^2$ 이하, 바람직하게는 $5 \times 10^{15} \text{ atoms/cm}^2$ 이하이면 좋다.
- [0415] 또한, 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어, 절연체(326)의 비유전율은 4 미만인 것이 바람직하고, 3 미만인 것이 더 바람직하다. 또한 예를 들어, 절연체(324)의 비유전율은 절연체(326)의 비유전율의 0.7배 이하인 것이 바람직하고, 0.6배 이하인 것이 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 간에 생기는 기생 용량을 저감할 수 있다.
- [0416] 또한, 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(400) 또는 트랜지스터(200)와 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한, 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 후술하지만 플러그 또는 배선으로서의 기능을 가지는 도전체에 대해서는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한, 본 명세서 등에서 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0417] 각 플러그 및 배선(도전체(328) 및 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층 또는 적층으로 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데늄 등의 고용접 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮게 할 수 있다.
- [0418] 또한, 도전체(328) 및 도전체(330)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(324)가 가지는 개구부에, 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상술한 구성에 의하여, 배리어층에 의하여 트랜지스터(300)와 트랜지스터(200)를 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(200)로의 수소의 확산을 억제할 수 있다.
- [0419] 또한, 수소에 대한 배리어성을 가지는 도전체로서는, 예를 들어, 질화 탄탈럼 등을 사용하면 좋다. 또한, 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지하면서 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(324)와 접촉되는 구조인 것이 바람직하다.
- [0420] 또한, 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 29에 있어서, 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0421] 또한, 도전체(356)는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮게 할 수 있다. 또한, 도전체(356)에 구리를 사용하는 경우, 구리의 확산을 억제하는 도전체와 적층하여 제공하는 것이 바람직하다. 구리의 확산을 억제하는 도전체로서, 예를 들어 탄탈럼, 질화 탄탈럼 등의 탄탈럼을 포함하는 합금, 루테늄, 및 루테늄을 포함하는 합금 등을 사용하면 좋다.
- [0422] 또한, 예를 들어 절연체(350)에는, 구리의 확산을 억제하는 절연체, 또는 산소 및 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 구리의 확산을 억제하는 막의 일례로서 질화 실리콘을 사용할 수 있다. 따라서, 절연체(324)와 같은 재료를 사용할 수 있다.
- [0423] 특히, 구리의 확산을 억제하는 절연체(350)가 가지는 개구부에 구리의 확산을 억제하는 도전체를 제공하고, 구리의 확산을 억제하는 도전체 위에 구리를 적층하여 제공하는 것이 바람직하다. 상술한 구성에 의하여, 배선 주변에 구리가 확산되는 것을 억제할 수 있다.
- [0424] 절연체(354) 위에는 절연체(358), 절연체(210), 절연체(212), 및 절연체(214)가 순차적으로 적층되어 제공되어 있다. 절연체(358), 절연체(210), 절연체(212), 및 절연체(214) 중 어느 것 또는 모두에, 구리의 확산을 억제하는 물질, 또는 산소나 수소에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다.
- [0425] 절연체(358) 및 절연체(212)에는 예를 들어, 기판(301) 또는 트랜지스터(300)가 제공되는 영역 등으로부터 트랜

지스터(200)가 제공되는 영역으로의 구리의 확산을 억제하는 막, 또는 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서, 절연체(324)와 같은 재료를 사용할 수 있다.

[0426] 또한, 절연체(210)는 절연체(320)와 같은 재료를 사용할 수 있다. 예를 들어, 절연체(210)로서는 산화 실리콘 막이나 산화 질화 실리콘막 등을 사용할 수 있다.

[0427] 또한, 예를 들어 절연체(214)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0428] 특히 산화 알루미늄은, 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽 모두에 대하여, 막을 투과시키지 않는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 있어서, 수소, 수분 등의 불순물이 트랜지스터(200)에 혼입되는 것을 방지할 수 있다. 또한, 트랜지스터(200)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 트랜지스터(200)에 대한 보호막으로서 사용하기에 적합하다.

[0429] 절연체(214) 위에는 절연체(216)를 제공한다. 절연체(216)는 절연체(320)와 같은 재료를 사용할 수 있다. 예를 들어, 절연체(216)로서는 산화 실리콘막이나 산화 질화 실리콘막 등을 사용할 수 있다.

[0430] 또한, 절연체(358), 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218) 등이 매립되어 있다. 또한, 도전체(218)는 용량 소자(400), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그, 또는 배선으로서의 기능을 가진다. 도전체(218)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0431] 특히, 절연체(358), 절연체(212), 및 절연체(214)와 접촉되는 영역의 도전체(218)는 구리의 확산을 억제하는 도전체, 또는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 상술한 구성에 의하여, 구리의 확산을 억제하는 층, 또는 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 트랜지스터(300)와 트랜지스터(200)를 더 완전하게 분리할 수 있다. 즉, 도전체(356)로부터의 구리의 확산을 억제하고, 트랜지스터(300)로부터 트랜지스터(200)로의 수소의 확산을 억제할 수 있다.

[0432] 절연체(214) 상방에는 트랜지스터(200) 및 절연체(280)가 제공되어 있다. 또한, 도 29에 도시된 트랜지스터(200)는 일례이며, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0433] 절연체(280) 위에는 절연체(282), 절연체(284), 및 절연체(410)가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(220), 절연체(222), 절연체(224), 절연체(280), 절연체(282), 절연체(284), 및 절연체(410)에는 도전체(244) 등이 매립되어 있다. 또한, 도전체(244)는 용량 소자(400), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그, 또는 배선으로서의 기능을 가진다. 도전체(244)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0434] 또한, 절연체(282) 및 절연체(284) 중 어느 쪽 또는 양쪽 모두에, 산소나 수소에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다. 따라서, 절연체(282)에는 절연체(214)와 같은 재료를 사용할 수 있다. 또한, 절연체(284)에는 절연체(212)와 같은 재료를 사용할 수 있다. 또한, 절연체(410)에는 절연체(210)와 같은 절연체를 사용할 수 있다.

[0435] 예를 들어 절연체(282)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0436] 특히 산화 알루미늄은, 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽 모두에 대하여, 막을 투과시키지 않는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 있어서, 수소, 수분 등의 불순물이 트랜지스터(200)에 혼입되는 것을 방지할 수 있다. 또한, 트랜지스터(200)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 트랜지스터(200)에 대한 보호막으로서 사용하기에 적합하다.

[0437] 절연체(284)에는, 용량 소자(400)가 제공되는 영역으로부터 트랜지스터(200)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서, 절연체(324)와 같은 재료를 사용할 수 있다.

[0438] 예를 들어, 수소에 대한 배리어성을 가지는 막의 일례로서, CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(200) 등 산화물 반도체를 가지는 반도체 소자에 수소가 확산되면, 반도체 소자의 특성이 저

하되는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에는 수소의 확산을 억제하는 막을 제공하는 것이 바람직하다. 수소의 확산을 억제하는 막이란 구체적으로는, 수소의 이탈량이 적은 막이다.

[0439] 따라서, 절연체(210), 절연체(212), 및 절연체(214)의 적층 구조와, 절연체(282), 절연체(284), 및 절연체(102)의 적층 구조에 의하여, 트랜지스터(200), 및 과잉 산소 영역을 포함하는 절연체(280)를 끼우는 구성으로 할 수 있다. 또한, 절연체(212), 절연체(214), 절연체(282), 및 절연체(284)는 수소 및 물 등 불순물, 또는 산소의 확산을 억제하는 배리어성을 가진다.

[0440] 그러므로, 절연체(280) 및 트랜지스터(200)로부터 방출된 산소가 용량 소자(400) 또는 트랜지스터(300)가 형성된 층으로 확산되는 것을 억제할 수 있다. 또는, 절연체(282)보다 상방에 있는 층, 및 절연체(214)보다 하방에 있는 층으로부터 수소 및 물 등 불순물이 트랜지스터(200)로 확산되는 것을 억제할 수 있다.

[0441] 즉, 절연체(280)의 과잉 산소 영역으로부터, 트랜지스터(200)의 산화물 반도체에 산소를 효율적으로 공급할 수 있어, 산소 결손을 저감할 수 있다. 또한 불순물에 의하여, 트랜지스터(200)의 산화물 반도체에 산소 결손이 형성되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)의 산화물 반도체를, 결함 준위 밀도가 낮고 안정적인 특성을 가지는 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 억제함과 함께, 신뢰성을 향상시킬 수 있다.

[0442] 절연체(410) 상방에는 용량 소자(400) 및 도전체(424)가 제공되어 있다. 용량 소자(400)는 절연체(410) 위에 제공되며, 도전체(412), 절연체(430), 절연체(432), 절연체(434), 및 도전체(416)를 가진다. 또한, 도전체(424)는 용량 소자(400), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그, 또는 배선으로서의 기능을 가진다.

[0443] 도전체(412)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데늄 등의 고용접 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한, 도전체 등의 다른 구조와 동시에 형성하는 경우에는, 저저항 금속 재료인 구리나 알루미늄 등을 사용하면 좋다.

[0444] 또한, 도전체(424)는 용량 소자의 전극으로서 기능하는 도전체(412)와 같은 재료를 사용하여 제공할 수 있다.

[0445] 도전체(424) 및 도전체(412) 위에 절연체(430), 절연체(432), 및 절연체(434)를 제공한다. 절연체(430), 절연체(432), 및 절연체(434)에는 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 질화 하프늄, 질화 산화 하프늄, 질화 하프늄 등을 사용하면 좋다. 또한, 도면에서는 3층 구조로 하였지만, 단층, 2층, 또는 4층 이상의 적층 구조로 하여도 좋다.

[0446] 예를 들어, 절연체(430) 및 절연체(434)에는 산화 질화 실리콘 등의 절연 내력이 큰 재료를 사용하는 것이 바람직하다. 또한, 절연체(432)에는 산화 알루미늄 등의 고유전율(hight-k) 재료를 사용하는 것이 바람직하다. 상술한 구성에 의하여, 용량 소자(400)는 고유전율(hight-k)의 절연체를 가짐으로써 충분한 용량을 확보할 수 있고, 절연 내력이 큰 절연체를 가짐으로써 절연 내력이 향상되므로 용량 소자(400)의 정전 파괴가 억제될 수 있다.

[0447] 절연체(430), 절연체(432), 및 절연체(434)를 개재하여 도전체(412) 위에 도전체(416)를 제공한다. 또한, 도전체(416)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데늄 등의 고용접 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한, 도전체 등의 다른 구조와 동시에 형성하는 경우에는, 저저항 금속 재료인 구리나 알루미늄 등을 사용하면 좋다.

[0448] 예를 들어, 도 29에 도시된 바와 같이 절연체(430), 절연체(432), 및 절연체(434)를, 도전체(412)의 상면 및 측면을 덮도록 제공한다. 또한 절연체(430), 절연체(432), 및 절연체(434)를 개재하여 도전체(412)의 상면 및 측면을 덮도록 도전체(416)를 제공한다.

[0449] 즉, 도전체(412)의 측면에서도 용량으로서 기능하게 되기 때문에, 용량 소자의 투영 면적당 용량을 증가시킬 수 있다. 따라서, 반도체 장치의 소면적화, 고집적화, 미세화가 가능해진다.

[0450] 도전체(416) 및 절연체(434) 위에는 절연체(450)가 제공되어 있다. 절연체(450)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한, 용량 소자(400)를 덮는 절연체(450)는 그 하방의 요철 형상을 평탄

화막으로서 기능하여도 좋다.

[0451] 상술한 것이 구성예에 대한 설명이다. 본 구성을 사용함으로써, OS 트랜지스터를 사용한 반도체 장치에 있어서 전기 특성의 변동을 억제함과 함께, 신뢰성을 향상시킬 수 있다. 또는, 온 전류가 큰 OS 트랜지스터를 제공할 수 있다. 또는, 오프 전류가 작은 OS 트랜지스터를 제공할 수 있다. 또는, 소비전력이 저감된 반도체 장치를 제공할 수 있다.

[0452] <변형 예 1>

[0453] 또한, 본 실시형태의 변형예의 일례를 도 30에 도시하였다. 도 30은 트랜지스터(300) 및 트랜지스터(200)의 구성이 도 29와 다르다.

[0454] 도 30에 도시된 트랜지스터(300)는 채널이 형성되는 반도체 영역(302)(기판(301)의 일부)이 볼록 형상을 가진다. 또한, 절연체(304)를 개재하여 반도체 영역(302)의 측면 및 상면을 덮도록, 도전체(306)가 제공되어 있다. 또한, 도전체(306)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 한다. 또한, 볼록부의 상부에 접촉되도록, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체가 제공되어도 좋다. 또한, 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우를 도시하였지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0455] 도 30에 도시된 트랜지스터(200)의 구조는 도 27을 참조하여 설명한 구조이다. 절연체(280)에 형성된 개구부에, 도 27에 도시된 산화물 반도체(230c), 절연체(250), 및 도전체(260)가 형성되어 있다. 도 30에 도시된 트랜지스터(200)는 도전체(240a) 및 도전체(240b)와, 도전체(260)가 거의 중첩되지 않는 구조를 가지기 때문에, 도전체(260)에 부가되는 기생 용량을 작게 할 수 있다. 즉, 동작 주파수가 높은 트랜지스터(200)를 제공할 수 있다.

[0456] <변형 예 2>

[0457] 도 31의 (A) 및 (B)는 본 발명의 일 형태의 반도체 장치의 단면도를 도시한 것이다. 도 31의 (A)는 트랜지스터(200) 및 트랜지스터(300)의 채널 길이 방향의 단면도이고, 도 31의 (B)는 트랜지스터(200) 및 트랜지스터(300)의 채널 폭 방향의 단면도이다.

[0458] 도 31의 (A) 및 (B)에 도시된 반도체 장치에서는 트랜지스터(200)를 둘러싸도록, 절연체(280)에 홈이 제공되어 있다. 이 홈을 제공함으로써, 절연체(284) 및 절연체(282)가 트랜지스터(200)의 주위를 둘러싸게 된다. 트랜지스터(200)는 상하 전후 좌우가, 절연체(212), 절연체(214), 절연체(282), 및 절연체(284)로 이루어지는 절연체에 의하여 둘러싸이게 된다. 이로써, 트랜지스터(200)는 모든 방향으로부터의 수소와 산소의 확산을 차단할 수 있다. 그 결과, 도 31에 도시된 반도체 장치는 높은 신뢰성을 가질 수 있다.

[0459] (실시형태 5)

[0460] 본 실시형태에서는 본 발명의 일 형태의 산화물 반도체의 구조에 대하여 설명한다.

[0461] 본 명세서에서 '평행'이란, 두 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 평행'이란, 두 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, '수직'이란, 두 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 수직'이란, 두 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0462] 또한, 본 명세서에 있어서 삼방정계 및 능면체정계(rhombohedral crystal system)는 육방정계에 포함된다.

[0463] <산화물 반도체의 구조>

[0464] 이하에서는 산화물 반도체의 구조에 대하여 설명한다.

[0465] 산화물 반도체는 단결정 산화물 반도체와 그 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.

[0466] 또한, 다른 관점에서는 산화물 반도체는 비정질 산화물 반도체와 그 외의 결정성 산화물 반도체로 나누어진다.

결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS 등이 있다.

[0467] 비정질 구조는 일반적으로, 등방적이며 불균질 구조를 가지지 않거나, 준안정 상태에 있고 원자의 배치가 고정화되어 있지 않거나, 결합 각도가 유연하거나, 단거리 질서를 가지면서 장거리 질서를 가지지 않는 것 등이 알려져 있다.

[0468] 즉, 안정적인 산화물 반도체를 완전한 비정질(completely amorphous) 산화물 반도체라고는 할 수 없다. 또한, 등방적이지 않은(예를 들어, 미소한 영역에서 주기 구조를 가지는) 산화물 반도체를 완전한 비정질 산화물 반도체라고는 할 수 없다. 한편, a-like OS는 등방적이지 않지만 공동(보이드(void)라고도 함)을 가지는 불안정한 구조이다. 불안정하다는 점에서 a-like OS는 물성적으로 비정질 산화물 반도체에 가깝다.

[0469] <CAAC-OS>

[0470] 먼저, CAAC-OS에 대하여 설명한다.

[0471] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 가지는 산화물 반도체의 일종이다.

[0472] CAAC-OS를 X선 회절(XRD: X-ray diffraction)에 의하여 해석한 경우에 대하여 설명한다. 예를 들어, 공간군 R-3m으로 분류되는 InGaZnO₄의 결정을 가지는 CAAC-OS에 대하여 out-of-plane법에 의하여 구조 해석을 행하면, 회절각(2θ)이 31° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (009)면에서 유래하기 때문에, CAAC-OS에서는 결정이 c축 배향성을 가지고 c축이 CAAC-OS의 막이 형성되는 면(피형성면이라고도 함) 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 확인할 수 있다. 또한, 2θ 가 31° 부근일 때 나타나는 피크에 더하여 2θ 가 36° 부근일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 부근일 때 나타나는 피크는 공간군 Fd-3m으로 분류되는 결정 구조에 기인한다. 그러므로, CAAC-OS는 상기 피크가 나타나지 않는 것이 바람직하다.

[0473] 한편, 피형성면에 평행한 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS의 구조 해석을 행하면, 2θ 가 56° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (110)면에서 유래한다. 그리고, 2θ 를 56° 부근에 고정하고 시료면의 법선 벡터를 축(ϕ 축)으로 시료를 회전시키면서 분석(ϕ 스캔)을 행하여도 명확한 피크가 나타나지 않는다. 한편, 단결정 InGaZnO₄에 대하여, 2θ 를 56° 부근에 고정하고 ϕ 스캔을 행하면, (110)면과 등가인 결정면에서 유래하는 피크가 6개 관찰된다. 따라서, XRD를 이용한 구조 해석으로부터, CAAC-OS는 a축 및 b축의 배향이 불규칙한 것이 확인된다.

[0474] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO₄의 결정을 가지는 CAAC-OS에 대하여, 프로브 직경이 300nm인 전자선을 CAAC-OS의 피형성면에 평행하게 입사시키면, InGaZnO₄의 결정의 (009)면에 기인한 스포이 포함되는 회절 패턴이 나타난다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 가지고 c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 알 수 있다. 한편, 같은 시료에 대하여, 프로브 직경이 300nm인 전자선을 시료면에 수직으로 입사시킨 경우에는 고리 형상의 회절 패턴이 확인된다. CAAC-OS에 포함되는 펠릿의 a축 및 b축은 배향성을 가지지 않는 것을 알 수 있다.

[0475] 또한, 투과 전자 현미경(TEM: transmission electron microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿이 확인된다. 그러나, 고분해능 TEM 이미지에서도 펠릿들의 경계, 즉 결정립계(그레인 바운더리(grain boundary)라고도 함)가 명확히 확인되지 않는 경우가 있다. 그러므로, CAAC-OS는 결정립계에 기인한 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0476] 고분해능 TEM 이미지의 관찰에 의하여, 금속 원자가 층상으로 배열되어 있는 영역인 펠릿을 확인할 수 있다. 펠릿 하나의 크기는 1nm 이상이나 3nm 이상인 경우가 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 할 수도 있다. 또한, CAAC-OS를 CANC(c-axis aligned nanocrystals)를 가지는 산화물 반도체라고 할 수도 있다. 펠릿은 CAAC-OS의 피형성면 또는 상면의 요철을 반영하며, CAAC-OS의 피형성면 또는 상면에 평행하다.

[0477] 또한, 상술한 펠릿은 육각형상인 것이 확인되었다. 또한, 펠릿의 형상은 정육각형상에 한정되지 않고 비정육각형상인 경우가 많다.

[0478] CAAC-OS에서 명확한 결정립계는 확인되지 않는다. CAAC-OS에서는 격자 배열의 왜곡에 의하여 결정립계의 형성이 억제되어 있다. 이는 a-b면 방향에 있어서 원자 배열이 조밀하지 않은 것, 금속 원소가 치환됨으로써 원자 간의 결합 거리가 변화되는 것 등에 의하여 CAAC-OS가 왜곡을 허용할 수 있기 때문이라고 생각된다.

- [0479] 상술한 바와 같이 CAAC-OS는 c축 배향성을 가지고, a-b면 방향에서 복수의 펠릿(나노 결정)이 연결되어 있고, 왜곡을 가지는 결정 구조를 가진다. 따라서, CAAC-OS를 CAA crystal(c-axis-aligned a-b-plane-anchored crystal)을 가지는 산화물 반도체라고 할 수도 있다.
- [0480] CAAC-OS는 결정성이 높은 산화물 반도체이다. 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등으로 인하여 저하될 수 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다.
- [0481] 또한, 불순물은 산화물 반도체의 주성분 외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예를 들어, 실리콘 등)는 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이다. 또한, 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등을 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이다.
- [0482] <nc-OS>
- [0483] 다음에, nc-OS에 대하여 설명한다.
- [0484] nc-OS를 XRD에 의하여 해석한 경우에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 nc-OS의 구조 해석을 행하면, 배향성을 나타내는 피크가 나타나지 않는다. 즉, nc-OS의 결정은 배향성을 가지지 않는다.
- [0485] 또한, 예를 들어 $InGaZnO_4$ 의 결정을 가지는 nc-OS를 박편화하고, 두께 34nm의 영역에 대하여 프로브 직경이 50nm인 전자선을 평행하게 입사시키면, 고리 형상의 회절 패턴(나노빔 전자 회절 패턴)이 관측된다. 또한, 같은 시료에 프로브 직경이 1nm인 전자선을 입사시키면, 고리 형상의 영역 내에 복수의 스포트이 관측된다. 따라서, nc-OS는 프로브 직경이 50nm인 전자선을 입사시킨 경우에 질서성이 확인되지 않지만, 프로브 직경이 1nm인 전자선을 입사시키면 질서성이 확인된다.
- [0486] 또한, 두께 10nm 미만의 영역에 대하여 프로브 직경이 1nm인 전자선을 입사시키면, 스포트이 실질적으로 정육각형으로 배치된 전자 회절 패턴이 관측되는 경우가 있다. 따라서, 두께 10nm 미만의 범위에서 nc-OS가 질서성이 높은 영역, 즉 결정을 가지는 것을 알 수 있다. 또한, 결정이 다양한 방향으로 배향되어 있기 때문에 규칙적인 전자 회절 패턴이 관측되지 않는 영역도 있다.
- [0487] nc-OS의 고분해능 TEM 이미지에서는, 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역이 있다. nc-OS에 포함되는 결정부의 크기는 1nm 이상 10nm 이하이고, 특히 1nm 이상 3nm 이하인 경우가 많다. 또한, 결정부의 크기가 10nm보다 크고 100nm 이하인 산화물 반도체를 미결정 산화물 반도체(microcrystalline oxide semiconductor)라고 하는 경우가 있다. nc-OS는 예를 들어, 고분해능 TEM 이미지에서 결정립계가 명확히 확인되지 않는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 포함되는 펠릿과 기원이 같을 가능성이 있다. 그러므로, 이하에서는 nc-OS의 결정부를 펠릿이라고 하는 경우가 있다.
- [0488] 이와 같이 nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 상이한 펠릿들 간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 보이지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS를 a-like OS나 비정질 산화물 반도체와 구별하지 못하는 경우가 있다.
- [0489] 또한, 펠릿(나노 결정) 간에서 결정 방위에 규칙성을 가지지 않는 것으로부터, nc-OS를 RANC(random aligned nanocrystals)를 가지는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 가지는 산화물 반도체라고 할 수도 있다.
- [0490] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 a-like OS나 비정질 산화물 반도체보다 결합 준위 밀도가 낮다. 다만, nc-OS는 상이한 펠릿들 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS는 CAAC-OS에 비하여 결합 준위 밀도가 높다.
- [0491] <a-like OS>
- [0492] a-like OS는 nc-OS와 비정질 산화물 반도체 사이의 구조를 가지는 산화물 반도체이다.
- [0493] a-like OS는 공동을 가지는 불안정한 구조이다.
- [0494] 예를 들어, a-like OS에서는 전자 조사에 의하여 결정부의 성장이 보이는 경우가 있다. 한편, nc-OS 및 CAAC-

OS에서는 전자 조사에 의한 결정부의 성장이 거의 보이지 않는다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조라는 것을 알 수 있다.

[0495] 또한, 공동을 가지기 때문에, a-like OS는 nc-OS 및 CAAC-OS에 비하여 밀도가 낮은 구조이다. 구체적으로는, a-like OS의 밀도는 같은 조성을 가지는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 가지는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.

[0496] 예를 들어, In:Ga:Zn=1:1:1[원자수비]를 만족시키는 산화물 반도체에 있어서, 능면체정 구조를 가지는 단결정 InGaZnO_4 의 밀도는 6.357g/cm^3 이다. 따라서, 예를 들어 In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서, a-like OS의 밀도는 5.0g/cm^3 이상 5.9g/cm^3 미만이다. 또한, 예를 들어 In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서, nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만이다.

[0497] 또한, 같은 조성을 가지는 단결정 산화물 반도체가 존재하지 않는 경우, 조성이 다른 단결정 산화물 반도체를 임의의 비율로 조합함으로써, 원하는 조성을 가지는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 어렵잖을 수 있다. 원하는 조성의 단결정 산화물 반도체에 상당하는 밀도는, 조성이 다른 단결정 산화물 반도체를 조합하는 비율에 대하여, 가중 평균을 사용하여 어렵잖으면 좋다. 다만, 밀도는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하여 어렵잖는 것이 바람직하다.

[0498] 상술한 바와 같이 산화물 반도체는 다양한 구조를 취하고, 각각이 다양한 특성을 가진다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가지는 적층막이라도 좋다.

[0499] (실시형태 6)

[0500] 본 실시형태에서는 상술한 실시형태에 기재된 반도체 장치 또는 기억 장치를 사용할 수 있는 CPU에 대하여 설명한다.

[0501] 도 32는 CPU의 일례의 구성을 도시한 블록도이다. 도 32에 도시된 CPU는, 기판(1190) 위에 ALU(1191)(Arithmetic logic unit: 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 가진다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 서로 다른 칩에 제공되어도 좋다. 물론, 도 32에 도시된 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 가진다. 예를 들어, 도 32에 도시된 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고 각 코어가 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급할 수 있는 비트 수를, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0502] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.

[0503] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 행한다.

[0504] 또한, 타이밍 컨트롤러(1195)는, ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호를 바탕으로 내부 클럭 신호를 생성하는 내부 클럭 생성부를 구비하며, 내부 클럭 신호를 상기 각종 회로에 공급한다.

[0505] 도 32에 도시된 CPU에서는, 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서는, 상술한 실시형태에 기재된 반도체 장치 또는 기억 장치를 사용할 수 있다.

- [0506] 도 32에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 가지는 메모리 셀에서, 플립플롭에 의한 데이터 유지를 행할지, 용량 소자에 의한 데이터 유지를 행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되면 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에서의 데이터 유지가 선택되면 용량 소자에 데이터가 재기록되고 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다. 그 결과, CPU의 소비전력을 절감할 수 있다.
- [0507] (실시형태 7)
- [0508] 본 실시형태에서는 상술한 실시형태에 기재된 기억 장치 또는 반도체 장치를 사용할 수 있는 프로그래머블 로직 디바이스(PLD: programmable logic device)에 대하여 설명한다.
- [0509] PLD는 적당한 규모의 논리 회로들(논리 블록, 프로그래머블 로직 엘리먼트)이 배선 리소스에 의하여 전기적으로 접속된 구성을 가지며, 각 논리 블록의 기능이나, 논리 블록 간의 접속 구조를 제조 후에 변경 가능한 것을 특징으로 한다. 각 논리 블록의 기능과, 배선 리소스에 의하여 형성되는 논리 블록 간의 접속 구조는 컨피규레이션 데이터에 의하여 정의되고, 이 컨피규레이션 데이터는 각 논리 블록이 가지는 레지스터, 또는 배선 리소스가 가지는 레지스터에 저장된다. 이하, 컨피규레이션 데이터를 저장하기 위한 레지스터를 컨피규레이션 메모리라고 한다.
- [0510] PLD(750)의 구조의 일부를, 일례로서 도 33의 (A)에 모식적으로 도시하였다. 도 33의 (A)에 도시된 PLD(750)는 복수의 논리 블록(LB)(740), 복수의 논리 블록(740) 중 어느 것에 접속된 배선군(751), 배선군(751)을 구성하는 배선들의 접속을 제어하는 스위치 회로(752), 단자(754)를 가진다. 배선군(751)과 스위치 회로(752)가 배선 리소스(753)에 상당한다.
- [0511] 도 33의 (B)에 스위치 회로(752)의 구성예를 도시하였다. 도 33의 (B)에 도시된 스위치 회로(752)는 배선군(751)에 포함되는 배선(755)과 배선(756)의 접속 구조를 제어하는 기능을 가진다. 구체적으로, 스위치 회로(752)는 트랜지스터(757) 내지 트랜지스터(762)를 가진다.
- [0512] 트랜지스터(757)는 배선(755)에서의 Point A와 배선(756)에서의 Point C의 전기적인 접속을 제어하는 기능을 가진다. 트랜지스터(758)는 배선(755)에서의 Point B와 배선(756)에서의 Point C의 전기적인 접속을 제어하는 기능을 가진다. 트랜지스터(759)는 배선(755)에서의 Point A와 배선(756)에서의 Point D의 전기적인 접속을 제어하는 기능을 가진다. 트랜지스터(760)는 배선(755)에서의 Point B와 배선(756)에서의 Point D의 전기적인 접속을 제어하는 기능을 가진다. 트랜지스터(761)는 배선(755)에서의 Point A와 Point B의 전기적인 접속을 제어하는 기능을 가진다. 트랜지스터(762)는 배선(756)에서의 Point C와 Point D의 전기적인 접속을 제어하는 기능을 가진다.
- [0513] 또한, 스위치 회로(752)는 배선군(751)과 PLD(750)의 단자(754)의 전기적인 접속을 제어하는 기능을 가진다.
- [0514] 논리 블록(740)의 일 형태를 도 34의 (A)에 예시하였다. 도 34의 (A)에 도시된 논리 블록(740)은 LUT(룩업 테이블)(741), 플립플롭(742), 기억 회로(743)를 가진다. LUT(741)의 논리 연산은 기억 회로(743)가 가지는 컨피규레이션 데이터에 따라 정의된다. 구체적으로, LUT(741)에서는 입력 단자(744)에 공급되는 복수의 입력 신호의 입력값에 대하여 하나의 출력값이 정해진다. 그리고, LUT(741)로부터 상기 출력값을 포함하는 신호가 출력된다. 플립플롭(742)은 LUT(741)로부터 출력되는 신호를 유지하고, 신호(CLK)에 동기하여 상기 신호에 대응하는 출력 신호를, 제 1 출력 단자(745) 및 제 2 출력 단자(746)로부터 출력한다.
- [0515] 또한, 논리 블록(740)이 멀티플렉서 회로를 더 가지고, 이 멀티플렉서 회로에 의하여 LUT(741)로부터의 출력 신호가 플립플롭(742)을 경유할지 여부를 선택될 수 있도록 하여도 좋다.
- [0516] 또한, 컨피규레이션 데이터에 따라 플립플롭(742)의 종류를 정의할 수 있는 구성으로 하여도 좋다. 구체적으로는, 컨피규레이션 데이터에 따라, 플립플롭(742)이 D형 플립플롭, T형 플립플롭, JK형 플립플롭, 또는 RS형 플립플롭 중 어느 것의 기능을 가지게 되도록 하여도 좋다.
- [0517] 또한, 논리 블록(740)의 다른 일 형태를 도 34의 (B)에 예시하였다. 도 34의 (B)에 도시된 논리 블록(740)은, 도 34의 (A)에서의 논리 블록(740)에 AND 회로(747)를 추가한 구성을 가진다. AND 회로(747)에는, 플립플롭(742)으로부터의 신호가, 정논리의 입력으로서 공급되고, 신호(INIT2)가, 부논리의 입력으로서 공급된다. 상술한 구성에 의하여, 논리 블록(740)으로부터의 출력 신호가 공급되는 배선의 전위를 초기화할 수 있다. 따라서, 논리 블록(740) 간에서 대량의 전류가 흐르는 것을 미연에 방지하여, PLD의 파손이 발생되는 것을 방지할 수 있

다.

[0518] 또한, 논리 블록(740)의 다른 일 형태를 도 34의 (C)에 예시하였다. 도 34의 (C)에 도시된 논리 블록(740)은, 도 34의 (A)에서의 논리 블록(740)에 멀티플렉서(748)를 추가한 구성을 가진다. 또한, 도 34의 (C)에 도시된 논리 블록(740)은 기억 회로(743a)와 기억 회로(743b)의 2개의 기억 회로(743)를 가진다. LUT(741)의 논리 연산은 기억 회로(743a)가 가지는 컨피규레이션 데이터에 따라 정의된다. 또한, 멀티플렉서(748)에는 LUT(741)로부터의 출력 신호와, 플립플롭(742)으로부터의 출력 신호가 입력된다. 그리고, 멀티플렉서(748)는 기억 회로(743b)에 저장된 컨피규레이션 데이터에 따라, 상술한 2개의 출력 신호 중 어느 한쪽을 선택하여 출력하는 기능을 가진다. 멀티플렉서(748)로부터의 출력 신호는, 제 1 출력 단자(745) 및 제 2 출력 단자(746)로부터 출력된다.

[0519] PLD(750) 전체의 구성을 일례로서 도 35에 도시하였다. 도 35에서는 PLD(750)에, I/O 엘리먼트(770), PLL(phase lock loop)(771), RAM(772), 승산기(773)가 제공되어 있다. I/O 엘리먼트(770)는 PLD(750)의 외부 회로로부터의 신호의 입력, 또는 외부 회로에 대한 신호의 출력을 제어하는 인터페이스로서의 기능을 가진다. PLL(771)은 신호(CLK)를 생성하는 기능을 가진다. RAM(772)은 논리 연산에 사용되는 데이터를 저장하는 기능을 가진다. 승산기(773)는 승산 전용의 논리 회로에 상당한다. PLD(750)가 승산을 하는 기능을 포함하는 경우, 승산기(773)를 반드시 제공할 필요는 없다.

[0520] 논리 블록(740)이 가지는 기억 회로 또는 플립플롭은, 상술한 실시형태에 기재된 반도체 장치 또는 기억 장치를 사용하여 구성될 수 있다. 상술한 실시형태에 기재된 반도체 장치 또는 기억 장치를 사용함으로써, 논리 블록(740)은 전원 오프의 상태에서도 데이터를 유지할 수 있게 되므로, 소비전력을 저감할 수 있다.

[0521] (실시형태 8)

[0522] 본 실시형태에서는 상술한 실시형태에서 설명한 반도체 장치를 전자 부품에, 그리고 이 전자 부품을 구비하는 전자 기기에 적용하는 예에 대하여 도 39를 참조하여 설명한다.

[0523] 도 39의 (A)를 참조하여 상술한 실시형태에서 설명한 반도체 장치를 전자 부품에 적용하는 예에 대하여 설명한다. 또한, 전자 부품은 반도체 패키지 또는 IC용 패키지라고도 한다. 이와 같은 전자 부품에는 단자 추출 방향이나 단자의 형상에 따라 여러 규격이나 명칭이 있다. 그러므로 본 실시형태에서는 그 일례에 대하여 설명하기로 한다.

[0524] 상술한 실시형태에 기재된 반도체 장치는 조립 공정(후공정)을 거쳐, 인쇄 기판에 탈착 가능한 복수의 부품이 조합됨으로써 완성된다.

[0525] 후공정은 도 39의 (A)에 나타낸 각 공정을 거쳐 완료될 수 있다. 구체적으로는 전공정에서 얻어지는 소자 기판이 완성(단계(S1))된 후에 기판 뒷면을 연삭(研削)한다(단계(S2)). 이는, 이 단계에서 기판을 박막화함으로써 전공정에서 기판이 휘어지는 것 등을 저감하고 부품의 소형화를 도모하기 위한 것이다.

[0526] 다음에, 기판을 복수의 칩으로 분리하는 다이싱 공정을 행한다. 그리고 분리된 칩을 각각 꾹입하여 리드 프레임 위에 탑재하여 접합하는, 다이 본딩 공정을 행한다(단계(S3)). 이 다이 본딩 공정에서의 칩과 리드 프레임의 접착은 수지에 의한 접착이나 테이프에 의한 접착 등, 제품에 따라 적합한 방법을 적절히 선택한다. 또한, 다이 본딩 공정에서는 인터포저 위에 칩을 탑재하여 접합하여도 좋다.

[0527] 이어서, 리드 프레임의 리드와, 칩 위의 전극을 금속 세선(와이어)으로 전기적으로 접속하는, 와이어 본딩을 행한다(단계(S4)). 금속 세선으로서는 은선이나 금선을 사용할 수 있다. 또한 와이어 본딩으로서 볼 본딩이나 웨지 본딩(wedge bonding)을 채용할 수 있다.

[0528] 와이어 본딩된 칩을 에폭시 수지 등으로 밀봉하는, 몰딩 공정을 행한다(단계(S5)). 몰딩 공정을 행함으로써 전자 부품 내부가 수지로 충전되어, 기계적인 외력에 의한 내장된 회로부나 와이어에 대한 대미지를 저감할 수 있고, 또한 수분이나 먼지로 인한 특성 열화를 저감할 수 있다.

[0529] 다음에, 리드 프레임의 리드를 도금 처리한다. 그리고 리드를 절단하거나 성형 가공한다(단계(S6)). 이 도금 처리에 의하여 리드의 녹을 방지함으로써 나중에 인쇄 기판에 제공할 때 더 확실하게 납땜할 수 있다.

[0530] 이어서, 패키지 표면에 인자 처리(마킹)를 행한다(단계(S7)). 그리고 최종적인 검사 공정(스텝(S8))을 거쳐 전자 부품이 완성된다(스텝(S9)).

[0531] 상술한 전자 부품은 상술한 실시형태에서 설명한 반도체 장치를 포함하는 구성으로 할 수 있다. 그러므로, 데

이터를 판독하기 위한 신호를 다치(多值) 데이터의 수에 따라 전환하지 않고, 메모리 셀로부터의 다치 데이터의 판독을 행할 수 있는 메모리 셀을 가지는 전자 부품을 실현할 수 있다. 상술한 전자 부품은 데이터를 판독하기 위한 신호를 다치 데이터의 수에 따라 전환하지 않고, 메모리 셀로부터의 다치 데이터의 판독을 행할 수 있는 메모리 셀을 가지는 반도체 장치를 포함하기 때문에, 판독 동작의 고속화가 도모된 전자 부품이다.

[0532] 또한, 완성된 전자 부품의 사시 모식도를 도 39의 (B)에 도시하였다. 도 39의 (B)는 전자 부품의 일례로서, QFP(Quad Flat Package)의 사시 모식도를 도시한 것이다. 도 39의 (B)에 도시된 전자 부품(700)은 리드(701) 및 반도체 장치(703)를 가진다. 도 39의 (B)에 도시된 전자 부품(700)은 예를 들어 인쇄 기판(702)에 제공된다. 이와 같은 전자 부품(700)을 복수로 조합하여 각각을 인쇄 기판(702) 위에서 전기적으로 접속함으로써, 전자 부품이 제공된 기판(704)이 완성된다. 완성된 기판(704)은 전자 기기 등의 내부에 제공된다.

[0533] (실시형태 9)

[0534] 본 발명의 일 형태에 따른 반도체 장치는, 자동차, 자동 이륜차, 자전거 등의 차량, 항공기, 선박 등에 사용될 수 있다. 또한, 본 발명의 일 형태에 따른 반도체 장치는 휴대 전화, 손목시계, 휴대형 게임기, 휴대 데이터 단말, 전자 서적 단말, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이) 등의 전자 기기에 사용될 수 있다. 이들의 구체적인 예를 도 36에 도시하였다.

[0535] 도 36의 (A)에 도시된 손목시계형 단말은 하우징(801), 용두(802), 표시부(803), 벨트(804), 검지부(805) 등을 가진다. 표시부(803)에는 터치 패널을 제공하여도 좋다. 사용자는 터치 패널을 터치한 손가락을 포인터로 사용하여 정보를 입력할 수 있다.

[0536] 검지부(805)는 주위의 상태를 검지하여 정보를 취득하는 기능을 구비한다. 예를 들어, 카메라, 가속도 센서, 방위 센서, 압력 센서, 온도 센서, 습도 센서, 조도 센서, 또는 GPS(global positioning system) 신호 수신 회로 등을, 검지부(805)에 사용할 수 있다.

[0537] 예를 들어, 검지부(805)의 조도 센서에 의하여 검지된 주위의 밝기를, 하우징(801) 내부의 연산 장치가 소정의 조도와 비교하여 충분히 밝다고 판단한 경우, 반사형 액정 소자를 표시부(803)의 표시 소자로서 사용한다. 또는, 어둑어둑하다고 판단한 경우에는, 유기 EL 소자를 표시부(803)의 표시 소자로서 사용한다. 이에 의하여 예를 들어, 외광이 강한 환경에서는 반사형 표시 소자를 사용하고, 어둑어둑한 환경에서는 자발광형 표시 소자를 사용하여 화상 정보를 표시할 수 있다. 그 결과, 소비전력이 저감된 전자 기기를 제공할 수 있다.

[0538] 도 36의 (B)에 도시된 휴대 전화기는 하우징(811), 표시부(816), 조작 버튼(814), 외부 접속 포트(813), 스피커(817), 마이크로폰(812) 등을 구비한다. 도 36의 (B)에 도시된 휴대 전화기는 손가락 등으로 표시부(816)를 터치함으로써 정보를 입력할 수 있다. 또한, 전화를 걸거나 또는 문자를 입력하는 등의 각종 조작은, 손가락 등으로 표시부(816)를 터치함으로써 행할 수 있다. 또한, 조작 버튼(814)의 조작에 의하여 전원의 ON, OFF 동작이나, 표시부(816)에 표시되는 화상의 종류를 전환할 수 있다. 예를 들어, 메일 작성 화면에서 메인 메뉴 화면으로 전환할 수 있다.

[0539] 도 36의 (C)에 도시된 노트북형 퍼스널 컴퓨터는 하우징(821), 표시부(822), 키보드(823), 포인팅 디바이스(824) 등을 가진다.

[0540] 도 36의 (D)에 도시된 전기 냉동 냉장고는 하우징(831), 냉장실용 도어(832), 냉동실용 도어(833) 등을 가진다.

[0541] 도 36의 (E)에 도시된 비디오 카메라는 제 1 하우징(841), 제 2 하우징(842), 표시부(843), 조작 키(844), 렌즈(845), 접속부(846) 등을 가진다. 조작 키(844) 및 렌즈(845)는 제 1 하우징(841)에 제공되고, 표시부(843)는 제 2 하우징(842)에 제공되어 있다. 그리고, 제 1 하우징(841)과 제 2 하우징(842)은 접속부(846)로 접속되어 있고, 제 1 하우징(841)과 제 2 하우징(842) 사이의 각도는, 접속부(846)로 변경 가능하다. 표시부(843)에서의 영상을, 접속부(846)에서의 제 1 하우징(841)과 제 2 하우징(842) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0542] 도 36의 (F)에 도시된 자동차는 차체(851), 차륜(852), 대시보드(853), 라이트(854) 등을 가진다.

[0543] (실시형태 10)

[0544] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 구비할 수 있는 RF 태그의 사용예에 대하여 도 37을 참조하여 설명한다. RF 태그의 용도는 광범위하며, 예를 들어 지폐, 동전, 유가증권류, 무기명 채권류, 증서류(운전 면허증이나 주민표 등, 도 37의 (A) 참조), 기록 매체(DVD나 비디오 테이프 등, 도 37의 (B) 참조), 포장

용 용기류(포장지나 보틀 등, 도 37의 (C) 참조), 탈 것류(자전거 등, 도 37의 (D) 참조), 개인 소지품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 약품이나 약제를 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 물품, 또는 각 물품에 붙이는 태그(도 37의 (E) 및 (F) 참조) 등에 제공하여 사용될 수 있다.

[0545] 본 발명의 일 형태에 따른 RF 태그(4000)는 표면에 붙이거나, 또는 매립함으로써 물품에 고정된다. 예를 들어, 책이면 종이에 매립하고, 유기 수지로 이루어지는 패키지이면 이 유기 수지의 내부에 매립하는 식으로 각 물품에 고정된다. 본 발명의 일 형태에 따른 RF 태그(4000)는 소형, 박형, 경량이기 때문에 물품에 고정되어도 그 물품 자체의 디자인성을 손상시키지 않는다. 또한, 지폐, 동전, 유가증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태에 따른 RF 태그(4000)를 제공함으로써 인증 기능을 부가할 수 있고, 이 인증 기능을 활용하여 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 개인 소지품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 일 형태에 따른 RF 태그를 부착함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것류의 경우에도, 본 발명의 일 형태에 따른 RF 태그를 부착함으로써 도난 등에 대한 보안성을 높일 수 있다.

[0546] 상술한 바와 같이, 본 발명의 일 형태에 따른 RF 태그를 본 실시형태에 기재된 각 용도로 사용하면, 정보의 기록 또는 판독 시 등의 동작 전력을 저감할 수 있기 때문에 최대 통신 거리를 길게 할 수 있다. 또한, 전력이 차단된 상태에서도 매우 장기간에 걸친 정보 유지가 가능하기 때문에, 기록이나 판독의 빈도가 낮은 용도로도 적합하게 사용할 수 있다.

[0547] 본 명세서 등에서 '제 1', '제 2', '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서, 구성 요소의 수를 한정하는 것은 아니다. 또한, 구성 요소의 순서를 한정하는 것은 아니다. 또한, 예를 들어 본 명세서 등의 실시형태 중 하나에서의 '제 1' 구성 요소가, 다른 실시형태 또는 청구범위에서 '제 2' 구성 요소가 될 수도 있다. 또한, 예를 들어 본 명세서 등의 실시형태 중 하나에서의 '제 1' 구성 요소가 다른 실시형태, 또는 청구범위에서 생략될 수도 있다.

[0548] 본 명세서 등에서 '전극'이나 '배선'이라는 용어는 이를 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, '전극'이 '배선'의 일부로서 사용될 수 있고, 그 반대도 마찬가지이다. 또한, '전극'이나 '배선'이라는 용어는 복수의 '전극'이나 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0549] 또한, 본 명세서 등에서 전압과 전위는 적절히 바꿔 말할 수 있다. 전압은 기준이 되는 전위와의 전위차를 말하며, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, 전압을 전위라고 바꿔 말할 수 있다. 그라운드 전위는 반드시 OV를 뜻하지는 않는다. 또한 전위는 상대적인 것이며, 기준이 되는 전위에 따라서는 배선 등에 공급되는 전위가 변화되는 경우가 있다.

[0550] 또한, 본 명세서 등에서 '막', '층' 등의 어구는 경우 또는 상황에 따라서는 서로 바꿀 수 있다. 예를 들어, '도전층'이라는 용어를 '도전막'이라는 용어로 바꿀 수 있는 경우가 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 바꿀 수 있는 경우가 있다.

[0551] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하여 전환하는 기능을 가지는 것을 말한다. 일례로서는, 전기적인 스위치 또는 기계적인 스위치 등을 사용할 수 있다. 즉, 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정한 것에 한정되지 않는다.

[0552] 전기적인 스위치의 일례로서는, 트랜지스터(예를 들어, 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(metal insulator metal) 다이오드, MIS(metal insulator semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다.

[0553] 또한, 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 '도통 상태'란 트랜지스터의 소스와 드레인이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한, 트랜지스터의 "비도통 상태"란, 트랜지스터의 소스와 드레인이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한, 트랜지스터를 단순히 스위치로서 동작시키는 경우, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0554] 기계적인 스위치의 일례로서는, 디지털 마이크로미러 디바이스(DMD)와 같이 MEMS(micro electro mechanical systems) 기술을 이용한 스위치가 있다. 이 스위치는 기계적으로 움직일 수 있는 전극을 가지고, 이 전극이 움

직임으로써 도통과 비도통을 제어하여 동작한다.

[0555] 예를 들어, 본 명세서 등에서, X와 Y가 접속되어 있다라고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장으로 표현된 접속 관계에 한정되지 않고 도면 또는 문장으로 표현된 접속 관계 외의 것도 도면 또는 문장으로 표현되어 있는 것으로 한다.

[0556] 여기서 X, Y는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이다.

[0557] X와 Y가 직접 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 접속되어 있지 않은 경우를 말하며, X와 Y의 전기적인 접속을 가능하게 하는 소자를 통하지 않고 X와 Y가 접속되어 있는 경우를 가리킨다.

[0558] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다.

[0559] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 존재하더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y는 기능적으로 접속되어 있는 것으로 한다. 또한, X와 Y가 기능적으로 접속되어 있다는 것은 X와 Y가 직접 접속되어 있는 경우와 X와 Y가 전기적으로 접속되어 있는 경우를 포함한다.

[0560] 또한, 'X와 Y가 전기적으로 접속되어 있다'라고 명시적으로 기재되어 있는 경우, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y가 다른 회로를 사이에 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재하지 않고 접속되어 있는 경우)가 본 명세서 등에 개시되어 있는 것으로 한다. 즉, '전기적으로 접속되어 있다'라고 명시적으로 기재되어 있는 경우는, 단순히 '접속되어 있다'라고 명시적으로 기재되어 있는 것과 같은 내용이 본 명세서 등에 개시되어 있는 것으로 한다.

[0561] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되어 있고, Z1의 다른 일부가 X와 직접 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되어 있고, Z2의 다른 일부가 Y와 직접 접속되어 있는 경우에는 이하와 같이 표현할 수 있다.

[0562] 예를 들어, 'X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y의 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, 'X는 트랜지스터의 소스(또는 제 1 단자 등) 및 트랜지스터의 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 접속 순서대로 제공되어 있다'라고 표현할 수 있다. 상술한 예와 같은 표현 방법으로 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다.

[0563] 또는 다른 표현 방법으로서, 예를 들어 '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로로 X와 전기적으로 접속되어 있고, 상기 제 1 접속 경로는 제 2 접속 경로를 가지지 않고, 상기 제 2 접속 경로는 트랜지스터를 경유하는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의

경로이고, 상기 제 1 접속 경로는 Z1을 경유하는 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로로 Y와 전기적으로 접속되어 있고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 가지지 않고, 상기 제 3 접속 경로는 Z2를 경유하는 경로이다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로로 Z1을 통하여 X와 전기적으로 접속되어 있고, 상기 제 1 접속 경로는 제 2 접속 경로를 가지지 않고, 상기 제 2 접속 경로는 트랜지스터를 경유하는 접속 경로를 가지고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로로 Z2를 통하여 Y와 전기적으로 접속되어 있고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 가지지 않는다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 전기적 경로로 Z1을 통하여 X와 전기적으로 접속되어 있고, 상기 제 1 전기적 경로는 제 2 전기적 경로를 가지지 않고, 상기 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 전기적 경로로 Z2를 통하여 Y와 전기적으로 접속되어 있고, 상기 제 3 전기적 경로는 제 4 전기적 경로를 가지지 않고, 상기 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 경로이다'라고 표현할 수 있다. 상술한 예와 같은 표현 방법으로 회로 구성에서의 접속 경로를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다.

[0564] 다만, 이들 표현 방법은 일례에 불과하고 이들에 한정되지 않는다. 여기서 X, Y, Z1, 및 Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이다.

[0565] 또한, 회로도에 있어서 독립된 구성 요소들이 전기적으로 접속된 것처럼 도시되더라도, 하나의 구성 요소가 복수의 구성 요소로서의 기능을 겸비하는 경우도 있다. 예를 들어, 배선의 일부가 전극으로도 기능하는 경우, 하나의 도전막이 배선 및 전극 양쪽으로서의 기능을 겸비한다. 따라서, 본 명세서에서 '전기적으로 접속'이라는 표현은 이와 같이 하나의 도전막이 복수의 구성 요소로서의 기능을 겸비하는 경우도 그 범주에 포함한다.

부호의 설명

[0566] BL_1: 배선

BL_2: 배선

C0: 용량 소자

C1: 용량 소자

C2: 용량 소자

C11: 용량 소자

C12: 용량 소자

C21: 용량 소자

C22: 용량 소자

C24: 용량 소자

C25: 용량 소자

C26: 용량 소자

C28: 용량 소자

C41: 용량 소자

C42: 용량 소자

C43: 용량 소자

CB1: 용량 소자

CB2: 용량 소자

CG1: 단자

CG2: 단자

GBL_1: 배선

GBL_2: 배선

IN0: 단자

IN1: 단자

IN4: 단자

INIT2: 신호

INV1: 인버터

INV2: 인버터

M0: 트랜지스터

M0_1: 트랜지스터

M0_2: 트랜지스터

M1: 트랜지스터

M2: 트랜지스터

M3: 트랜지스터

M4: 트랜지스터

M11: 트랜지스터

M12: 트랜지스터

M21: 트랜지스터

M23: 트랜지스터

M24: 트랜지스터

M25: 트랜지스터

M28: 트랜지스터

M31: 트랜지스터

M34: 트랜지스터

M41: 트랜지스터

M42: 트랜지스터

NO: 노드

N1: 노드

N7: 노드

N11: 노드

N12: 노드

N41: 노드

N42: 노드

N43: 노드

NET1: 노드

NET2: 노드

OP1: 회로

OP2: 회로

OP3: 회로

OP4: 회로

OP5: 회로

OS1: 트랜지스터

OS2: 트랜지스터

P0: 기간

P1: 기간

P2: 기간

P3: 기간

P4: 기간

P5: 기간

P6: 기간

SN1: 노드

SN2: 노드

T1: 기간

T2: 기간

T3: 기간

T4: 기간

WL_1: 배선

WL_2: 배선

10: 회로

11: 전압 유지 회로

11a: 전압 유지 회로

11b: 전압 유지 회로

12: 전압 생성 회로

12_1: 회로

12_2: 회로

12a: 전압 생성 회로

12b: 전압 생성 회로

12c: 전압 생성 회로

12d: 전압 생성 회로

12e: 전압 생성 회로

100: 메모리 셀

- 101: 메모리 셀
 102: 절연체
 110: 기억 장치
 111: 열 선택 드라이버
 112: 행 선택 드라이버
 113: 디코더
 114: 제어 회로
 115: 디코더
 116: 래치 회로
 118: 스위치 회로
 119: 트랜지스터
 120: 메모리 셀 어레이
 121: 회로
 122: 콤판레이터
 123: 인코더
 124: 래치
 125: 버퍼
 130: 메모리 셀
 130_1: 메모리 셀
 130_2: 메모리 셀
 131: 기억 장치
 132: 셀 어레이
 134: 감지 증폭기 회로
 135: 구동 회로
 136: 메인 증폭기
 137: 입출력 회로
 138: 증폭 회로
 139: 스위치 회로
 140: 프리차지 회로
 141: 트랜지스터
 142: 트랜지스터
 143: 트랜지스터
 144: 트랜지스터
 145: 트랜지스터
 146: 트랜지스터
 147: 트랜지스터

148: 트랜지스터

149: 트랜지스터

150: 메모리 셀

160: 전원 회로

170: 화소

171: 용량 소자

172: 표시 소자

180: 표시 장치

200: 트랜지스터

205: 도전체

205a: 도전체

205b: 도전체

210: 절연체

212: 절연체

214: 절연체

216: 절연체

218: 도전체

220: 절연체

222: 절연체

224: 절연체

230: 산화물 반도체

230a: 산화물 반도체

230b: 산화물 반도체

230c: 산화물 반도체

230d: 산화물 반도체

240a: 도전체

240b: 도전체

241a: 도전체

241b: 도전체

244: 도전체

250: 절연체

260: 도전체

260a: 도전체

260b: 도전체

260c: 도전체

270: 절연체

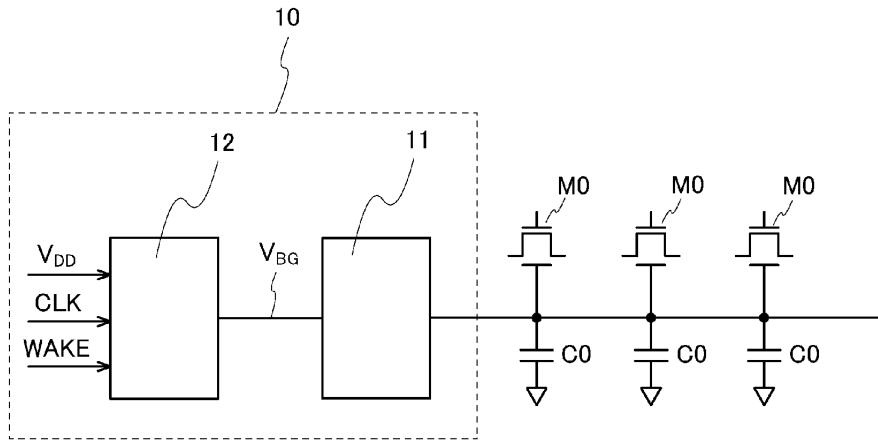
- 280: 절연체
 282: 절연체
 284: 절연체
 300: 트랜지스터
 301: 기판
 302: 반도체 영역
 304: 절연체
 306: 도전체
 308a: 저저항 영역
 308b: 저저항 영역
 320: 절연체
 322: 절연체
 324: 절연체
 326: 절연체
 328: 도전체
 330: 도전체
 350: 절연체
 352: 절연체
 354: 절연체
 356: 도전체
 358: 절연체
 400: 용량 소자
 410: 절연체
 412: 도전체
 416: 도전체
 424: 도전체
 430: 절연체
 432: 절연체
 434: 절연체
 450: 절연체
 700: 전자 부품
 701: 리드
 702: 인쇄 기판
 703: 반도체 장치
 704: 기판
 740: 논리 블록

- 741: LUT
742: 플립플롭
743: 기억 회로
743a: 기억 회로
743b: 기억 회로
744: 입력 단자
745: 출력 단자
746: 출력 단자
747: AND 회로
748: 멀티플렉서
750: PLD
751: 배선군
752: 스위치 회로
753: 배선 리소스
754: 단자
755: 배선
756: 배선
757: 트랜지스터
758: 트랜지스터
759: 트랜지스터
760: 트랜지스터
761: 트랜지스터
762: 트랜지스터
770: I/O 엘리먼트
771: PLL
772: RAM
773: 승산기
801: 하우징
802: 용두
803: 표시부
804: 벨트
805: 검지부
811: 하우징
812: 마이크로폰
813: 외부 접속 포트
814: 조작 버튼

- 816: 표시부
 817: 스피커
 821: 하우징
 822: 표시부
 823: 키보드
 824: 포인팅 디바이스
 831: 하우징
 832: 냉장실용 도어
 833: 냉동실용 도어
 841: 하우징
 842: 하우징
 843: 표시부
 844: 조작 키
 845: 렌즈
 846: 접속부
 851: 차체
 852: 차륜
 853: 대시보드
 854: 라이트
 1189: ROM 인터페이스
 1190: 기판
 1191: ALU
 1192: ALU 컨트롤러
 1193: 인스트럭션 디코더
 1194: 인터럽트 컨트롤러
 1195: 타이밍 컨트롤러
 1196: 레지스터
 1197: 레지스터 컨트롤러
 1198: 버스 인터페이스
 1199: ROM
 4000: RF 태그

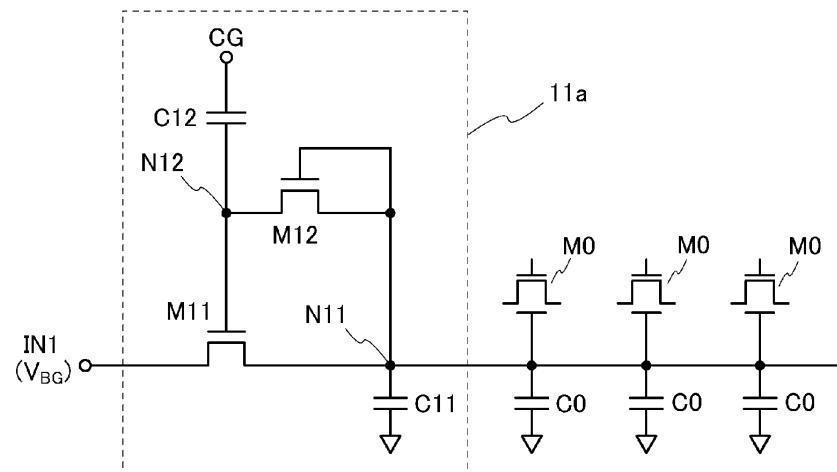
도면

도면1

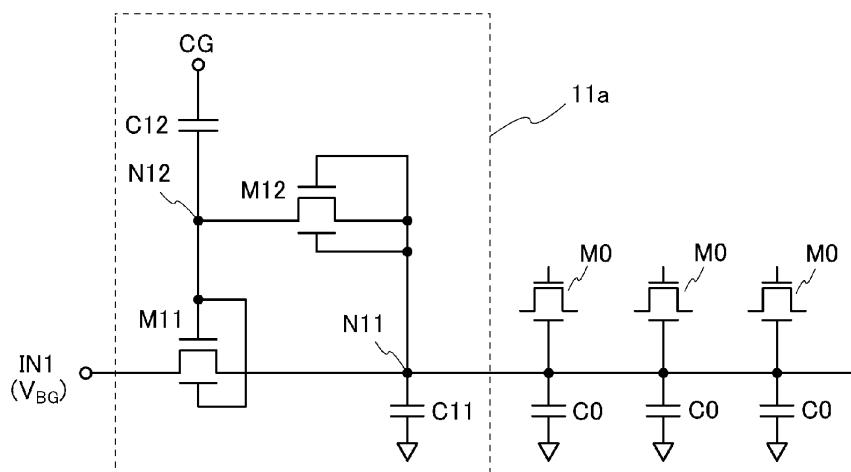


도면2

(A)

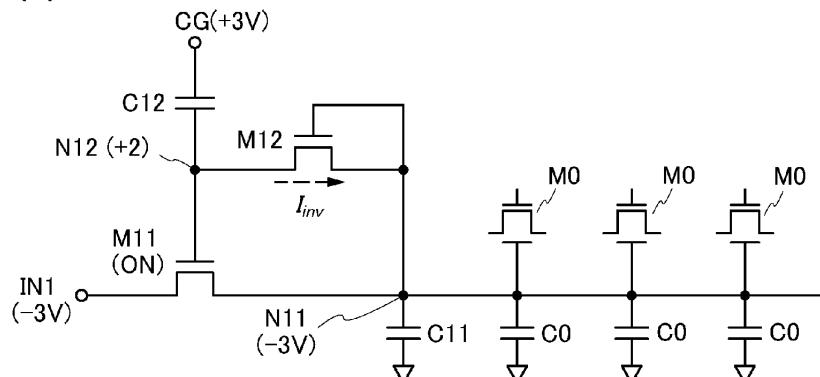


(B)

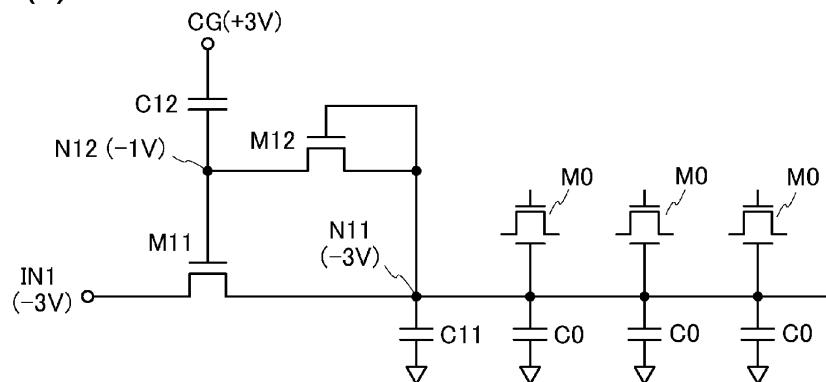


도면3

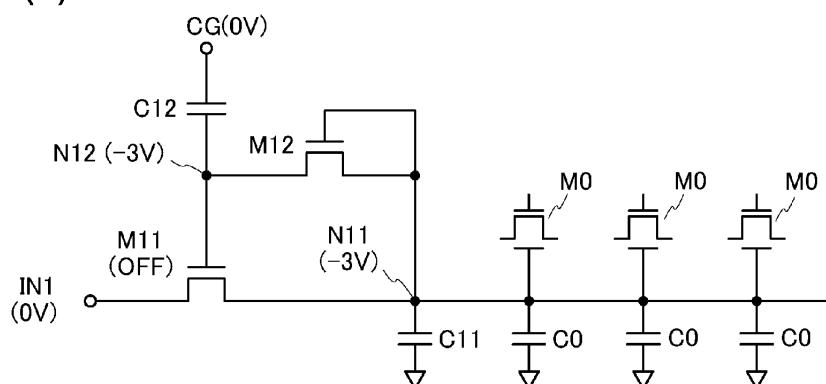
(A)



(B)

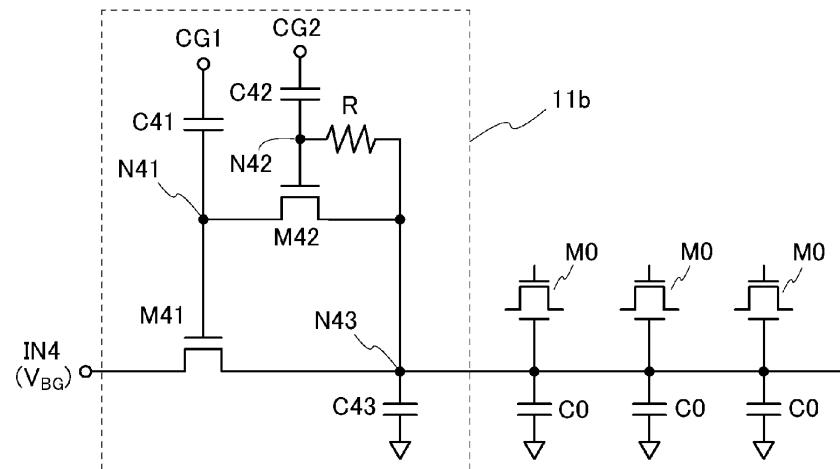


(C)

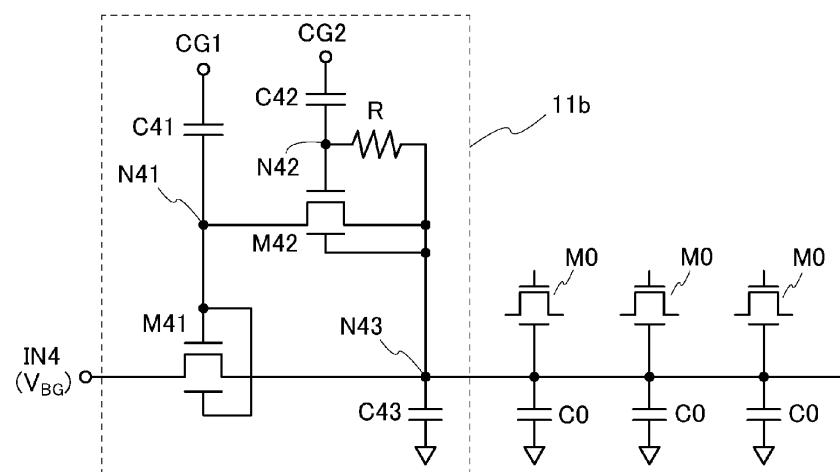


도면4

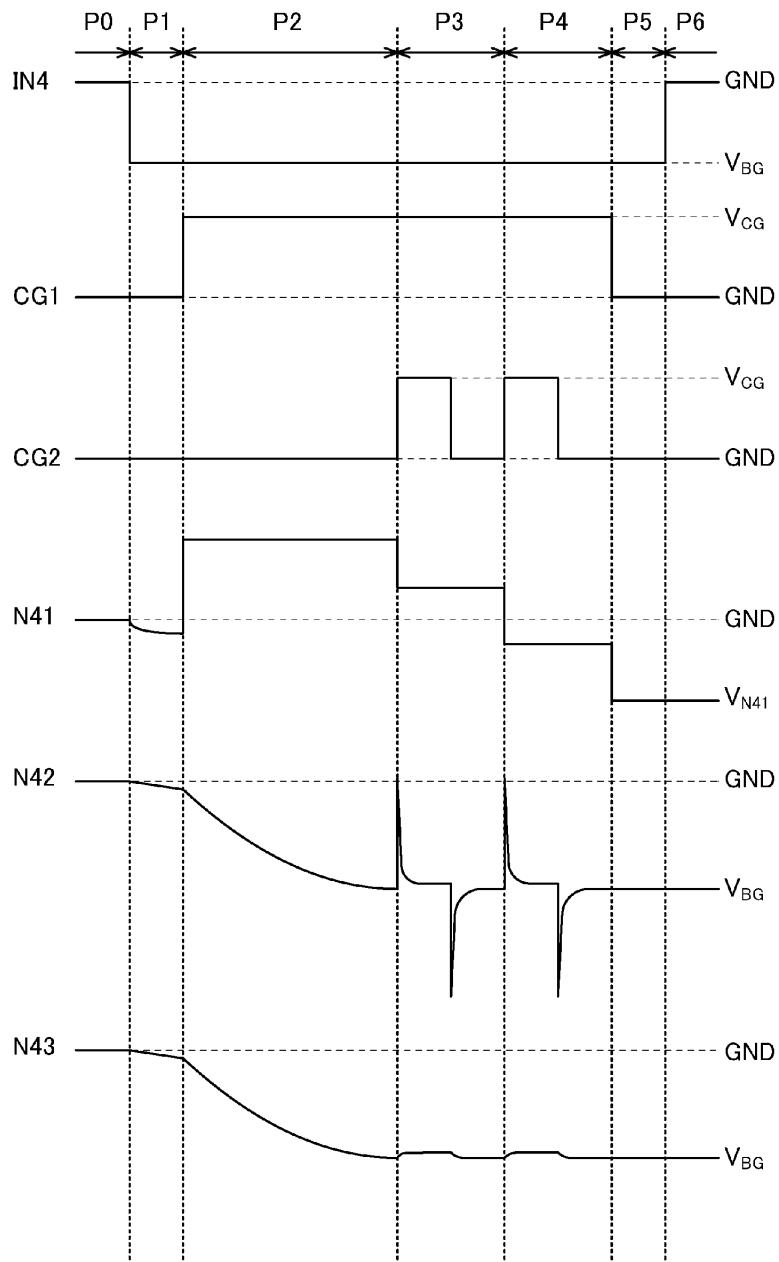
(A)



(B)

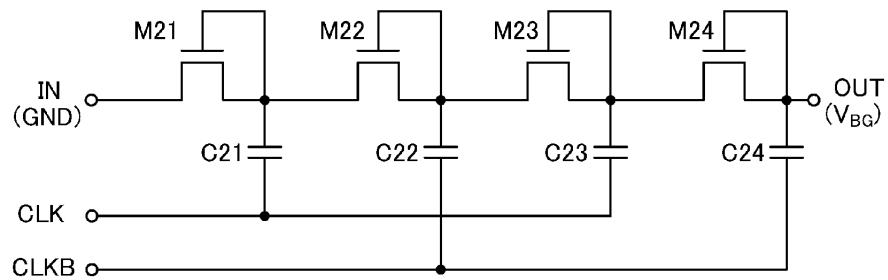


도면5

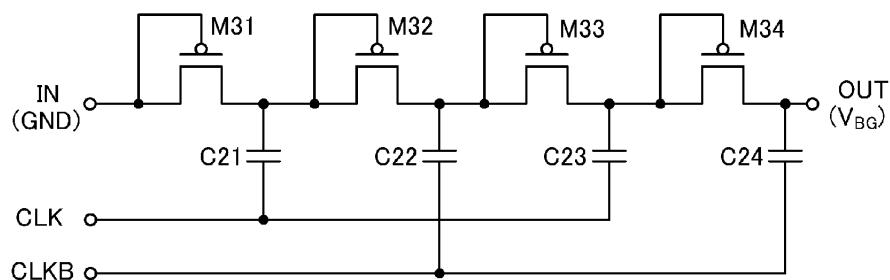


도면6

(A)

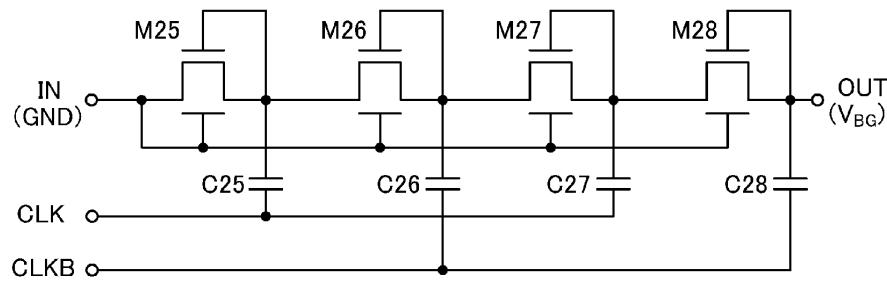
12a

(B)

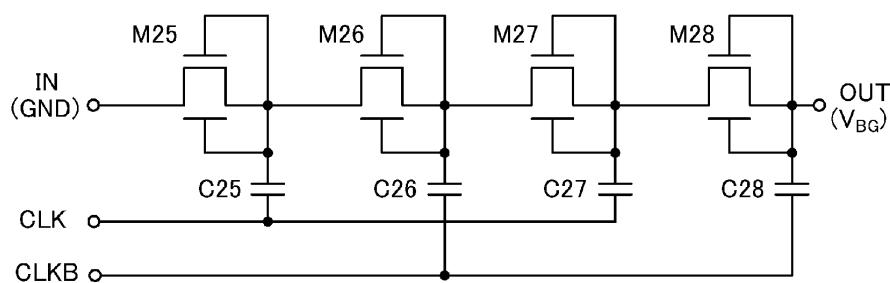
12b

도면7

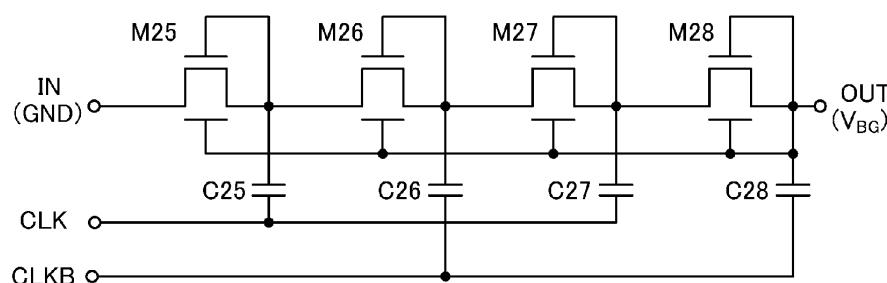
(A)

12c

(B)

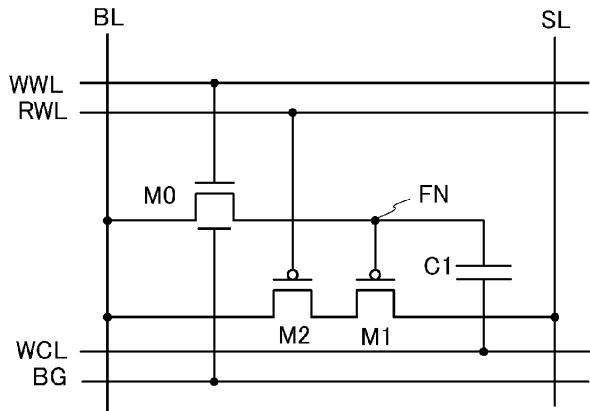
12d

(C)

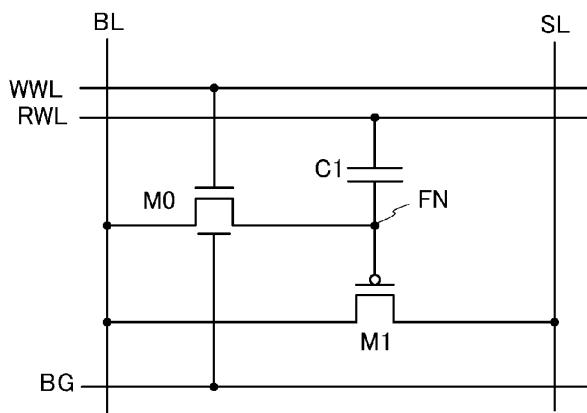
12e

도면8

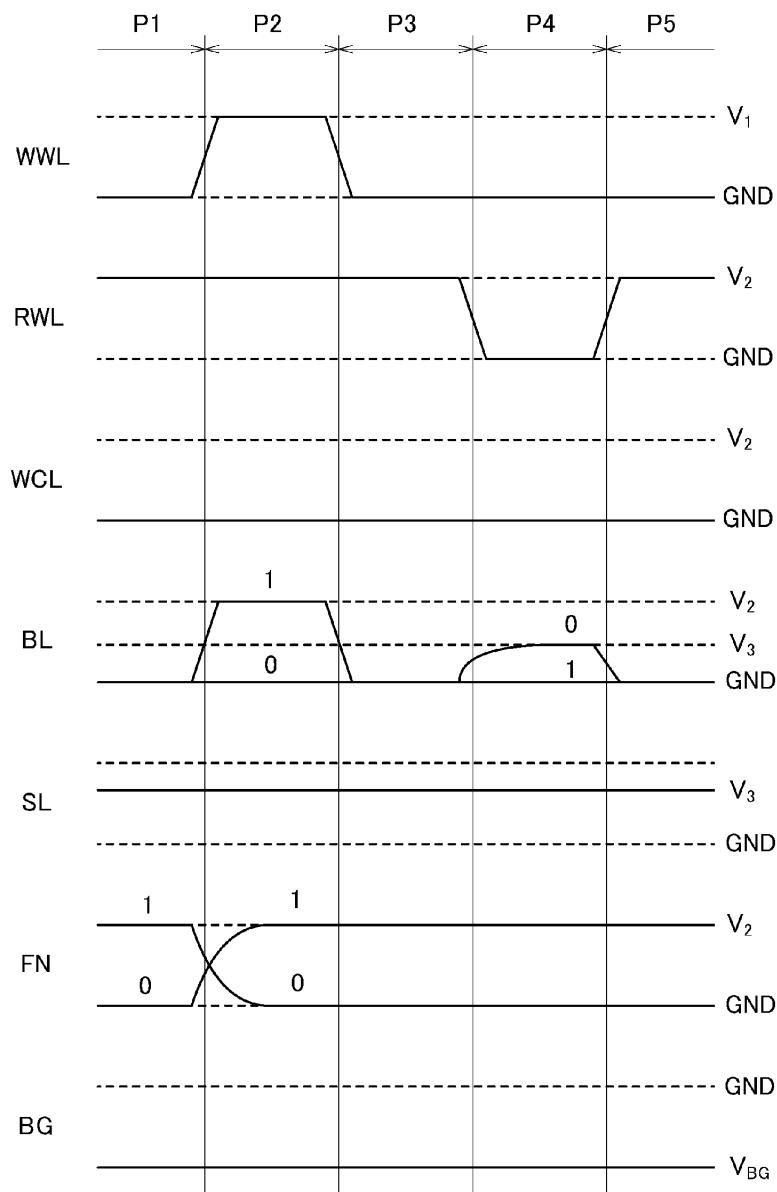
(A)

100

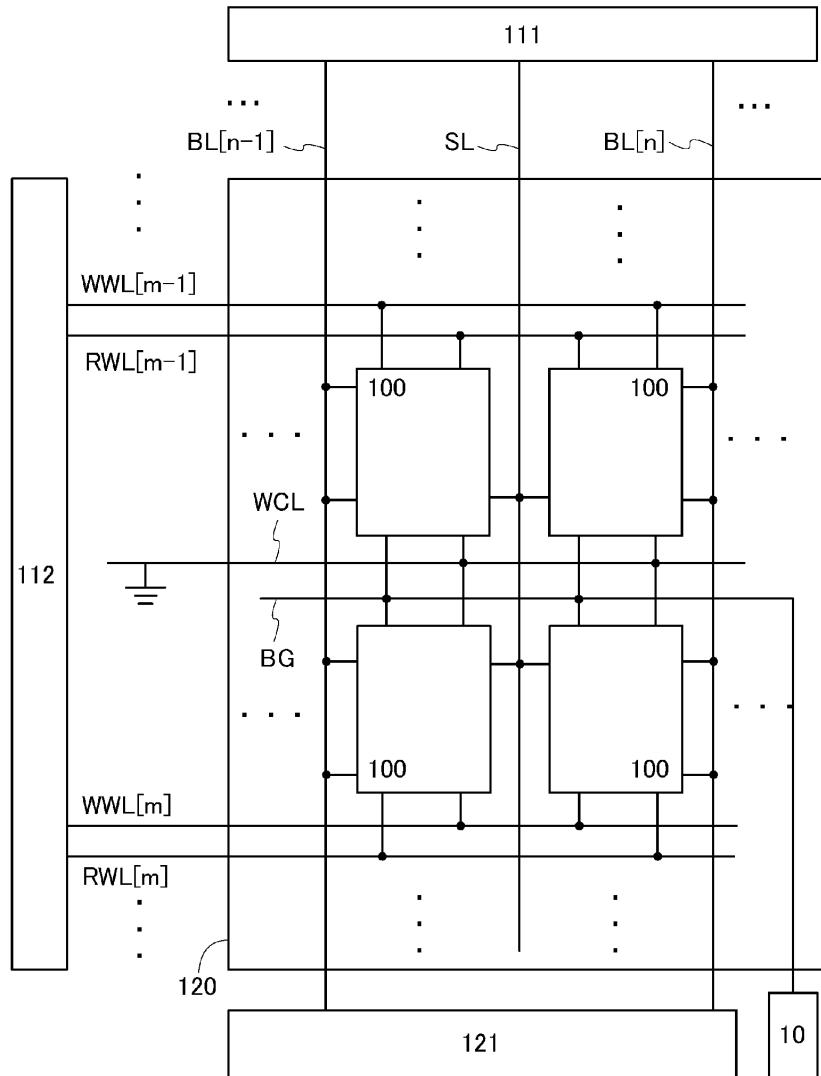
(B)

101

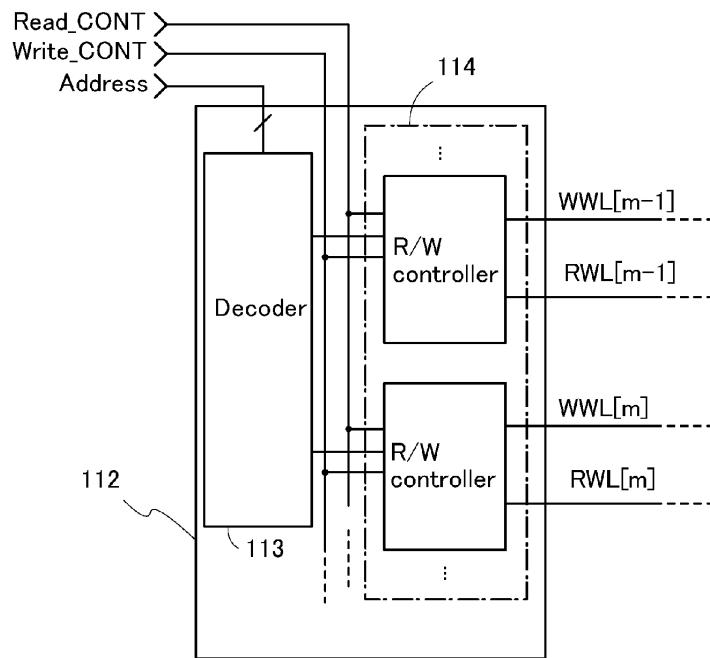
도면9



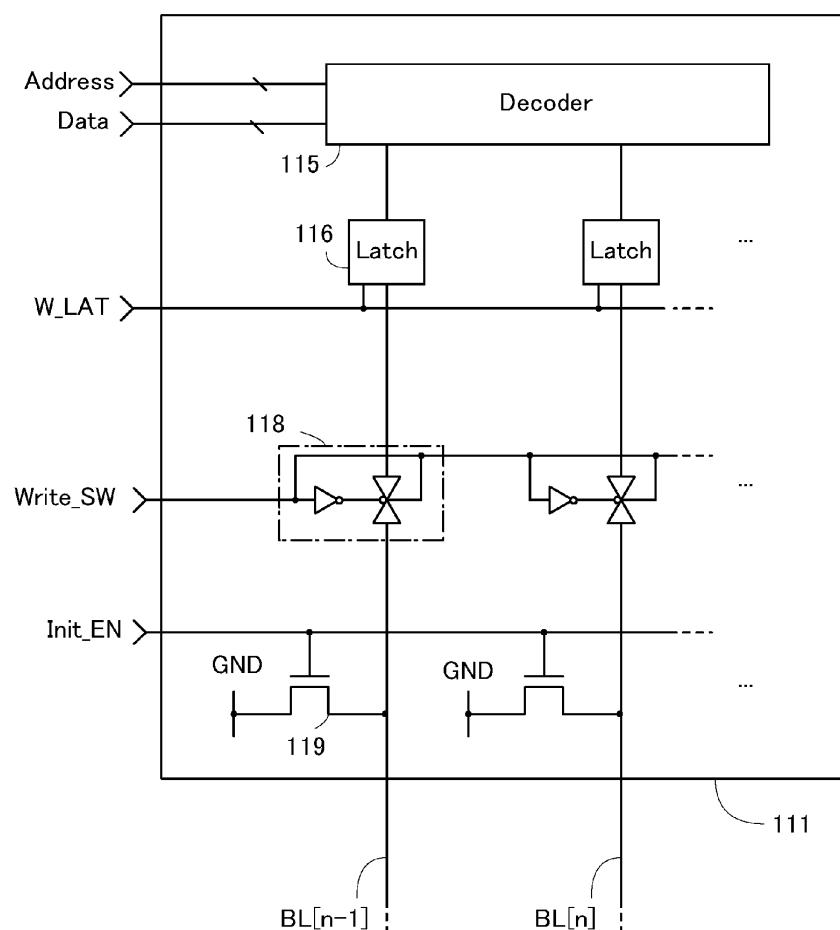
도면10

110

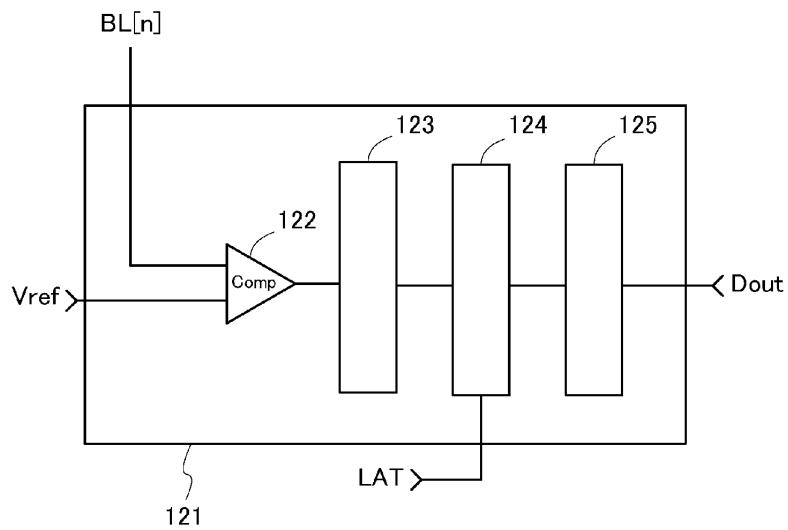
도면11



도면12

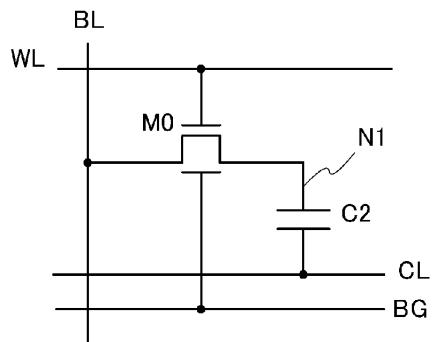


도면13

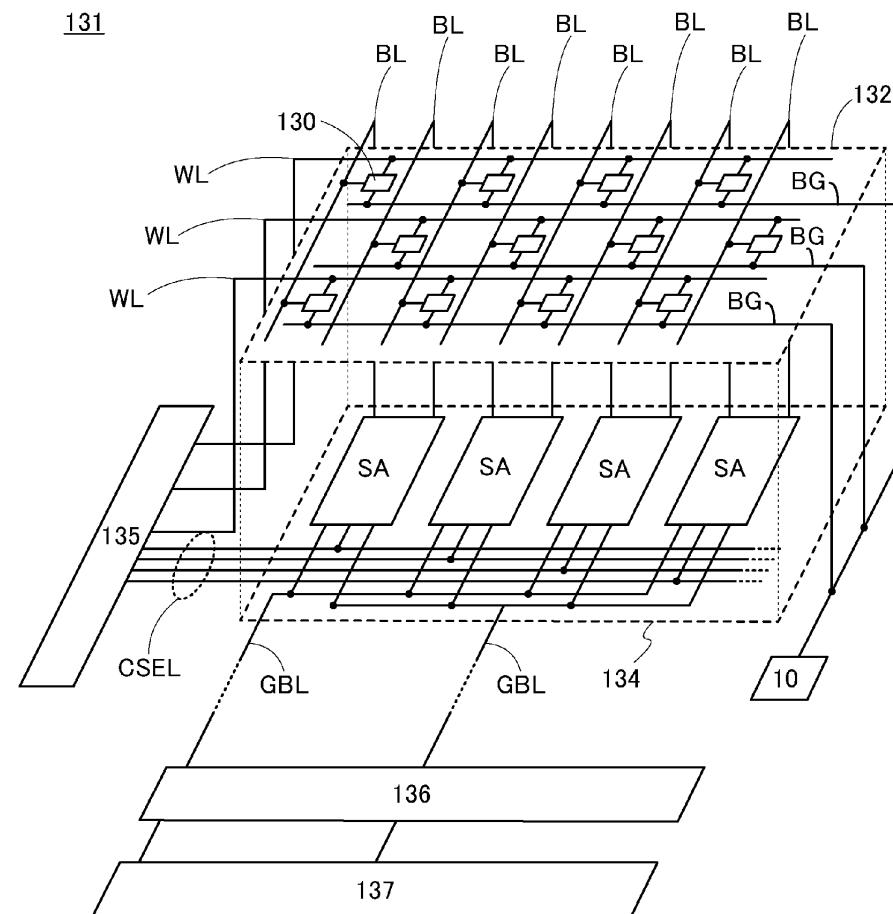


도면14

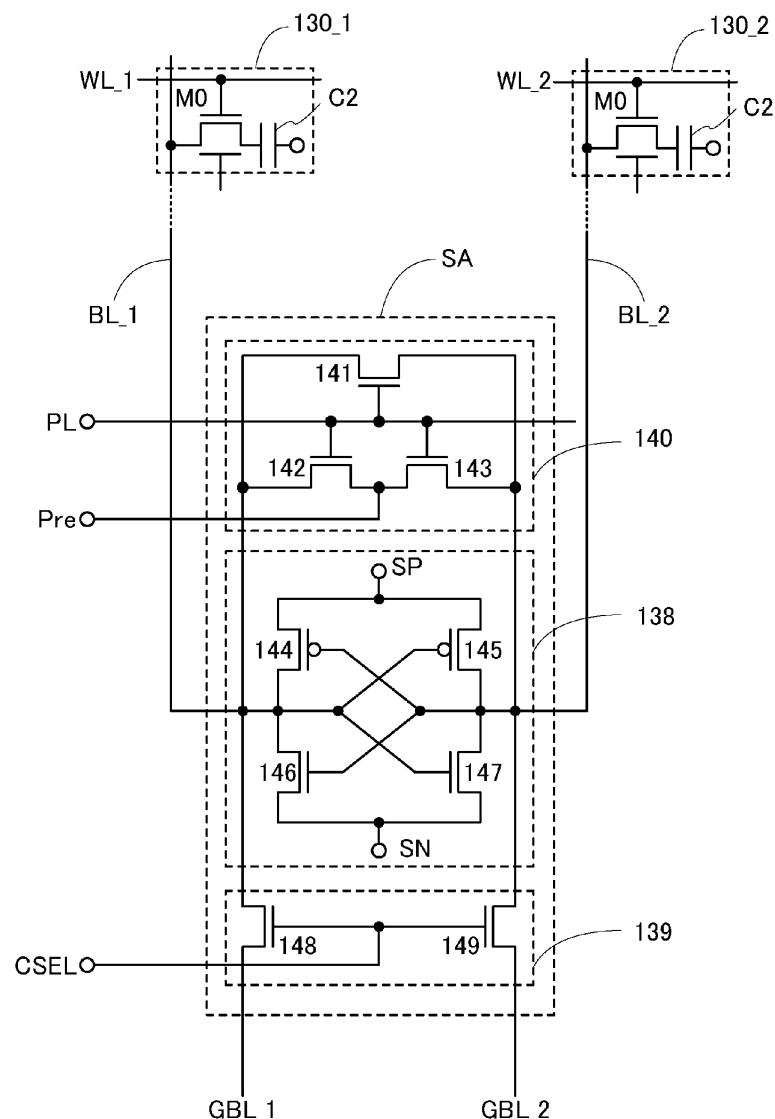
130



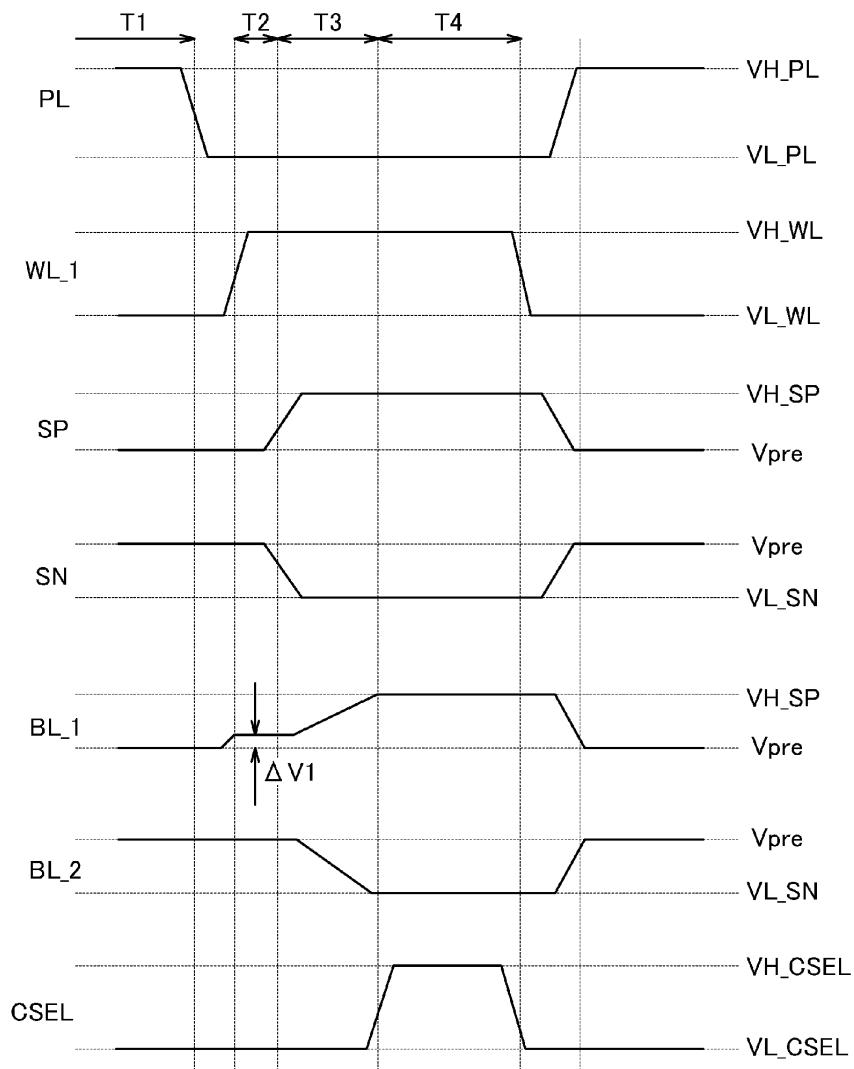
도면15



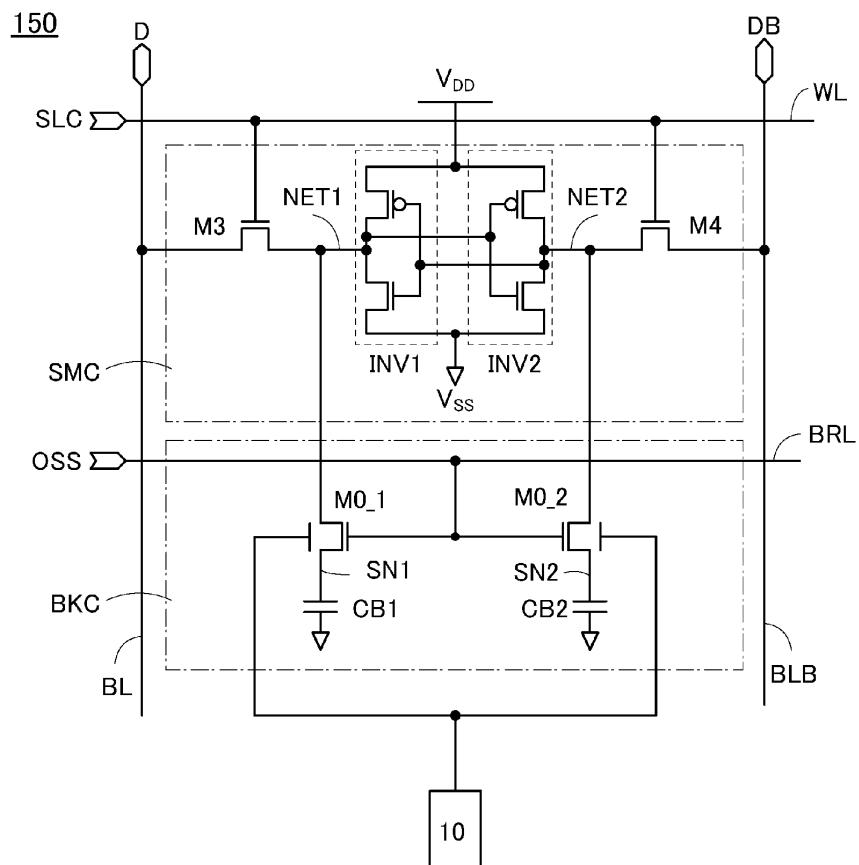
도면16



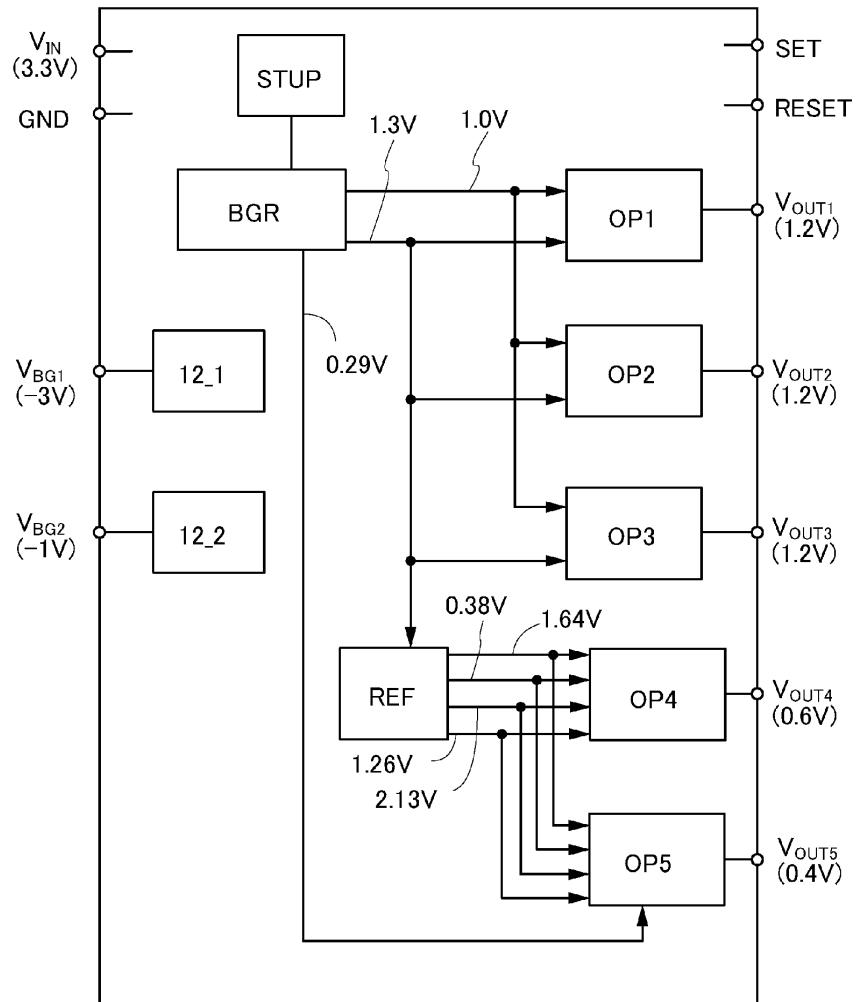
도면17



도면18

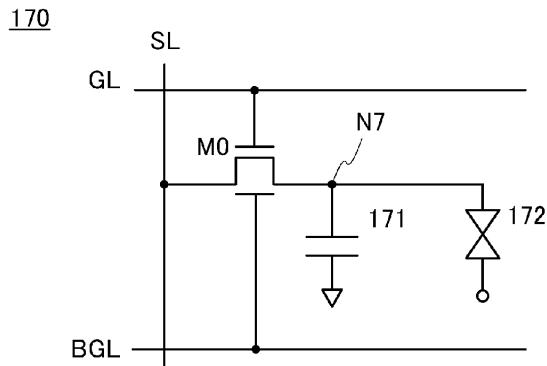


도면19

160

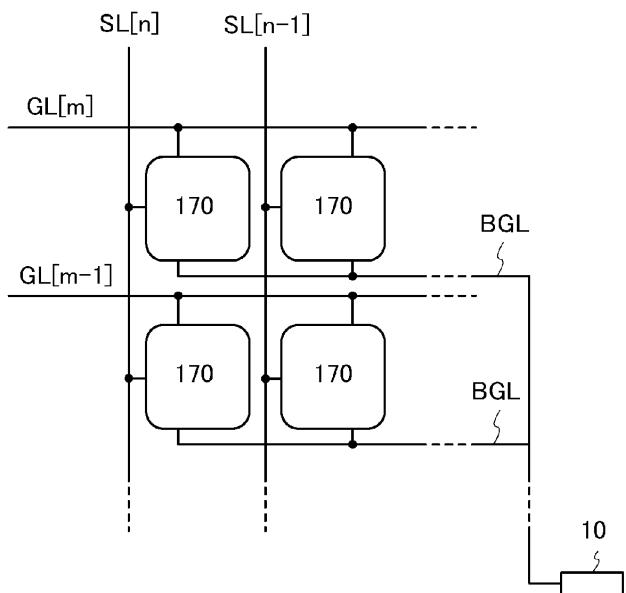
도면20

(A)



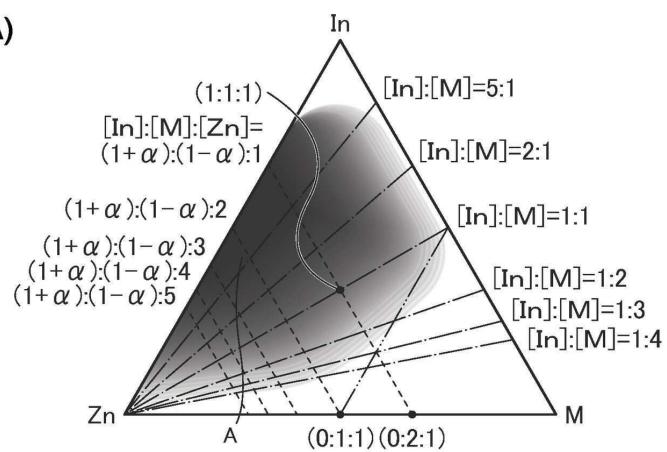
(B)

180

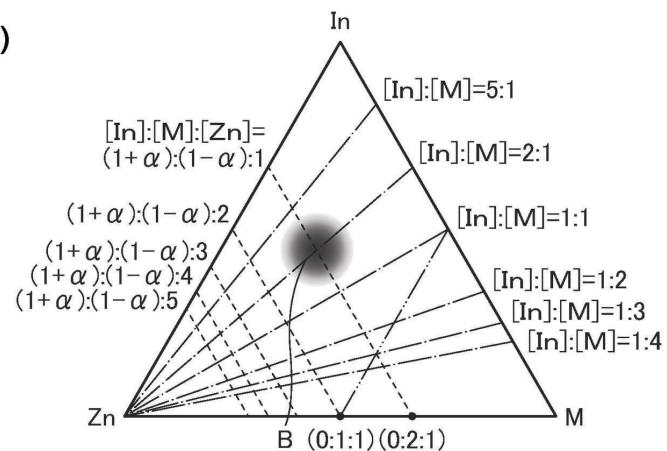


도면21

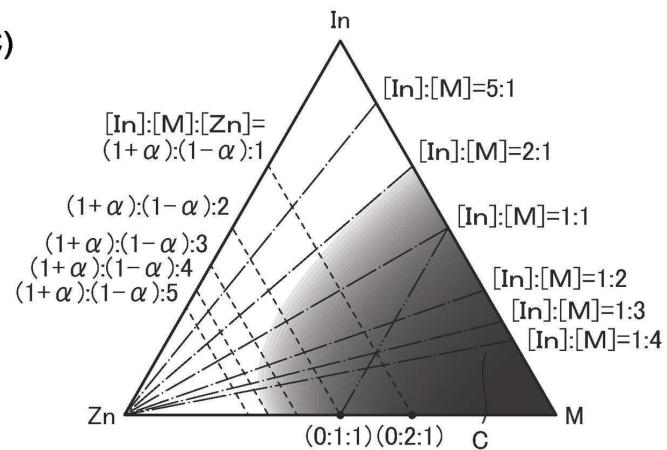
(A)



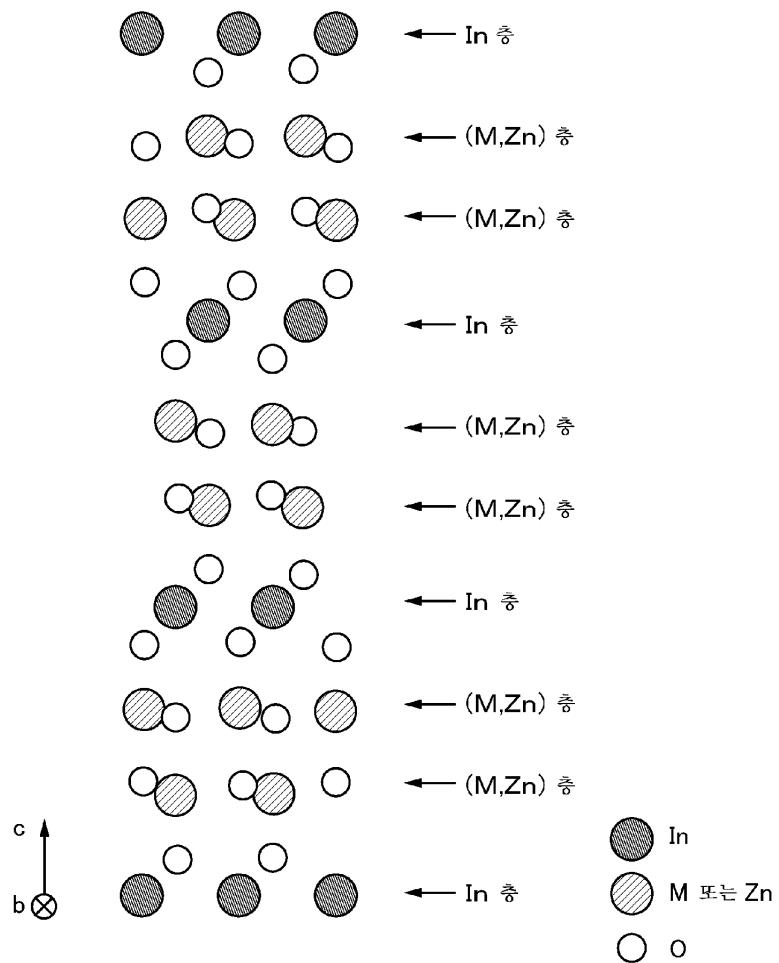
(B)



(C)

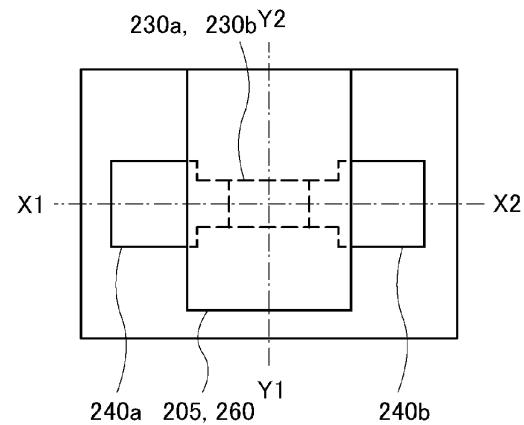


도면22

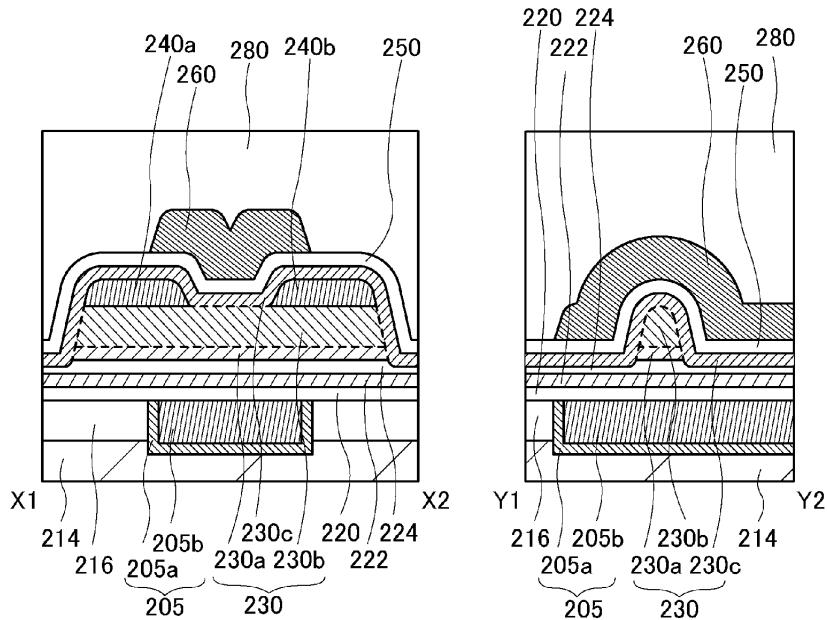


도면23

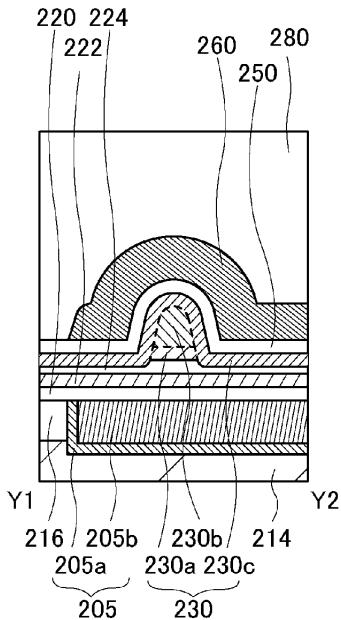
(A)

200

(B)

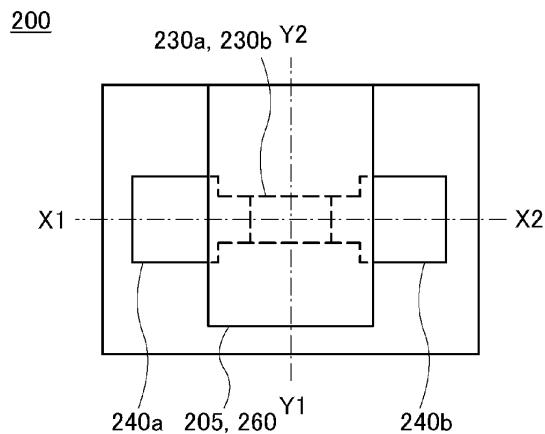
200

(C)

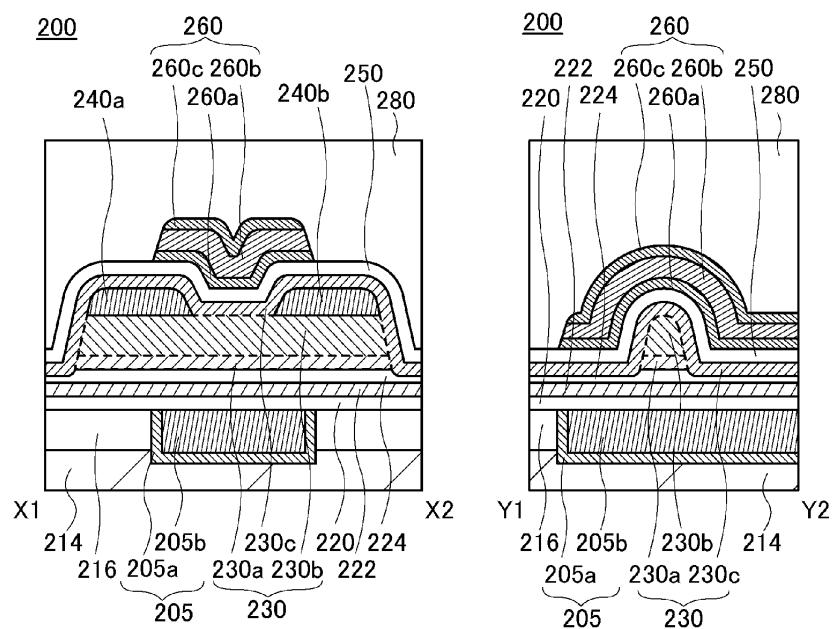
200

도면24

(A)



(B)

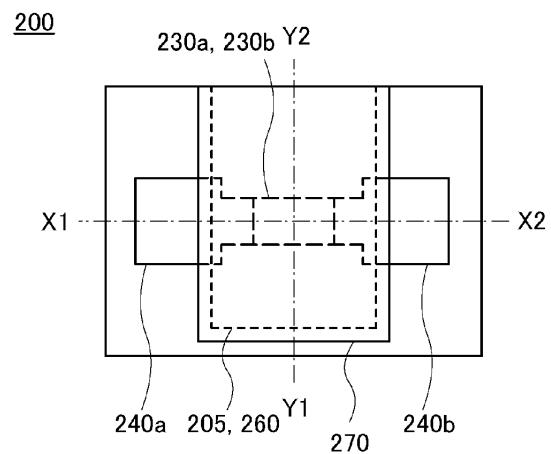


(C)

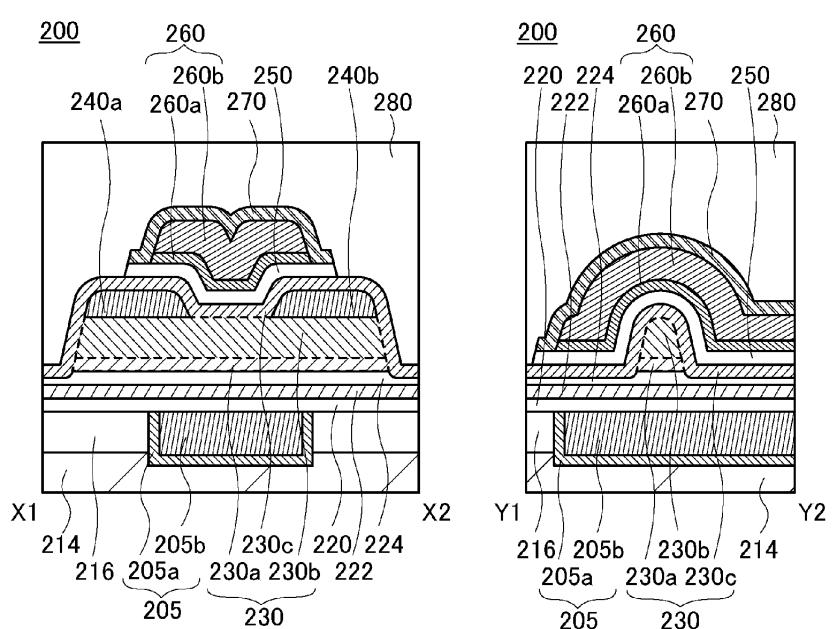
- 76 -

도면25

(A)

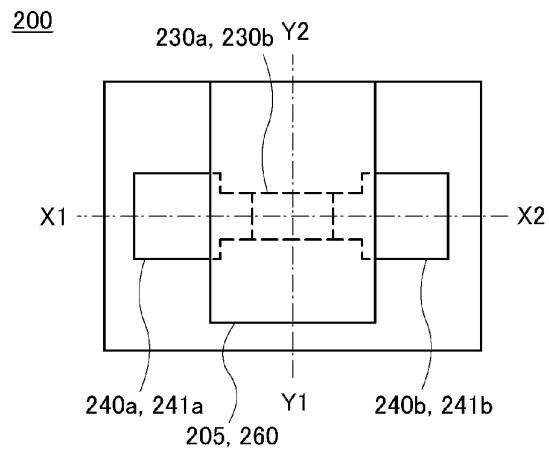


(B)

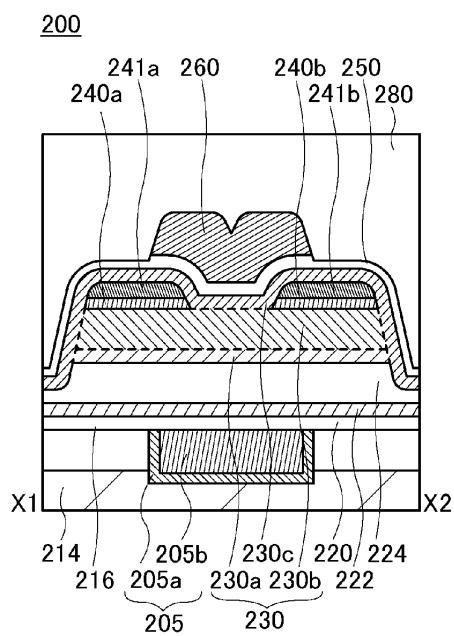


도면26

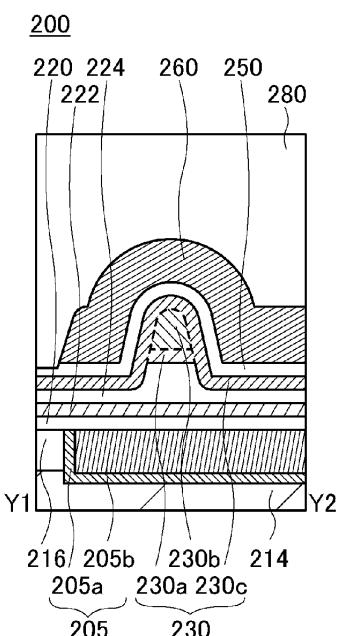
(A)



(B)

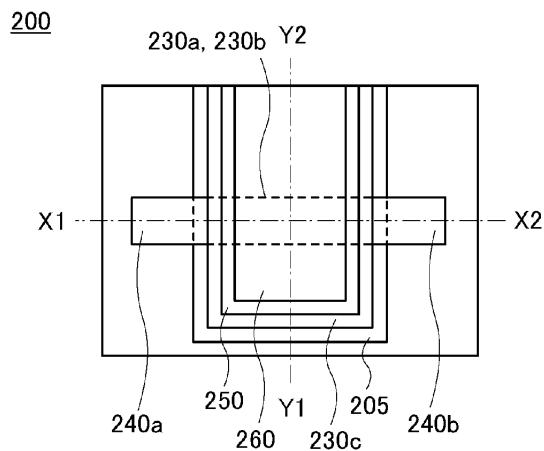


(C)

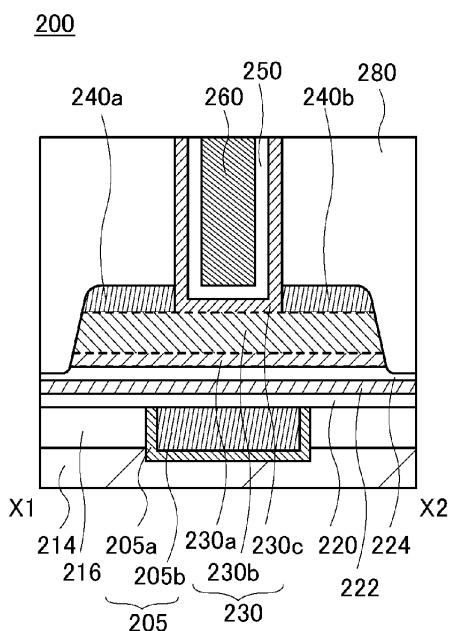


도면27

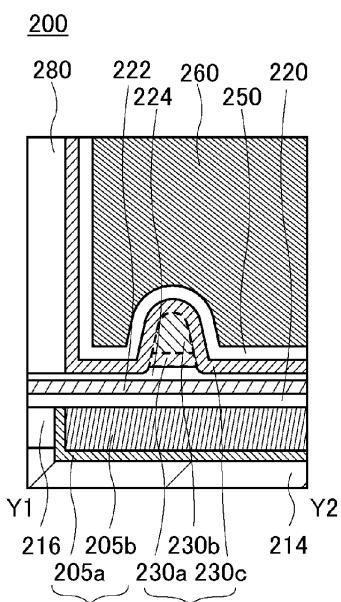
(A)



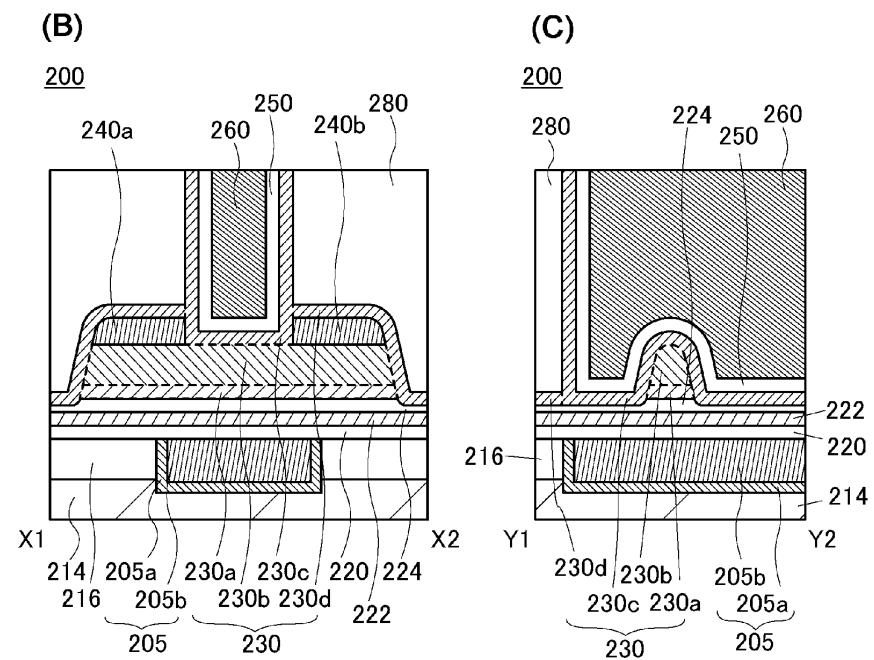
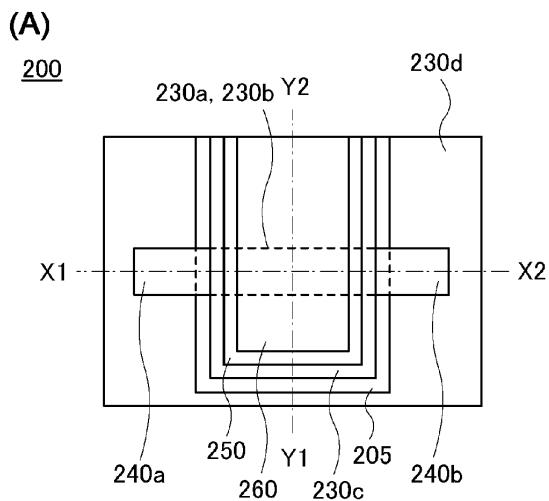
(B)



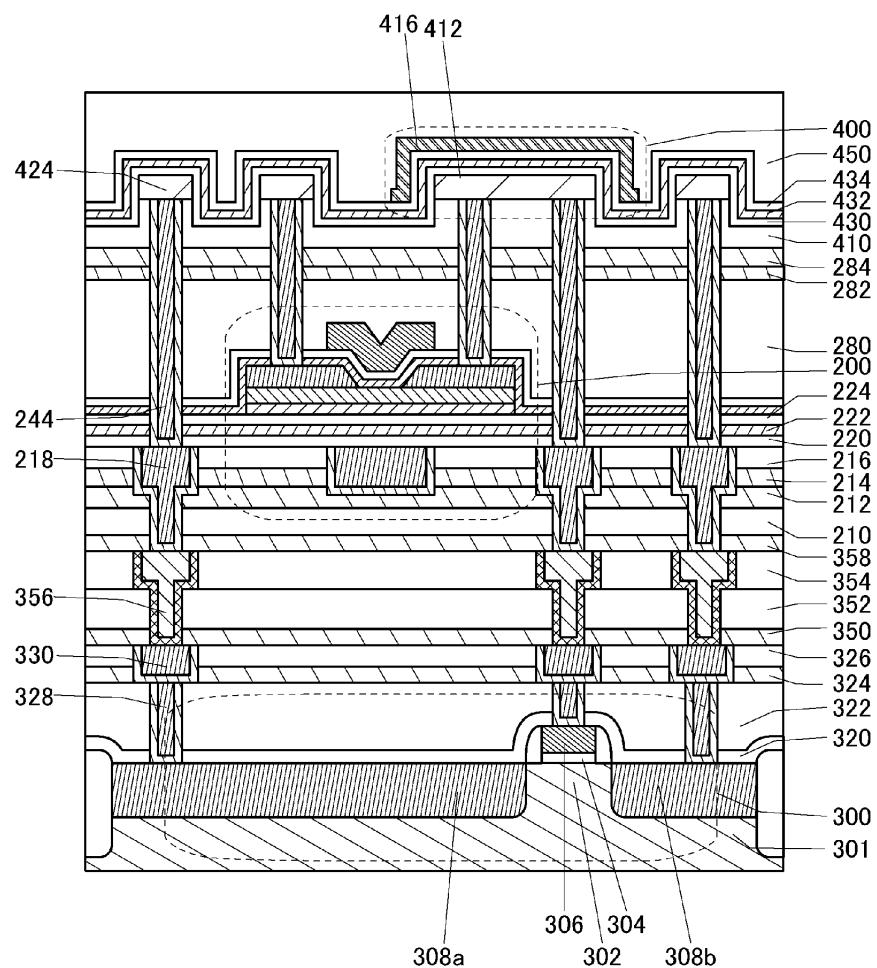
(C)



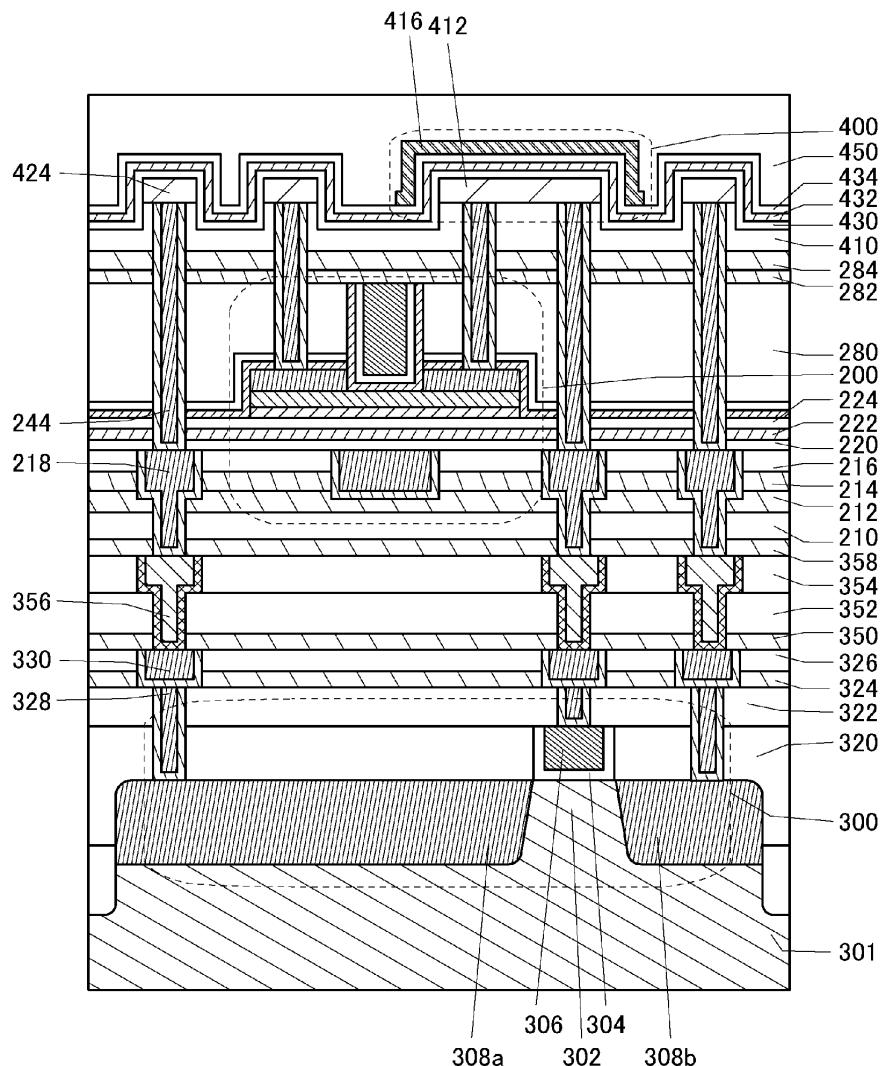
도면28



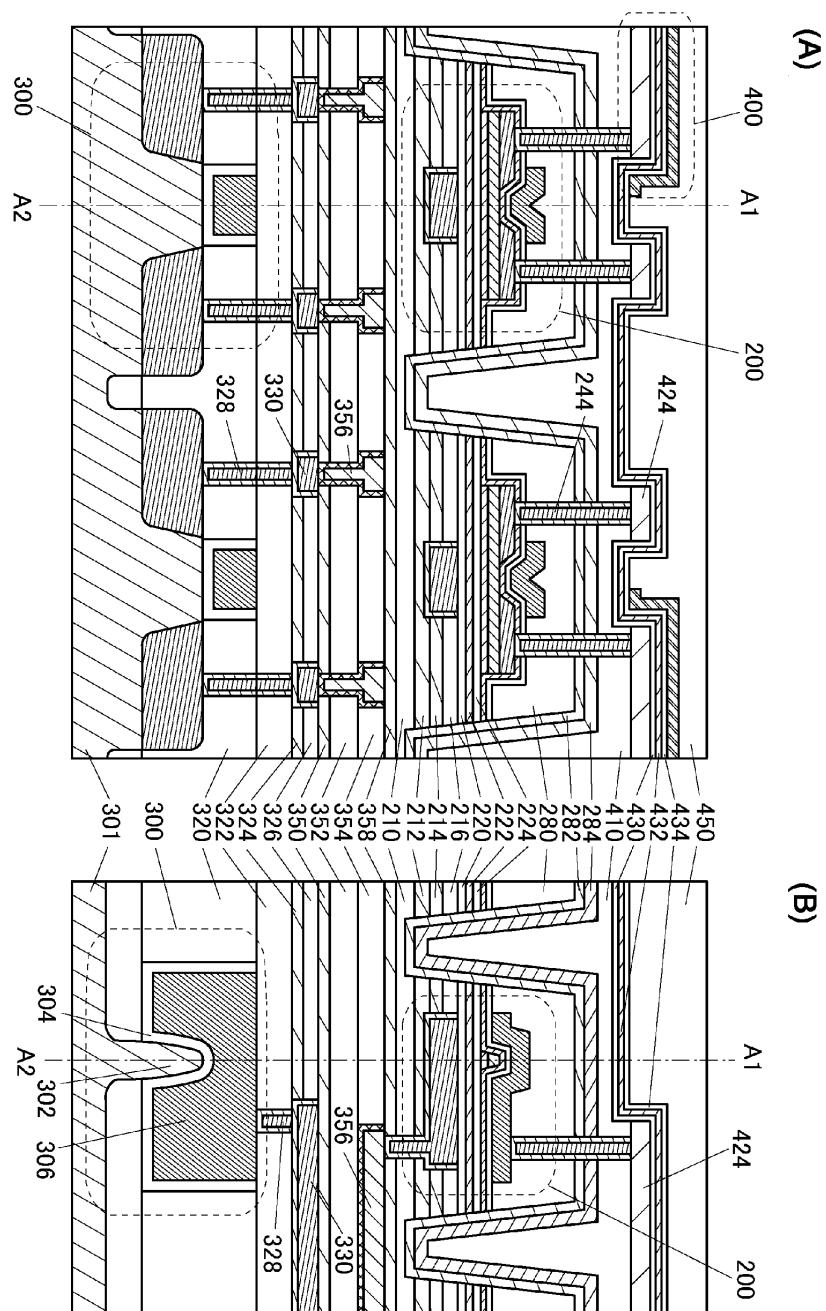
도면29



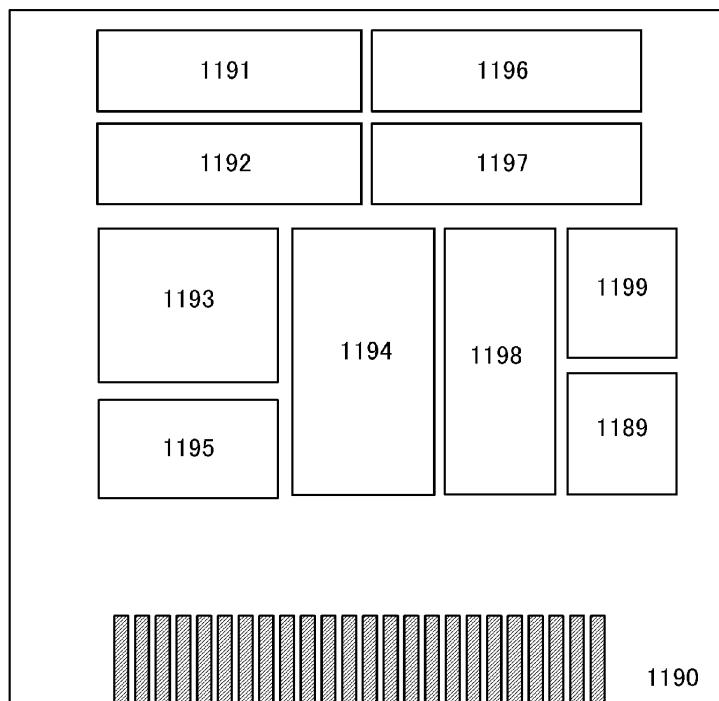
도면30



도면31

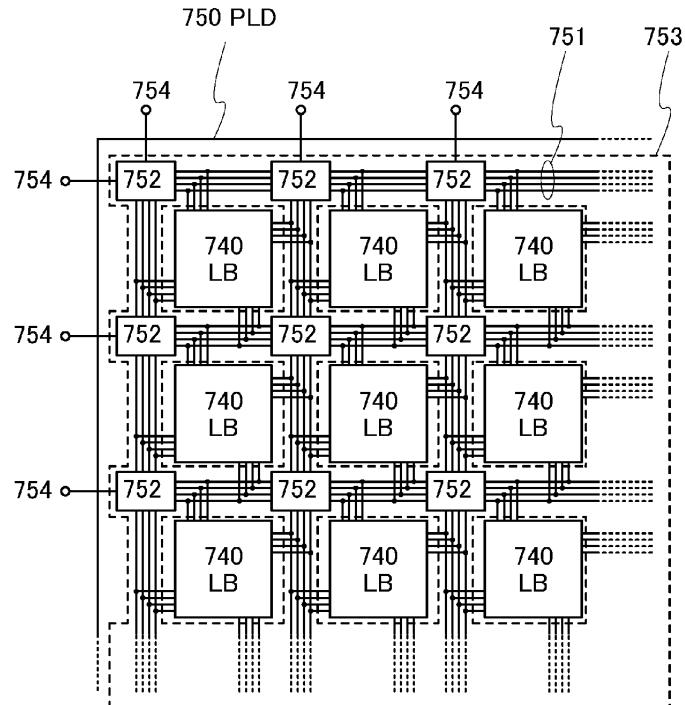


도면32

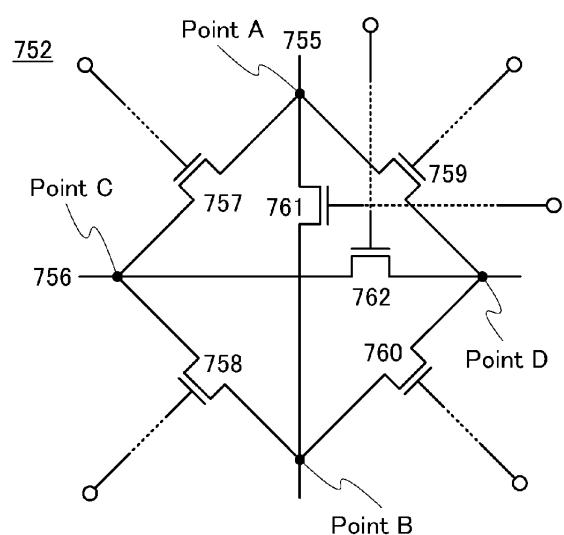


도면33

(A)

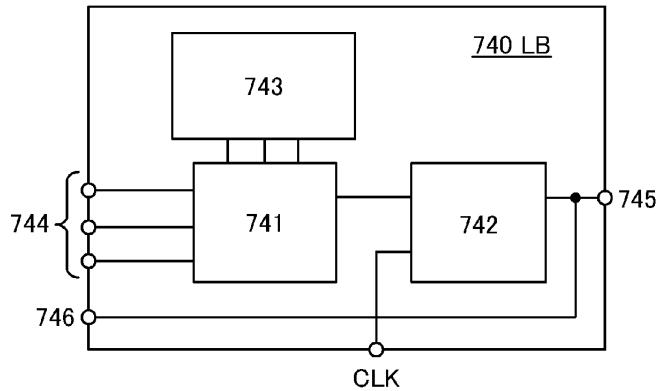


(B)

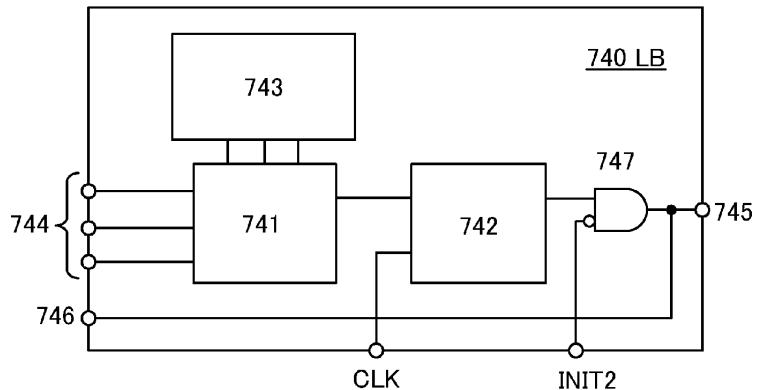


도면34

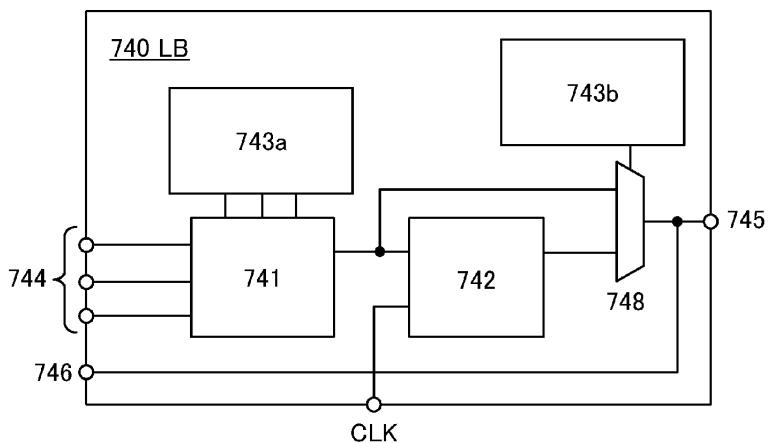
(A)



(B)

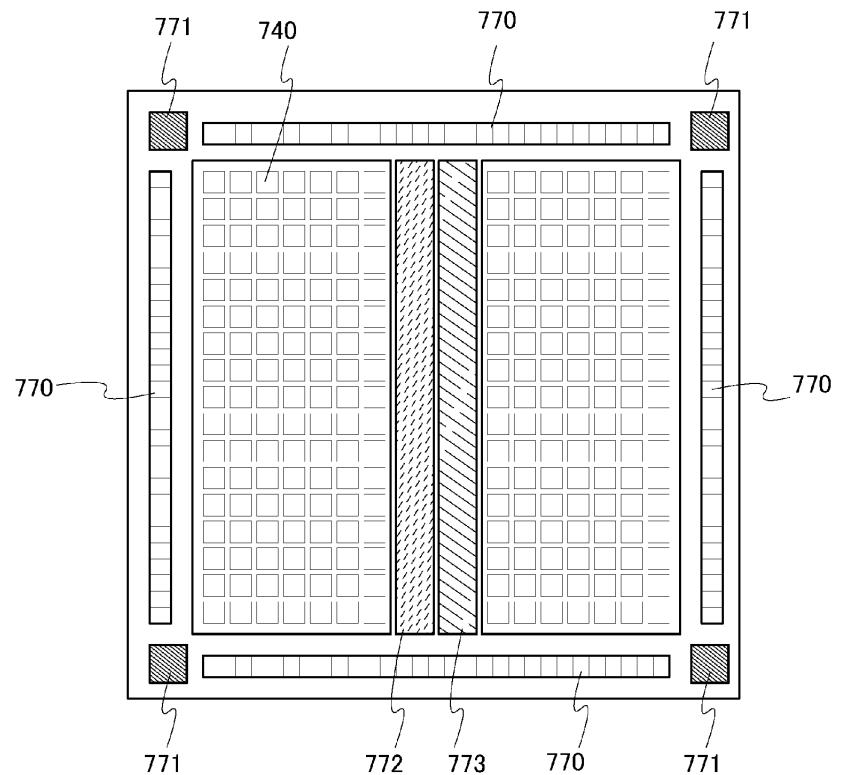


(C)

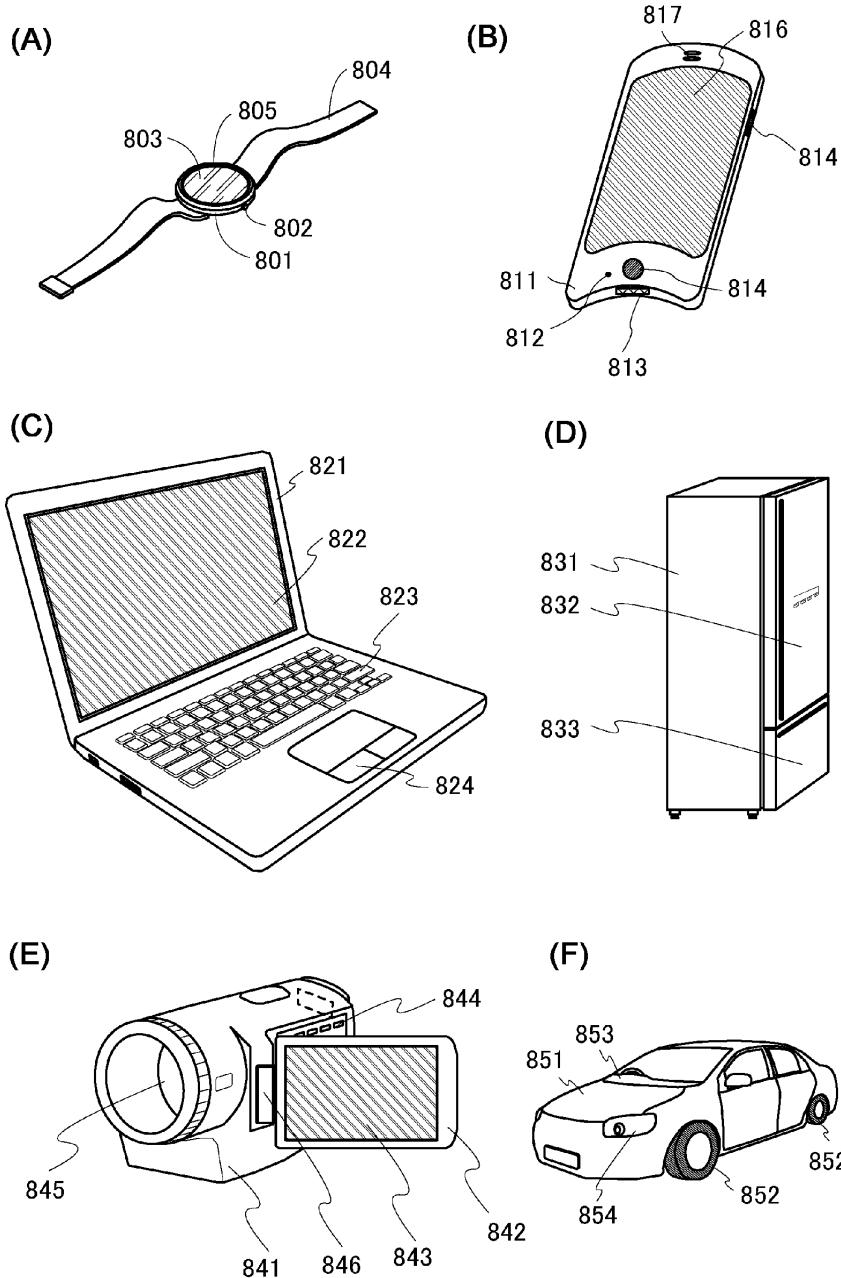


도면35

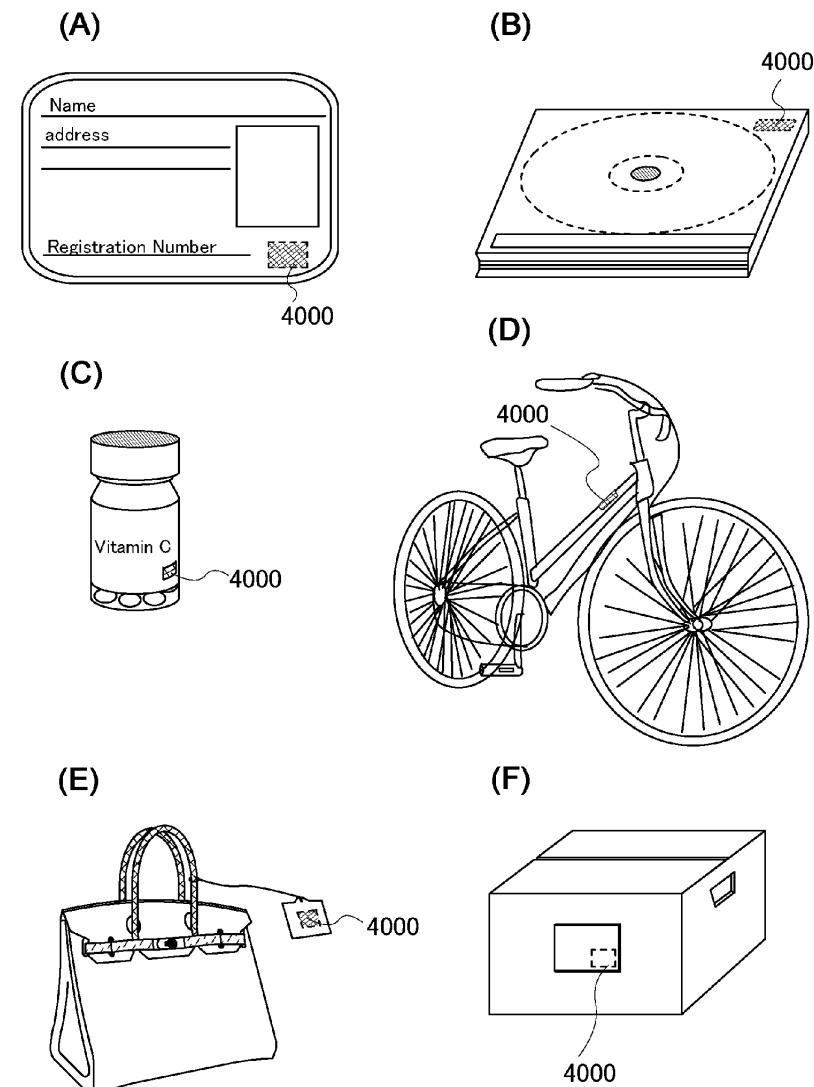
750 PLD



도면36

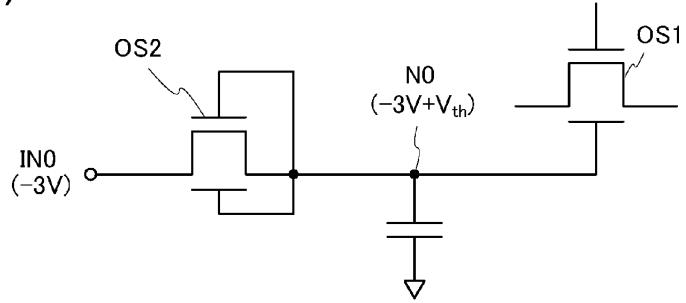


도면37

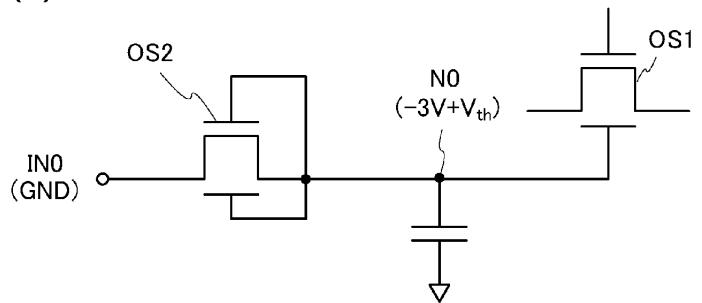


도면38

(A)

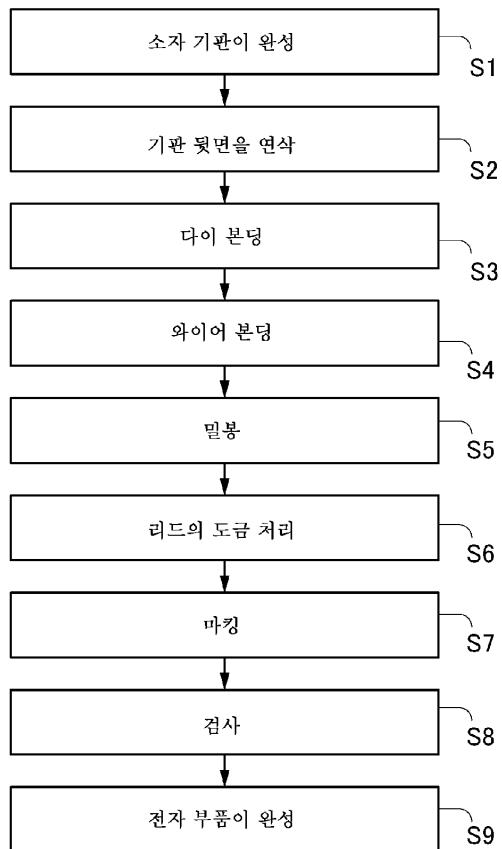


(B)



도면39

(A)



(B)

