



(12)发明专利

(10)授权公告号 CN 105556421 B

(45)授权公告日 2018.12.25

(21)申请号 201480051727.0

(22)申请日 2014.09.19

(65)同一申请的已公布的文献号

申请公布号 CN 105556421 A

(43)申请公布日 2016.05.04

(30)优先权数据

14/033,233 2013.09.20 US

(85)PCT国际申请进入国家阶段日

2016.03.18

(86)PCT国际申请的申请数据

PCT/US2014/056659 2014.09.19

(87)PCT国际申请的公布数据

W02015/042469 EN 2015.03.26

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚

(72)发明人 H-J·罗 D·全

(74)专利代理机构 永新专利商标代理有限公司
72002

代理人 张扬 王英

(51)Int.Cl.

G06F 1/32(2006.01)

(56)对比文件

US 2010/0250981 A1,2010.09.30,

CN 102692948 A,2012.09.26,

US 2008/0313480 A1,2008.12.18,

审查员 任洪潮

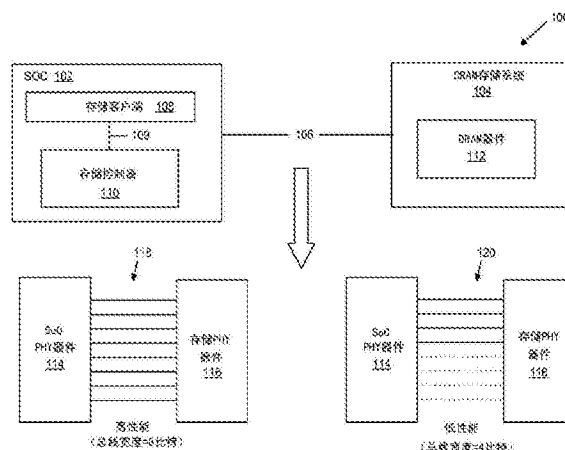
权利要求书4页 说明书7页 附图11页

(54)发明名称

使用动态存储I/O调整大小来节约存储功率的系统和方法

(57)摘要

本文公开了用于节约存储系统中的功耗的系统和方法。一个这样的系统包括DRAM存储系统和片上系统(SoC)。SoC经由存储总线被耦合至DRAM存储系统。该SoC包括用于处理来自一个或多个存储客户端的、针对存取DRAM存储系统的存储请求的一个或多个存储控制器。该一个或多个存储控制器被配置成通过对存储总线的总线宽度动态地调整大小来选择性地节约存储功耗。



1. 一种用于节约存储系统中的功耗的方法,所述方法包括:

将位于片上系统 (SoC) 上的多个存储客户端中的每个存储客户端分配给高性能用例或低性能用例;

从所述多个存储客户端中的一个存储客户端接收针对存取动态随机存取存储器 (DRAM) 存储系统的存储请求,所述DRAM存储系统经由存储总线耦合至所述SoC,所述存储请求包含指示所述存储客户端的性能用例的通道宽度调整大小比特;

根据所述存储请求中的所述通道宽度调整大小比特,来确定来自所述存储客户端的所述存储请求对应于使用的宽度少于所述存储总线的全部宽度的所述低性能用例;以及

通过将所述存储总线动态地调整大小到少于针对所述存储请求的所述全部宽度,来节约针对与所述性能用例相对应的所述存储请求的存储功耗。

2. 根据权利要求1所述的方法,其中,发送所述存储请求的所述存储客户端包括位于所述SoC上的以下各项中的一项:中央处理单元 (CPU)、图像处理单元 (GPU) 和数字信号处理器 (DSP)。

3. 根据权利要求1所述的方法,其中,所述存储总线包括N比特通道,并且将所述存储总线的总线宽度动态地调整大小包括将所述N比特通道减少至N-M比特通道,其中,M为大于零且小于N的整数。

4. 根据权利要求1所述的方法,其中,所述存储总线包括单存储通道。

5. 根据权利要求4所述的方法,其中,将所述总线宽度动态地调整大小包括:

将所述总线宽度从第一通道宽度减少至第二通道宽度;以及

增加跨越所述单存储通道上的节拍数量,以保持由所述DRAM存储系统定义的最小存取长度 (MAL)。

6. 根据权利要求5所述的方法,其中,将所述总线宽度从所述第一通道宽度减少至所述第二通道宽度包括禁用所述SoC中的SoC物理层器件和所述DRAM存储系统中的存储物理层器件。

7. 根据权利要求1所述的方法,其中,所述存储总线包括n通道总线。

8. 根据权利要求7所述的方法,所述n通道总线包括用于第一DRAM器件的第一存储通道和用于第二DRAM器件的第二存储通道,并且其中,将所述总线宽度动态地调整大小包括禁用所述第二存储通道。

9. 根据权利要求8所述的方法,还包括:在所述第一DRAM器件和所述第二DRAM器件之间复用所述第一存储通道。

10. 根据权利要求9所述的方法,其中,所述复用是在所述DRAM存储系统中执行的。

11. 一种用于节约存储系统中的功耗的系统,所述系统包括:

用于将位于片上系统 (SoC) 上的多个存储客户端中的每个存储客户端分配给高性能用例或低性能用例的单元;

用于从所述多个存储客户端中的一个存储客户端接收针对存取动态随机存取存储器 (DRAM) 存储系统的存储请求的单元,所述DRAM存储系统经由存储总线耦合至所述SoC,所述存储请求包含指示所述存储客户端的性能用例的通道宽度调整大小比特;

用于根据所述存储请求中的所述通道宽度调整大小比特,来确定来自所述存储客户端的所述存储请求对应于使用的宽度少于所述存储总线的全部宽度的所述低性能用例的单

元;以及

用于通过将所述存储总线动态地调整大小到少于针对所述存储请求的所述全部宽度,来节约针对与所述性能用例相对应的所述存储请求的存储功耗的单元。

12. 根据权利要求11所述的系统,其中,发送所述存储请求的所述存储客户端包括位于所述SoC上的以下各项中的一项:中央处理单元(CPU)、图像处理单元(GPU)和数字信号处理器(DSP)。

13. 根据权利要求11所述的系统,其中,所述存储总线包括N比特通道,并且将所述存储总线的总线宽度动态地调整大小包括用于将所述N比特通道减少至N-M比特通道的单元,其中,M为大于零且小于N的整数。

14. 根据权利要求11所述的系统,其中,所述存储总线包括单存储通道。

15. 根据权利要求14所述的系统,其中,所述用于将所述总线宽度动态地调整大小的单元包括:

用于将所述总线宽度从第一通道宽度减少至第二通道宽度的单元;以及

用于增加跨越所述单存储通道上的节拍数量,以保持由所述DRAM存储系统定义的最小存取长度(MAL)的单元。

16. 根据权利要求15所述的系统,其中,所述用于将所述总线宽度从所述第一通道宽度减少至所述第二通道宽度的单元包括用于禁用所述SoC中的SoC物理层器件和所述DRAM存储系统中的存储物理层器件的单元。

17. 根据权利要求11所述的系统,其中,所述存储总线包括n通道总线。

18. 根据权利要求17所述的系统,所述n通道总线包括用于第一DRAM器件的第一存储通道和用于第二DRAM器件的第二存储通道,并且其中,将所述总线宽度动态地调整大小包括用于禁用所述第二存储通道的单元。

19. 根据权利要求18所述的系统,还包括:用于在所述第一DRAM器件和所述第二DRAM器件之间复用所述第一存储通道的单元。

20. 根据权利要求19所述的系统,其中,所述复用是在所述DRAM存储系统中执行的。

21. 一种包括具有包含于其中的计算机可读程序代码的计算机可用介质的计算机程序产品,所述计算机可读程序代码适用于被执行以实现用于节约存储系统中的功耗的方法,所述方法包括:

将位于片上系统(SoC)上的多个存储客户端中的每个存储客户端分配给高性能用例或低性能用例;

从所述多个存储客户端中的一个存储客户端接收针对存取动态随机存取存储器(DRAM)存储系统的存储请求,所述DRAM存储系统经由存储总线耦合至所述SoC,所述存储请求包含指示所述存储客户端的性能用例的通道宽度调整大小比特;

根据所述存储请求中的所述通道宽度调整大小比特,来确定来自所述存储客户端的所述存储请求对应于使用的宽度少于所述存储总线的全部宽度的所述低性能用例;以及

通过将所述存储总线动态地调整大小到少于针对所述存储请求的所述全部宽度,来节约针对与所述性能用例相对应的所述存储请求的存储功耗。

22. 根据权利要求21所述的计算机程序产品,其中,发送所述存储请求的所述存储客户端包括位于所述SoC上的以下各项中的一项:中央处理单元(CPU)、图像处理单元(GPU)和数

字信号处理器 (DSP)。

23. 根据权利要求21所述的计算机程序产品, 其中, 所述存储总线包括N比特通道, 并且对所述存储总线的总线宽度动态地调整大小包括将所述N比特通道减少至N-M比特通道, 其中, M为大于零且小于N的整数。

24. 根据权利要求21所述的计算机程序产品, 其中, 所述存储总线包括单存储通道。

25. 根据权利要求24所述的计算机程序产品, 其中, 将所述总线宽度动态地调整大小包括:

将所述总线宽度从第一通道宽度减少至第二通道宽度; 以及

增加跨越所述单存储通道上的节拍数量, 以保持由所述DRAM存储系统定义的最小存取长度 (MAL)。

26. 根据权利要求25所述的计算机程序产品, 其中, 将所述总线宽度从所述第一通道宽度减少至所述第二通道宽度包括禁用所述SoC中的SoC物理层器件和所述DRAM存储系统中的存储物理层器件。

27. 根据权利要求21所述的计算机程序产品, 其中, 所述存储总线包括n通道总线。

28. 根据权利要求27所述的计算机程序产品, 所述n通道总线包括用于第一DRAM器件的第一存储通道和用于第二DRAM器件的第二存储通道, 并且其中, 将所述总线宽度动态地调整大小包括禁用所述第二存储通道。

29. 根据权利要求28所述的计算机程序产品, 其中, 所述方法还包括: 在所述第一DRAM器件和所述第二DRAM器件之间复用所述第一存储通道。

30. 根据权利要求29所述的计算机程序产品, 其中, 所述复用是在所述DRAM存储系统中执行的。

31. 一种用于节约存储系统中的功耗的系统, 所述系统包括:

DRAM存储系统; 以及

经由存储总线耦合至所述DRAM存储系统的片上系统 (SoC), 所述SoC包括用于处理来自一个或多个存储客户端的、针对存取所述DRAM存储系统的存储请求的一个或多个存储控制器, 其中, 所述一个或多个存储客户端中的每个存储客户端被分配给高性能用例或低性能用例, 所述存储请求中的每个存储请求包含指示发送所述存储请求的所述存储客户端的性能用例的通道宽度调整大小比特,

其中, 所述一个或多个存储控制器被配置成基于所述存储请求中的所述通道宽度调整大小比特, 通过将针对所述存储请求的所述存储总线的总线宽度动态地调整大小来选择性地节约存储功耗。

32. 根据权利要求31所述的系统, 其中, 所述存储客户端包括位于所述SoC上的以下各项中的一项: 中央处理单元 (CPU)、图像处理单元 (GPU) 和数字信号处理器 (DSP)。

33. 根据权利要求31所述的系统, 其中, 所述存储总线包括N比特通道, 并且对所述存储总线的所述总线宽度动态地调整大小包括将所述N比特通道减少至N-M比特通道, 其中, M为大于零且小于N的整数。

34. 根据权利要求31所述的系统, 其中, 所述存储总线包括单存储通道。

35. 根据权利要求34所述的系统, 其中, 对所述总线宽度动态地调整大小包括:

将所述总线宽度从第一通道宽度减少至第二通道宽度; 以及

增加跨越所述单存储通道上的节拍数量以保持由所述DRAM存储系统定义的最小存取长度(MAL)。

36. 根据权利要求35所述的系统, 其中, 将所述总线宽度从所述第一通道宽度减少至所述第二通道宽度包括禁用所述SoC中的SoC物理层器件和所述DRAM存储系统中的存储物理层器件。

37. 根据权利要求31所述的系统, 其中, 所述存储总线包括n通道总线。

38. 根据权利要求37所述的系统, 其中, 所述n通道总线包括用于第一DRAM器件的第一存储通道和用于第二DRAM器件的第二存储通道, 并且其中, 对所述总线宽度动态地调整大小包括禁用所述第二存储通道。

39. 根据权利要求38所述的系统, 其中, 进一步地, 在所述第一DRAM器件和所述第二DRAM器件之间复用所述第一存储通道。

40. 根据权利要求39所述的系统, 其中, 所述复用是在所述DRAM存储系统中执行的。

使用动态存储I/O调整大小来节约存储功率的系统和方法

背景技术

[0001] 计算设备(例如,便携式计算设备、平板电脑、移动电话等)一直要求增加的存储输入/输出(I/O)速度以适应更高的峰值性能需求。为了解决峰值性能需求,通常的做法是将计算设备设计为具有更快的I/O速度和更宽的存储总线。然而,具有增加的存储速度的计算设备需要增加的功耗。虽然对于高性能I/O用例(use case)而言,增加的功耗可以是一个可接受的折衷,但是很多计算设备的大多数用例都不需要高性能I/O。例如,高性能I/O对诸如音频回放、语音呼叫、视频回放等的低至中等性能的用例是不利的。

[0002] 已有用于通过将存储I/O操作重新配置为“低功率”模式来减少相对较低性能的I/O使用的功耗的现有解决方案。通常,这意味着存储I/O以较低的频率运行。在“低功率”模式期间,可以禁用以较高频率用于信号完整性的终端电阻。此外,可能还需要修改信号摆幅。虽然在可适用的用例期间,这可以帮助减少功耗,但是频率转换引入了不期望的延时,取决于实施方式,延时通常是2 μ s至50 μ s。

发明内容

[0003] 本文公开了用于节约存储系统中的功耗的系统和方法。一个实施例是一种用于节约存储系统中的功耗的方法。一种这样的方法包括:从位于片上系统(SoC)上的存储客户端接收针对存取动态随机存取存储器(DRAM)存储系统的存储请求,该DRAM存储系统经由存储总线被耦合至SoC;确定来自存储客户端的存储请求对应于使用的宽度少于存储总线的全部宽度的性能用例;以及通过将存储总线动态调整大小到少于全部宽度来节约针对与该性能用例相对应的存储请求的存储功耗。

[0004] 另一实施例是一种用于节约存储系统中的功耗的系统。一种这样的系统包括DRAM存储系统和片上系统(SoC)。SoC经由存储总线被耦合至DRAM存储系统。该SoC包括用于处理来自一个或多个存储客户端的、针对存取DRAM存储系统的存储请求的一个或多个存储控制器。存储控制器被配置成通过动态地对存储总线的总线宽度调整大小来选择性地节约存储功耗。

附图说明

[0005] 在附图中,除非另有说明,否则类似的附图标记贯穿各个视图表示类似的部分。对于诸如“102A”或“102B”之类的使用字母字符标志的附图标记,字母字符标志可以区分出现在相同附图中的两个类似的部分或要素。当附图标记旨在包含在全部附图中具有相同附图标记的全部部分时,用于附图标记的字母字符标志可以省略。

[0006] 图1是用于使用动态存储I/O调整大小来节约DRAM存储功耗的系统的实施例的框图。

[0007] 图2是示出了用图1的系统实现的用于节约DRAM存储功耗的方法的实施例的流程图。

[0008] 图3是示出了在高性能模式期间的图1的系统的单通道实施例的框图。

[0009] 图4是示出了在低性能模式期间的图3的系统的框图,其中,总线宽度被动态地调整大小以节约存储功耗。

[0010] 图5是示出了处于高性能模式下的图3的系统的另一单通道实施例的框图。

[0011] 图6示出了处于低性能模式下的图5的系统。

[0012] 图7是示出了图1的系统的双通道实施例的框图。

[0013] 图8是示出了图1的系统的另一双通道实施例的框图。

[0014] 图9示出了处于高性能模式下的图8的系统。

[0015] 图10示出了处于低性能模式下的图8的系统。

[0016] 图11是合并了图1的系统的便携式计算设备的实施例的框图。

具体实施方式

[0017] 本文中“示例性”一词表示“用作例子、实例或说明”。本文被描述为“示例性”的任何方面不应被解释为比其它方面更优选或更具优势。

[0018] 在本描述中,术语“应用”还可以包括具有可执行内容的文件,例如:目标代码、脚本、字节代码、标记语言文件和补丁。此外,本文提到的“应用”还可以包括实际上不可执行的文件,例如可能需要被打开的文档或可能需要被存取的其它数据文件。

[0019] 术语“内容”还可以包括具有可执行内容的文件,例如:目标代码、脚本、字节代码、标记语言文件和补丁。此外,本文提到的“内容”还可以包括实际上不可执行的文件,例如可能需要被打开的文档或可能需要被存取的其它数据文件。

[0020] 如本描述中所使用的,术语“组件”、“数据库”、“模块”、“系统”等意指与计算机相关的实体,其可以是硬件、固件、硬件和软件的组合、软件、或执行中的软件。例如,组件可以是、但并不仅限于:处理器上运行的进程、处理器、对象、可执行程序、执行的线程、程序和/或计算机。作为说明,在计算设备上运行的应用和该计算设备二者都可以是组件。一个或多个组件可以位于执行中的一个进程和/或线程内,以及,组件可以位于一台计算机上和/或分布于两台或更多台计算机之间。此外,可以通过存储了各种数据结构的各种计算机可读介质来执行这些组件。这些组件可以例如根据具有一个或多个数据分组(例如,来自一个组件的数据,该组件通过信号与本地系统、分布式系统中和/或跨越诸如具有其它系统的因特网之类的网络的另一组件进行交互)的信号通过本地和/或远程进程进行通信。

[0021] 在本描述中,术语“通信设备”、“无线设备”、“无线电话”、“无线通信设备”和“无线手持机”可互换使用。随着第三代(“3G”)和第四代(“4G”)无线技术的到来,更高的带宽可用性使得更多的便携式计算设备能够具有更多样的无线能力。因此,便携式计算设备可以包括蜂窝电话、寻呼机、PDA、智能电话、导航设备或具有无线连接或链路的手持计算机。

[0022] 图1示出了用于使用动态存储输入/输出(I/O)调整大小来节约存储功耗的系统100。可以在任何计算设备中实现系统100,计算设备包括个人计算机、工作站、服务器、便携式计算设备(PCD)(例如,蜂窝电话、便携式数字助理(PDA)、便携式游戏控制台、掌上型计算机或平板电脑)。如图1的实施例所示,系统100包括经由存储总线106耦合到DRAM存储系统104的片上系统(SoC)102。SoC 102包括各种片上组件,包括向DRAM 存储系统104请求存储资源的一个或多个存储客户端108。存储客户端108 可以包括一个或多个处理单元(例如,中央处理单元(CPU)、图像处理单元(GPU)、数字信号处理器(DSP)、显示处理器等)、视频编

码器或向DRAM 存储系统104请求读/写存取的其它客户端。存储客户端108经由SoC总线109连接至一个或多个存储控制器110。

[0023] 存储控制器110被配置成接收和处理去往DRAM存储系统104的读/写存储请求。存储数据可以分布在经由专用存储通道连接至相应的DRAM 器件112的一个或多个存储控制器110之间。应当理解的是,可以在具有任意期望类型、大小和存储配置(例如,双倍数据速率(DDR)存储器)的系统100中使用任意数量的DRAM器件112、存储控制器110和存储通道。

[0024] 如图1所示,系统100被配置成为合适的用例选择性地提供两种不同的通道模式:(1)高性能通道模式118;和(2)低性能通道模式120。在高性能通道模式下,可以使用存储总线106的全部宽度来处理高性能用例。在图1的例子中,存储总线106的全部宽度可以包括8比特。每个比特可以包括单独的管脚、连接或其它物理层组件。应当理解的是,可能有多种用例不需要高性能(例如,音频回放、移动电话上的语音呼叫、视频回放等)以及可以经由少于存储总线106的全部宽度来提供合适的性能。对于相对较低性能的用例(或功率节约优于性能的其它情况),可以通过对存储总线106的宽度动态地调整大小来节约存储功率。就这一点而言,应当理解的是,低性能用例可以包括可以在产出减少的存储功率的同时利用少于存储总线106的全部宽度来提供合适性能的任意情况。例如,在低性能通道模式120期间,可以将8比特存储总线106调整大小至4比特存储总线 106。如图1的实施例所示,可以通过禁用八个管脚、连接或包括存储总线 106的其它物理层组件(如虚线示出的)中的四个来将通道宽度减少二分之一。

[0025] 图2示出了由系统100实现的用于使用动态存储I/O调整大小来节约存储功率的方法200的实施例。在方框202处,从存储客户端108接收针对存取DRAM存储系统104的存储请求。在决定框204处,系统100确定应当以使用存储总线106的全部宽度的高性能通道模式118来处理该存储请求,还是以使用少于存储总线106的全部宽度的低性能通道模式120来处理该存储请求。应当理解的是,存储客户端108可以请求功率优先或性能优先。例如,在实施例中,可以在用于消除的读/写命令中包括通道宽度调整大小比特,该用于消除的读/写命令可以消除对额外信号管脚的需要。可以由系统100来确认功率优先还是性能优先。在其它实施例中,基于预期的或计算出的性能需求,存储客户端108可以被分配给高性能通道模式118 或低性能通道模式120。如果在方框210处,系统100确定高性能用例,则可以使用全部总线宽度向DRAM存储系统104提供存储数据。如果系统100 确定不需要高性能或相比性能而优选功率节约,则在方框206处,可以通过对存储总线106动态地调整大小来节约存储功率。在方框208处,可以经由调整大小过的总线宽度向DRAM存储系统104提供存储数据。

[0026] 应当理解的是,可以以单通道存储系统或多通道存储系统来实现动态存储I/O调整大小。图3-图6示出了动态存储I/O调整大小的单通道实施方式的各种实施例。

[0027] 图3&图4示出了DRAM存储系统104包括LPDDR2存储器件以及存储总线106包括32比特总线的例子。如本领域所公知的,DRAM存储事务由基于时钟302跨越存储总线106上的多个节拍组成。节拍数量(“突发长度”)可以是固定的且取决于DRAM器件的类型。例如,DDR类型的器件的突发长度是2,DDR2类型的器件的突发长度是4,DDR3类型的器件的突发长度是8等等。节拍数量和总线宽度的组合被定义为最小存取长度(MAL)。图3&图4的例子中的32比特宽的LPDDR2的MAL大小是16 字节(4个节拍x 32比特=128比特=16字节),其中节拍304、节拍306、节拍308和节拍310中每一个都包括4个字节。DRAM存储系统104包括内部逻辑结

构,该内部逻辑结构经由存储总线106接收节拍传入流并将其放置于有MAL大小的寄存器(例如,存储I/O寄存器312)中,该寄存器然后被加载至DRAM存储核心阵列314中。

[0028] 图3示出了处于使用了全部32比特总线宽度的高性能通道模式下的示例性系统100的操作。图4示出了低性能通道模式的操作,其中,32比特的通道宽度被动态地调整了二分之一大小,至16比特的通道宽度。为了保持具有一半总线宽度的16字节的预定MAL大小,SoC 102被配置成使节拍数量加倍。如图4所示,节拍402、节拍404、节拍406、节拍408、节拍410、节拍412、节拍414和节拍416中的每一个被配置为具有2字节而不是如在高性能通道模式下所使用的4字节。DRAM存储系统104接收八个2字节的节拍传入流,并且将其放置在有MAL大小的存储I/O寄存器312 中的相同的16字节中。然后以和高性能通道模式下相同的方式将存储I/O 寄存器312加载至存储核心阵列314中,而不需要重新配置DRAM内部结构或减少在低性能通道模式下可用的可用存储空间量。

[0029] 图5&图6示出了动态存储I/O调整大小的单通道实施方式的另一实施例。图5示出了处于高性能通道模式下的系统100。图6示出了处于低性能通道模式下的系统100。SoC 102包括存储控制器110,其用于处理在一对SoC物理层器件114 (SoC PHY_U和SoC PHY_L) 和相应的存储物理层器件116 (Mem PHY_U和Mem PHY_L) 之间的发往DRAM存储系统104的存储请求。DRAM存储系统104包括存储I/O寄存器312和存储核心寄存器314。

[0030] 参照图5,SoC物理层器件114和存储物理层器件116包括用于向存储总线106提供比特且从存储总线106接收相应比特的线路驱动器。SoC PHY_U和存储PHY_U包括线路驱动器 $I0[m-1]$ 、 $I0[m-2]$ …… $I0[m/2]$,其中 m =通道宽度。SoC PHY_L和存储PHY_L包括线路驱动器 $I0[m/2]$ …… $I0[1]$ …… $I0[0]$ 。如图5中进一步示出的,存储总线106包括含有 n 个节拍的单个存储通道,其中 n =节拍数量, B =单个 m 比特的节拍且 b =节拍(B) 内的单个比特。存储I/O寄存器312接收并存储传入数据,这些传入数据被加载至存储核心寄存器314中。

[0031] 如图6所示,当处于低性能通道模式下时,通道宽度从 m 减少至 $m/2$,其中SoC PHY_U和存储PHY_U被禁用以得到期望的功率节省。为了将预定的MAL大小保持在一半的总线宽度($m/2$),SoC 102被配置成使节拍数量加倍($2n$)。存储I/O寄存器312接收并存储一半数量的比特,这些比特被加载至存储核心寄存器314中。

[0032] 图7示出了动态存储I/O调整大小的双通道实施方式的实施例。SoC 102 和DRAM存储系统104可以包括两个存储通道702和704(Ch 0和Ch 1)。在高性能用例中(图7的上图中示出的),通道702和通道704二者都是活跃的,其中,16个节拍的数据从SoC:Ch0去往DRAM:Ch0且16个节拍的数据从SoC:Ch1去往DRAM:Ch1。

[0033] 当期望相对较低性能的用例时,系统100可以例如通过禁用一个存储通道来动态地重新配置存储通道宽度的大小。如图7的下图所示,可以禁用存储通道704以实现期望的功率节省。活跃的存储通道702包括通过复用器706在DRAM:Ch0和DRAM:Ch1之间复用的16个节拍的数据。应当理解的是,可以将复用器706放置在数据路径中的各点处(例如,在存储I/O寄存器312之前或之后、在DRAM之内或之外等)。

[0034] 图8-图10示出了动态存储I/O调整大小的双通道实施方式的另一实施例,该实施例沿用与图5&图6中相同的参考符号: m =通道宽度, n =节拍数量且 B =单个 m 比特的节拍。如图8所示,SoC 102包括两个存储控制器 110a和110b。存储控制器110a对应于存储通道702,用于处理在SoC PHY_A 和存储PHY_A之间的去往DRAM存储系统104的存储请求。存储控

制器 110b 对应于存储通道 704, 用于处理在 SoC PHY_B 和存储 PHY_B 之间的去往 DRAM 存储系统 104 的存储请求。在高性能操作模式下 (图 8 和图 9), 存储 I/O 寄存器 312a 接收并存储来自存储 PHY_A 的存储数据。存储 I/O 寄存器 312b 接收并存储来自存储 PHY_B 的存储数据。

[0035] 如图 8-图 10 中进一步示出的, SoC 物理层器件 114a 和 114b 以及存储物理层器件 116a 和 116b 可以包括多个线路驱动器 IO[k], 其中 $m = \text{通道宽度}$, $0 \leq k \leq m-1$ 。参照图 8, 存储 PHY_A 线路驱动器 IO[k] 和存储 PHY_B 线路驱动器 IO[k] 可以包括去往复用器 802 的输入以便于控制 (通过 MODE_SEL) 提供哪些数据给存储 I/O 寄存器 312b。在低性能操作模式下 (图 10), 可以禁用存储通道 704 以使存储总线宽度减半并得到期望的功率节省。复用器 802 可以将来自存储 PHY_A 线路驱动器 IO[m-1] 的数据选择性地提供给存储 I/O 寄存器 312a 或存储 I/O 寄存器 312b。应当理解的是, 可以对其它存储 PHY_A 和存储 PHY_B 的线路驱动器 IO[k] 进行类似地复用。

[0036] 应当理解的是, 图 5-图 10 中示出的实施例实现了存储器的写操作, 其中, 可以将来自 SoC 102 的数据写入 DRAM 存储系统 104。本领域的普通技术人员应当理解的是, 上述方法也可以应用于相反的方向, 并且在来自 DRAM 存储系统 104 的数据被返回至 SoC 102 中的存储读取操作期间可以获得功率节省。

[0037] 如上面所提到的, 系统 100 可以并入任意期望的计算系统中。图 11 示出了系统 100 被并入示例性便携式计算设备 (PCD) 1100 中。应当易于理解的是, 系统 100 的某些组件可以包括在 SoC 322 (图 11) 上, 而其它组件 (例如, DRAM 存储系统 104) 可以包括耦合到 SoC 322 的外部组件。SoC 322 可以包括多核 CPU 1102。多核 CPU 1102 可以包括第零内核 410、第一内核 412 和第 N 内核 414。这些内核中的一个可以例如包括图像处理单元 (GPU), 而其它内核中一个或多个包括 CPU。

[0038] 显示控制器 328 和触摸屏控制器 330 可以被耦合至 CPU 1202。转而, 在片上系统 322 之外的触摸屏显示器 1106 可以被耦合至显示控制器 1106 和触摸屏控制器 330。

[0039] 图 11 还示出了视频编码器 334 (例如, 逐行倒相 (PAL) 编码器、按顺序传送彩色与存储 (SECAM) 编码器或国家电视系统委员会 (NTSC) 编码器) 被耦合至多核 CPU 1102。此外, 视频放大器 336 被耦合至视频编码器 334 和触摸屏显示器 1106。另外, 视频端口 338 被耦合至视频放大器 336。如图 11 所示, 通用串行总线 (USB) 控制器 340 被耦合至多核 CPU 1102。另外, USB 端口 342 被耦合至 USB 控制器 340。存储器 1104 和用户识别模块 (SIM) 卡 346 也可以被耦合至多核 CPU 1102。存储器 1104 可以位于 SoC 322 上或被耦合至 SoC 322 (如图 1 所示)。如上所述, 存储器 1104 可以包括 DRAM 存储系统 104 (图 1)。

[0040] 此外, 如图 11 所示, 数字照相机 348 可以被耦合至多核 CPU 1102。在示例性方面中, 数字照相机 348 是电荷耦合器件 (CCD) 照相机或互补金属氧化物半导体 (CMOS) 照相机。

[0041] 如图 11 中进一步示出的, 立体声音频编解码器 (CODEC) 350 可以被耦合至多核 CPU 1102。此外, 音频放大器 352 可以被耦合至立体声音频 CODEC 350。在示例性方面中, 可以将第一立体声扬声器 354 和第二立体声扬声器 356 耦合至音频放大器 352。图 11 示出话筒放大器 358 也可以被耦合至立体声音频 CODEC 350。此外, 可以将话筒 360 耦合至话筒放大器 358。在特定方面中, 可以将调频 (FM) 广播调谐器 362 耦合至立体声音频 CODEC 350。另外, 可以将 FM 天线 364 耦合至 FM 广播调谐器 362。此外, 可以将立体声耳机 366 耦合至立体声音频 CODEC 350。

[0042] 图11还示出了可以将射频(RF)收发机368耦合至多核CPU 402A。RF开关370可以被耦合至RF收发机368和RF天线372。如图11所示,可以将键盘204耦合至多核CPU 1102。另外,可以将具有话筒的单声道耳机376耦合至多核CPU 1102。此外,可将振动器件378耦合至多核CPU 1202。

[0043] 图11还示出可以将电源380耦合至片上系统322。在特定方面中,电源380是为PCD 1100的各种需要功率的组件提供功率的直流(DC)电源。此外,在特定方面中,电源是可充电DC电池或DC电源,其通过连接至AC电源的变压器从交流电(AC)得到DC。

[0044] 图11还表明,PCD 1100还可以包括可以用于接入数据网络(例如,局域网、个域网或任何其它网络)的网卡388。网卡388可以是蓝牙网卡、WiFi网卡、个域网(PAN)卡、个域网超低功率技术(PeANUT)网卡、电视\线缆\卫星调谐器或本领域熟知的任意其它网卡。此外,可以将网卡388并入芯片中,即,网卡388可以是芯片中的完整解决方案,而可以不是单独的网卡388。

[0045] 如图11中所描绘的,触摸屏显示器1106、视频端口338、USB端口342、照相机348、第一立体声扬声器354、第二立体声扬声器356、话筒360、FM天线364、立体声耳机366、RF开关370、RF天线372、键盘374、单声道耳机376、振动器378和电源380可以在片上系统322之外。

[0046] 应当理解的是,可以将本文描述的方法步骤中的一个或多个作为计算机程序指令存储在存储器中,例如上述模块。这些指令可以由任何合适的处理器结合或协同相应的模块来运行以执行本文所述的方法。

[0047] 为了本发明如所描述地运行,本说明书中描述的过程或过程中的某些步骤理当在其它步骤之前。然而,如果这样的顺序或次序不会改变本发明的功能,则本发明并不受所描述的步骤顺序的限制。即,应当认识到,在不脱离本发明的范围和精神的情况下,一些步骤可以在其它步骤之前、之后或与其它步骤并行地(与其基本同时地)被执行。在一些实例中,在不脱离本发明的情况下,可以省略或不执行某些步骤。此外,诸如“其后”、“然后”、“接下来”等词并不旨在限制这些步骤的顺序。这些词仅是用于引导读者阅读示例性方法的描述。

[0048] 此外,例如基于本说明书中的流程图和相关描述,普通程序设计人员能够毫无困难地写出计算机代码或识别合适的硬件和/或电路以实现所公开的发明。

[0049] 因此,对于充分理解如何实行和使用本发明而言,特定的程序代码指令集或详细硬件设备的公开内容并不被认为是必须的。在上面的描述中以及结合可以示出各种过程流程的附图详细解释了所要求保护的计算机实现过程的创造性功能。

[0050] 在一个或多个示例性方面中,所述功能可以用硬件、软件、固件或其任意组合来实现。如果使用软件实现,则可以将这些功能存储在计算机可读介质中或者作为计算机可读介质上的一个或多个指令或代码进行传输。计算机可读介质包括计算机存储介质和通信介质二者,其中通信介质包括便于从一个地方向另一个地方传送计算机程序的任何介质。存储介质可以是计算机能够存取的任何可用介质。作为示例而非限制,这种计算机可读介质可以包括RAM、ROM、EEPROM、NAND闪存、NOR闪存、M-RAM、P-RAM、R-RAM、CD-ROM或其它光盘存储、磁盘存储或其它磁存储器件、或者能够用于携带或存储具有指令或数据结构形式的期望的程序代码并能够由计算机存取的任何其它介质。

[0051] 此外,可以将任何连接适当地称为计算机可读介质。例如,如果软件是使用同轴电

缆、光纤光缆、双绞线、数字用户线 (DSL) 或者诸如红外线、无线电和微波之类的无线技术从网站、服务器或其它远程源进行传输的,那么这些同轴电缆、光纤光缆、双绞线、DSL或者诸如红外线、无线电和微波之类的无线技术包括在所述介质的定义中。

[0052] 如本文所使用的,磁盘和光盘包括压缩光盘 (CD)、激光光盘、光盘、数字通用光盘 (DVD)、软盘和蓝光光盘,其中磁盘通常磁性地复制数据,而光盘则用激光来光学地复制数据。上面的组合也应当包括在计算机可读介质的范围之内。

[0053] 对本领域普通技术人员而言,在不脱离其精神和范围的情况下,本发明涉及的可替换的实施例将是显而易见的。因此,虽然已详细说明并描述了所选的方面,但是应当理解的是,在不脱离如以下权利要求所定义的本发明的精神和范围的情况下,可以有各种替代和变化。

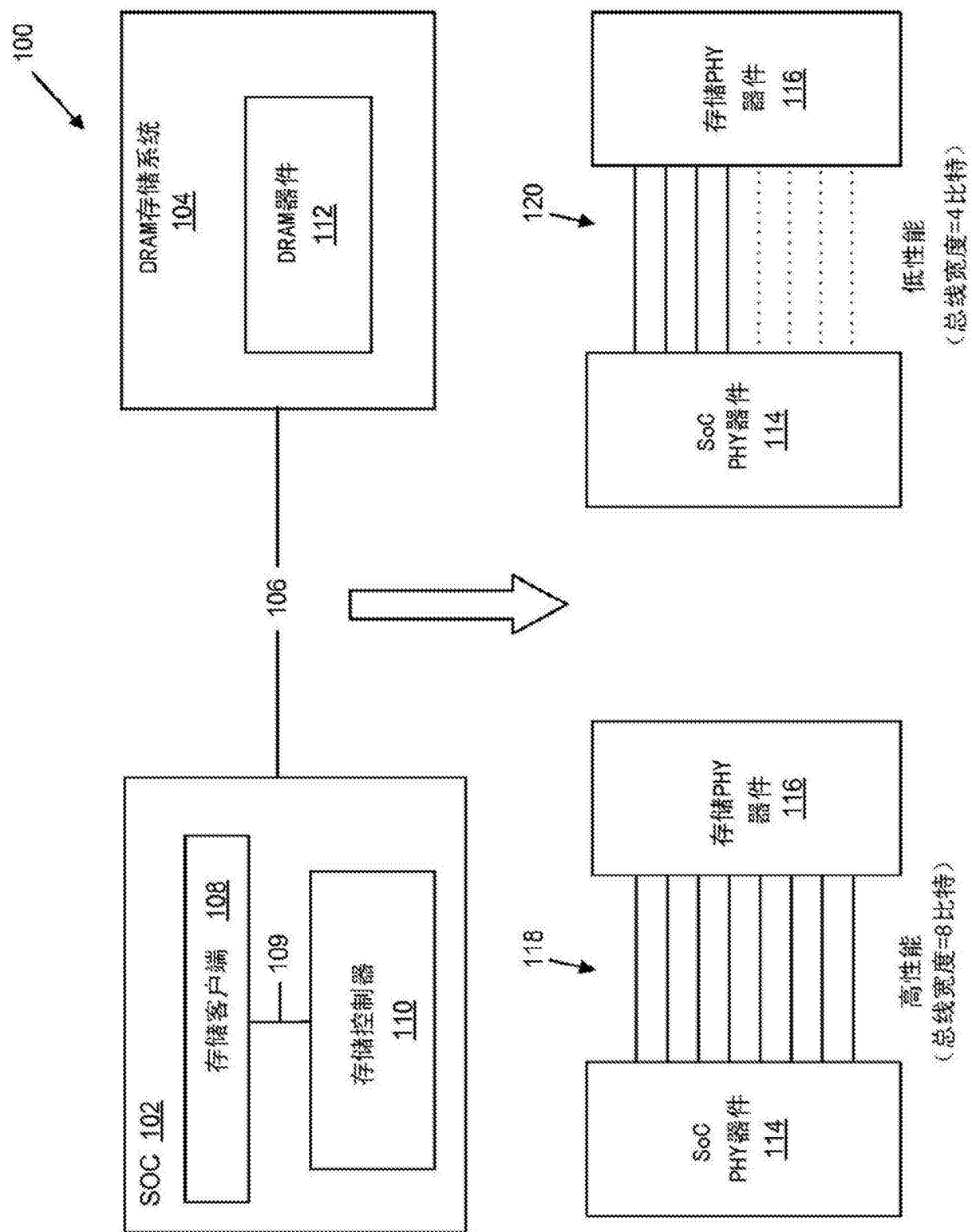


图1

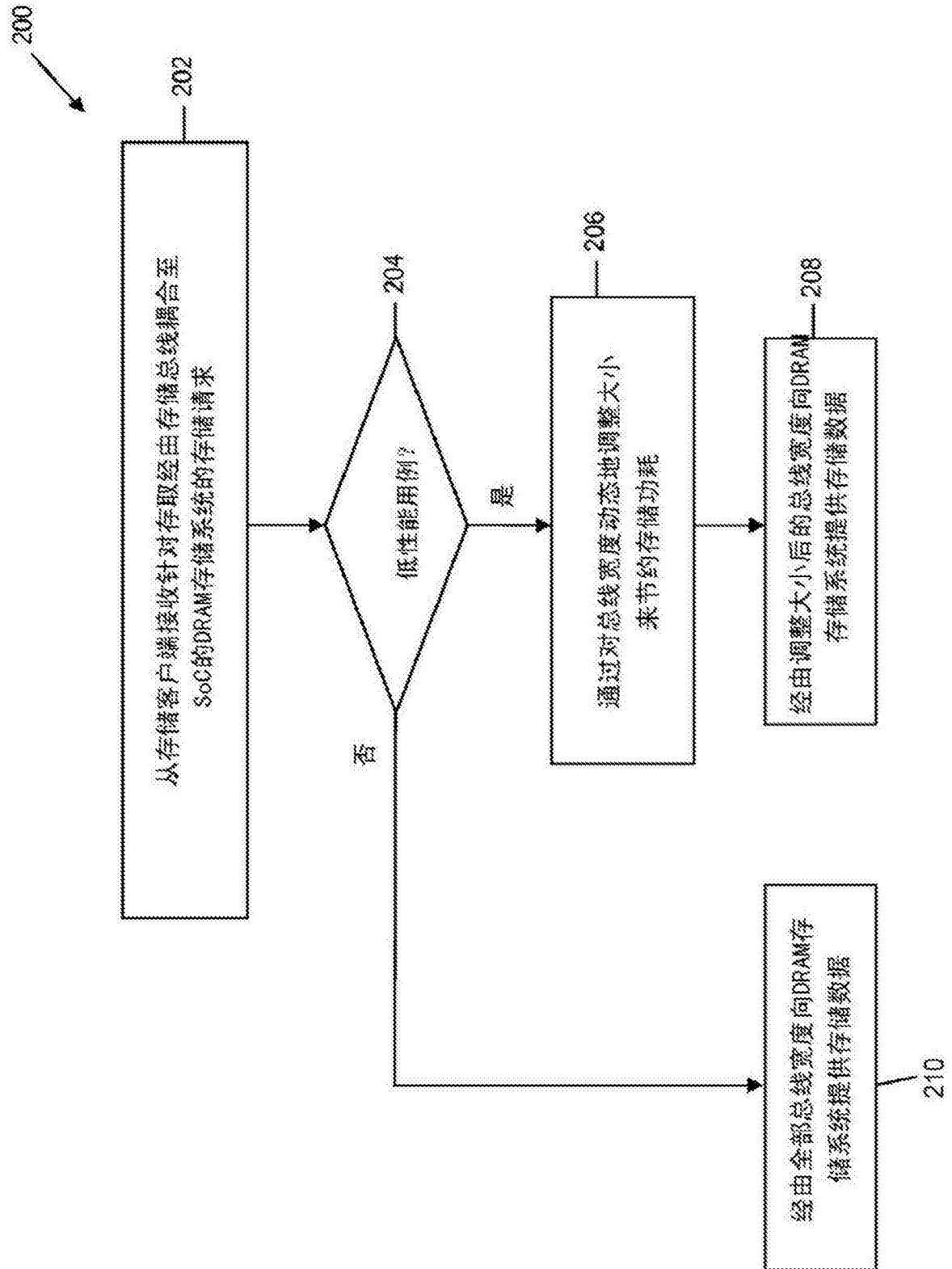


图2

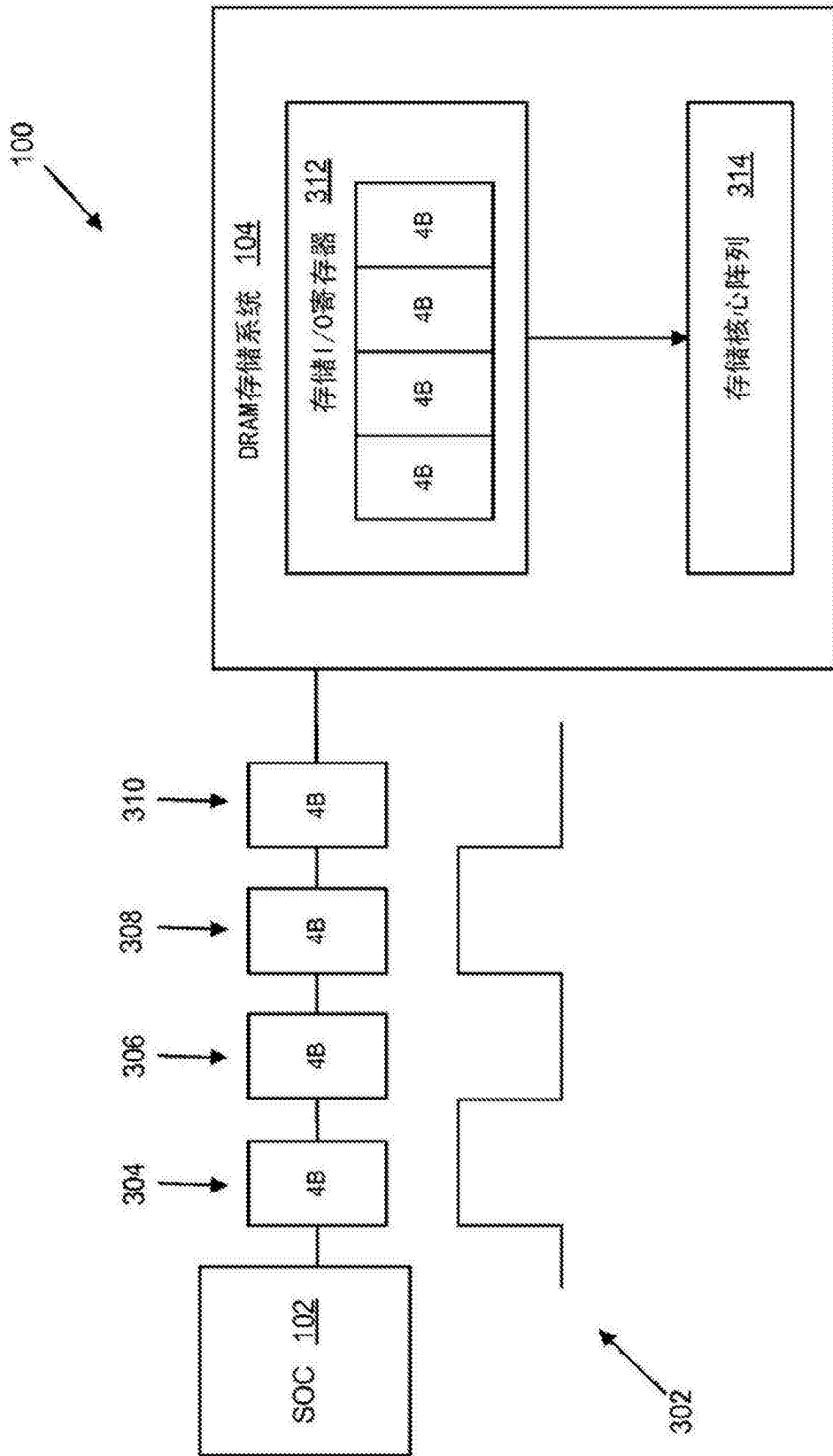


图3

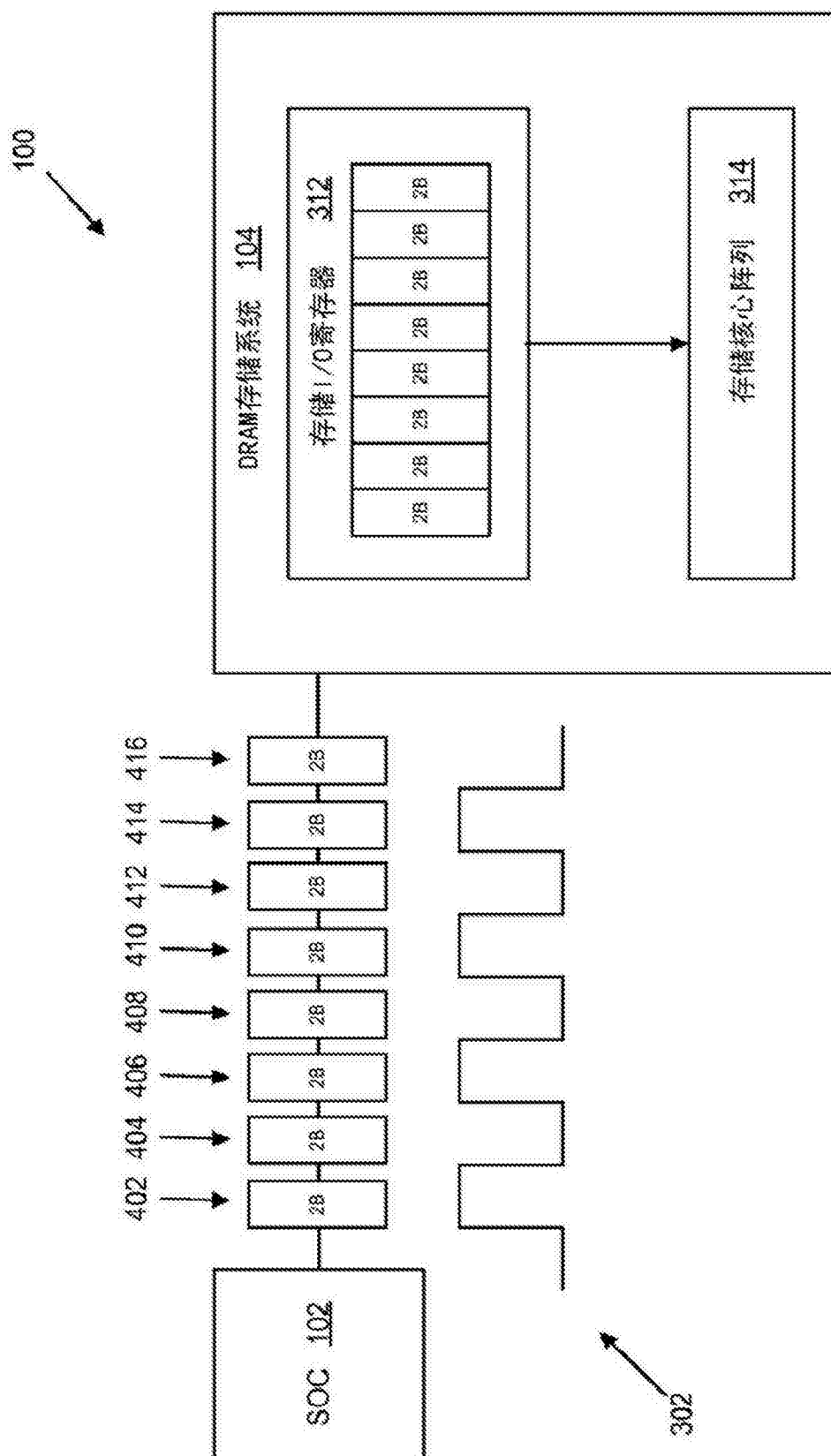


图4

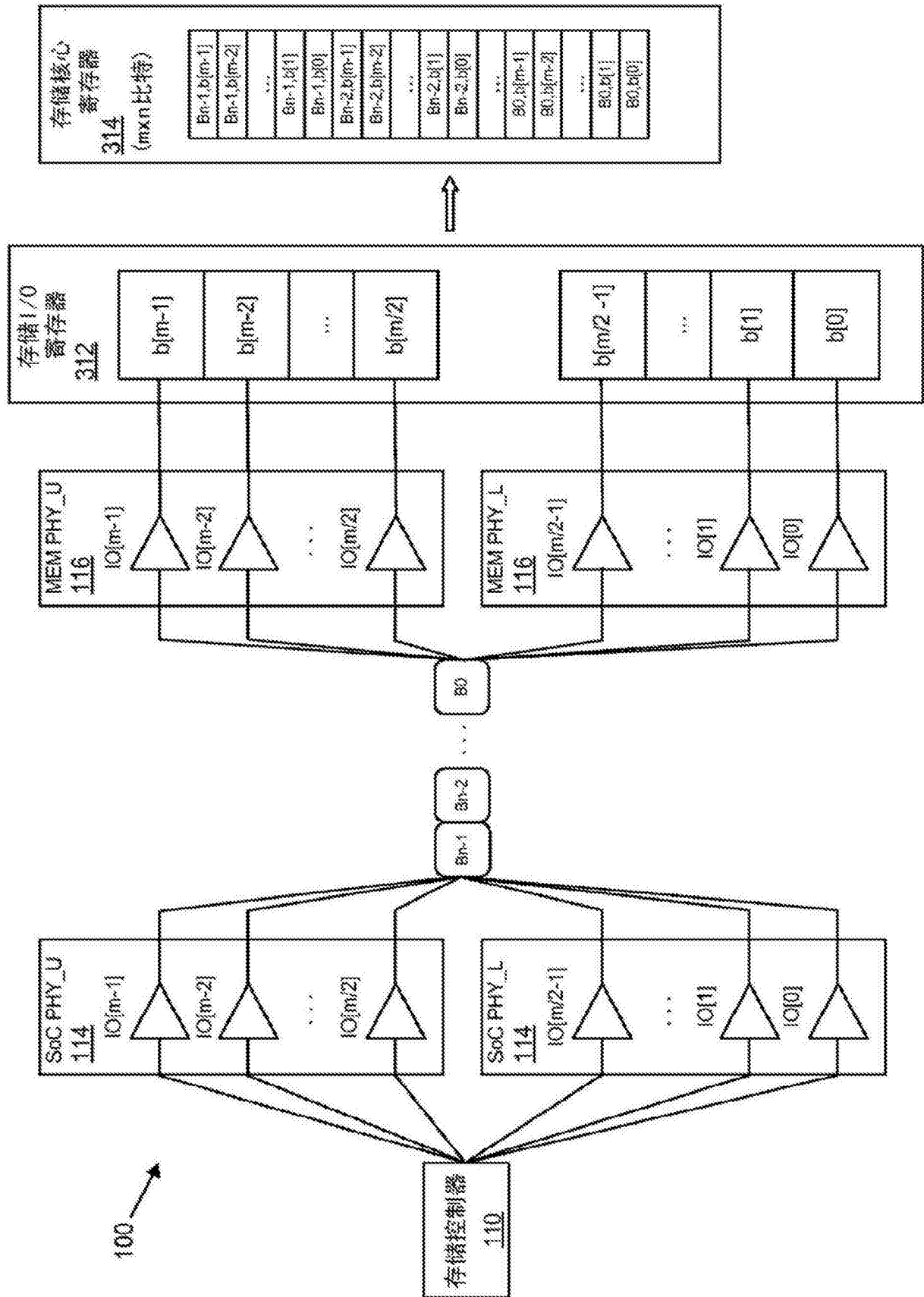


图5

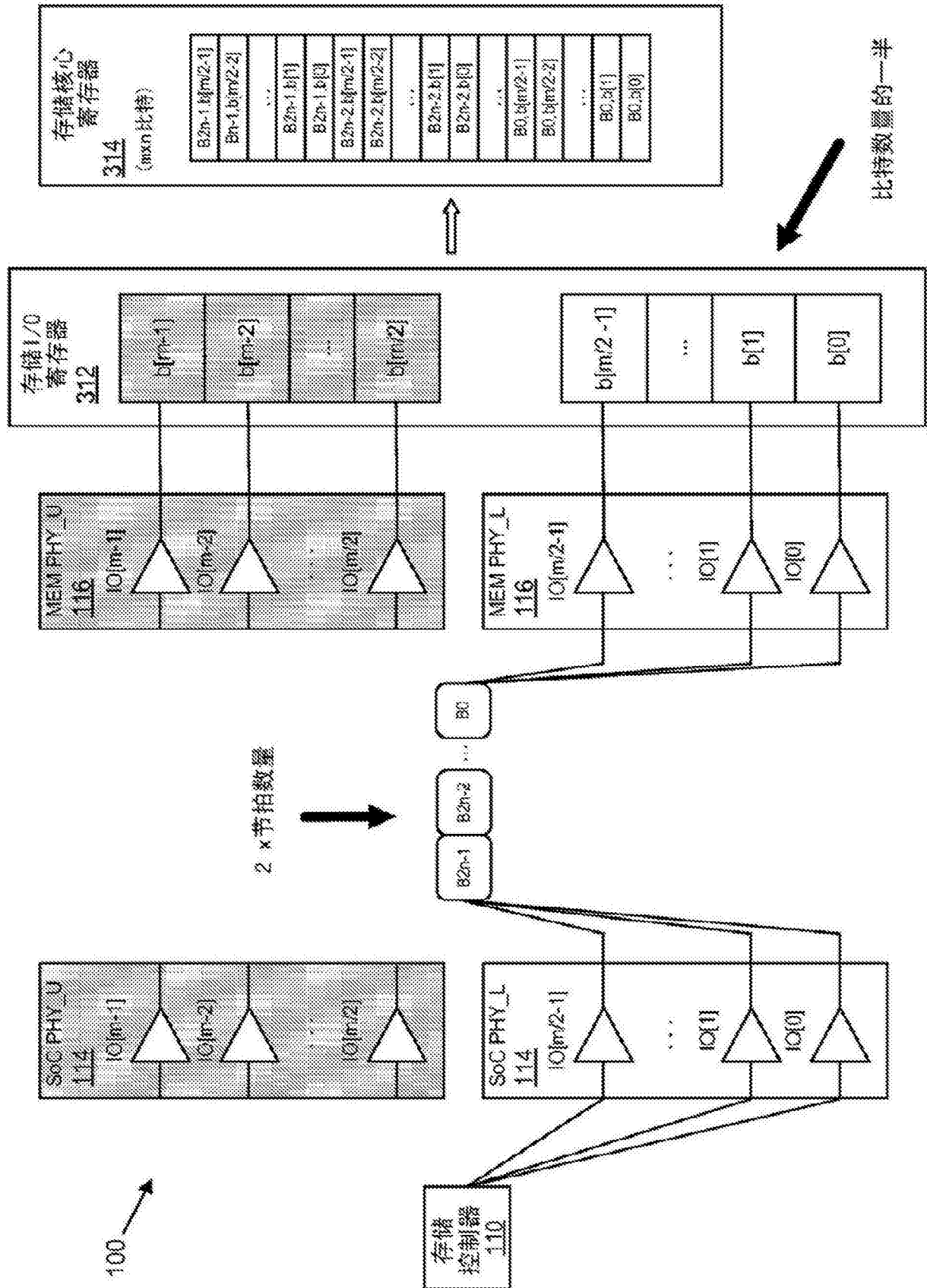


图6

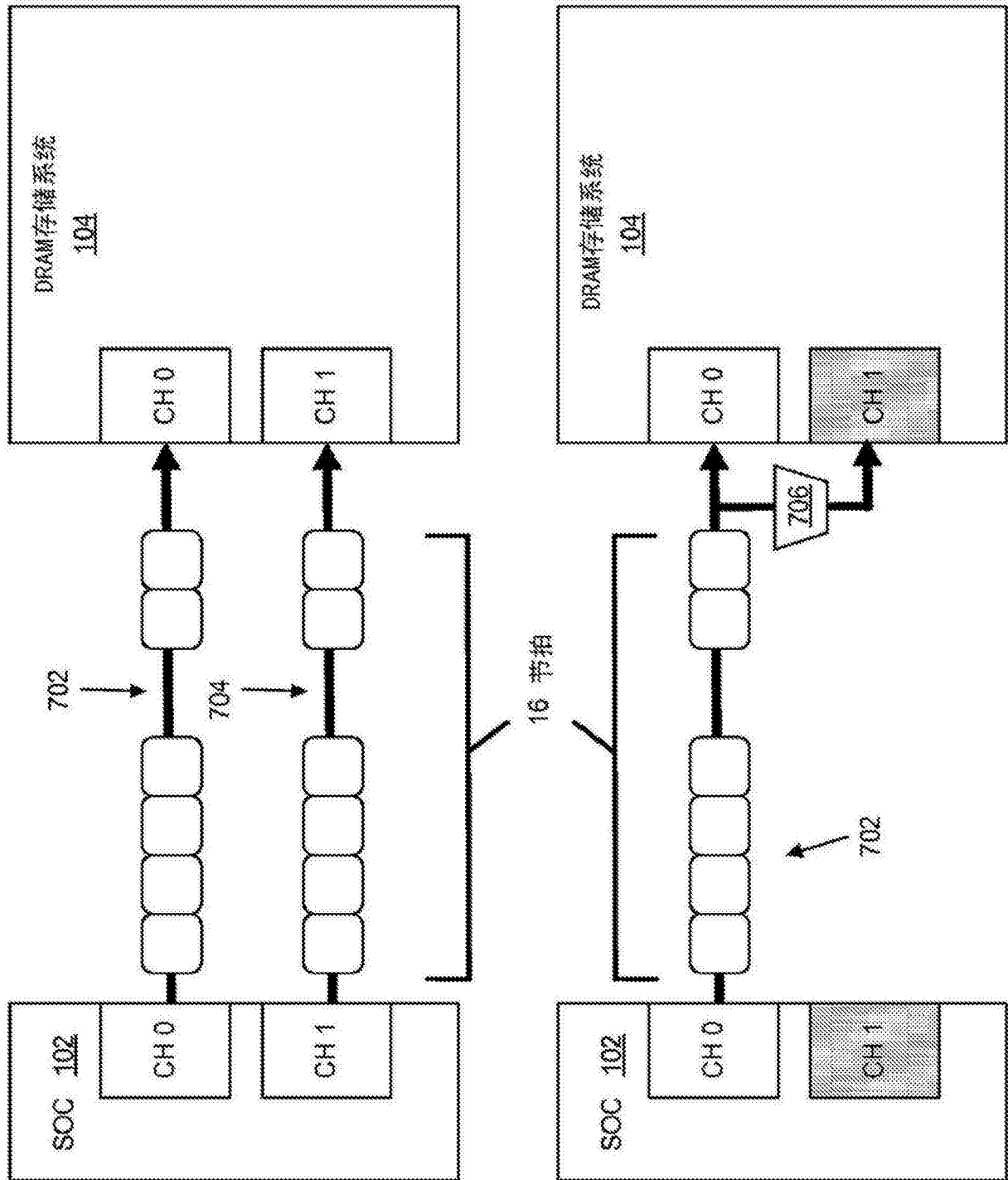


图7

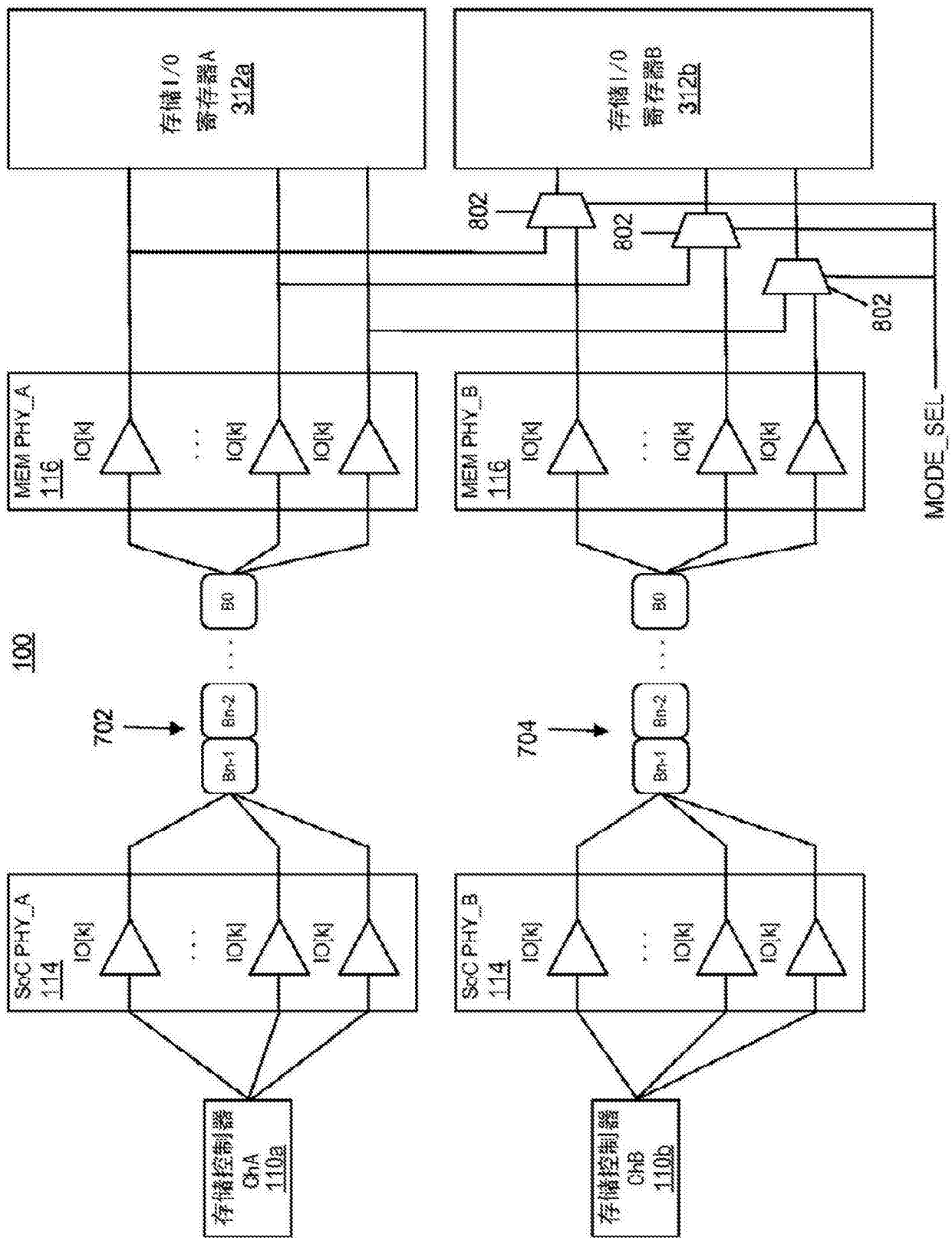


图8

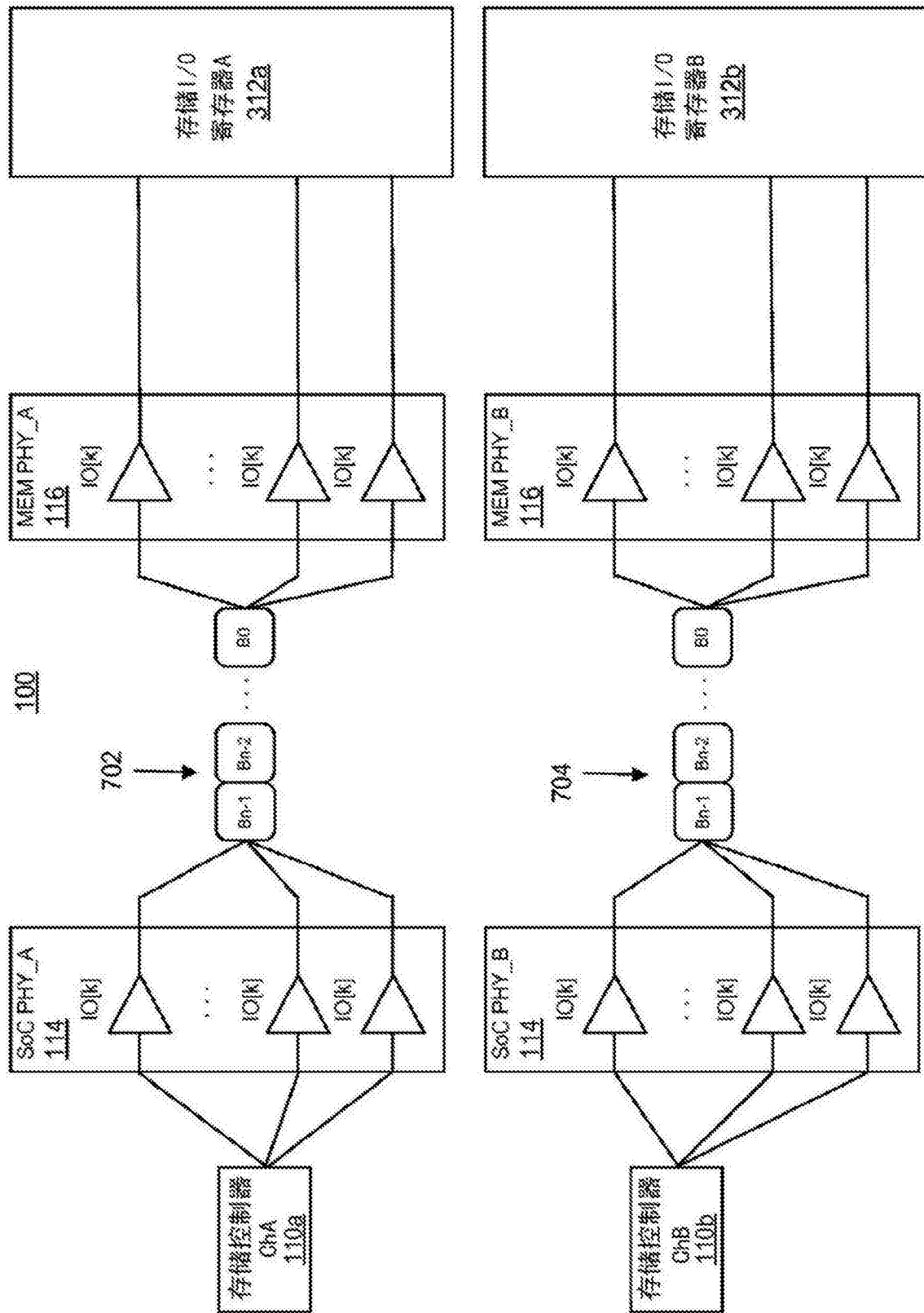


图9

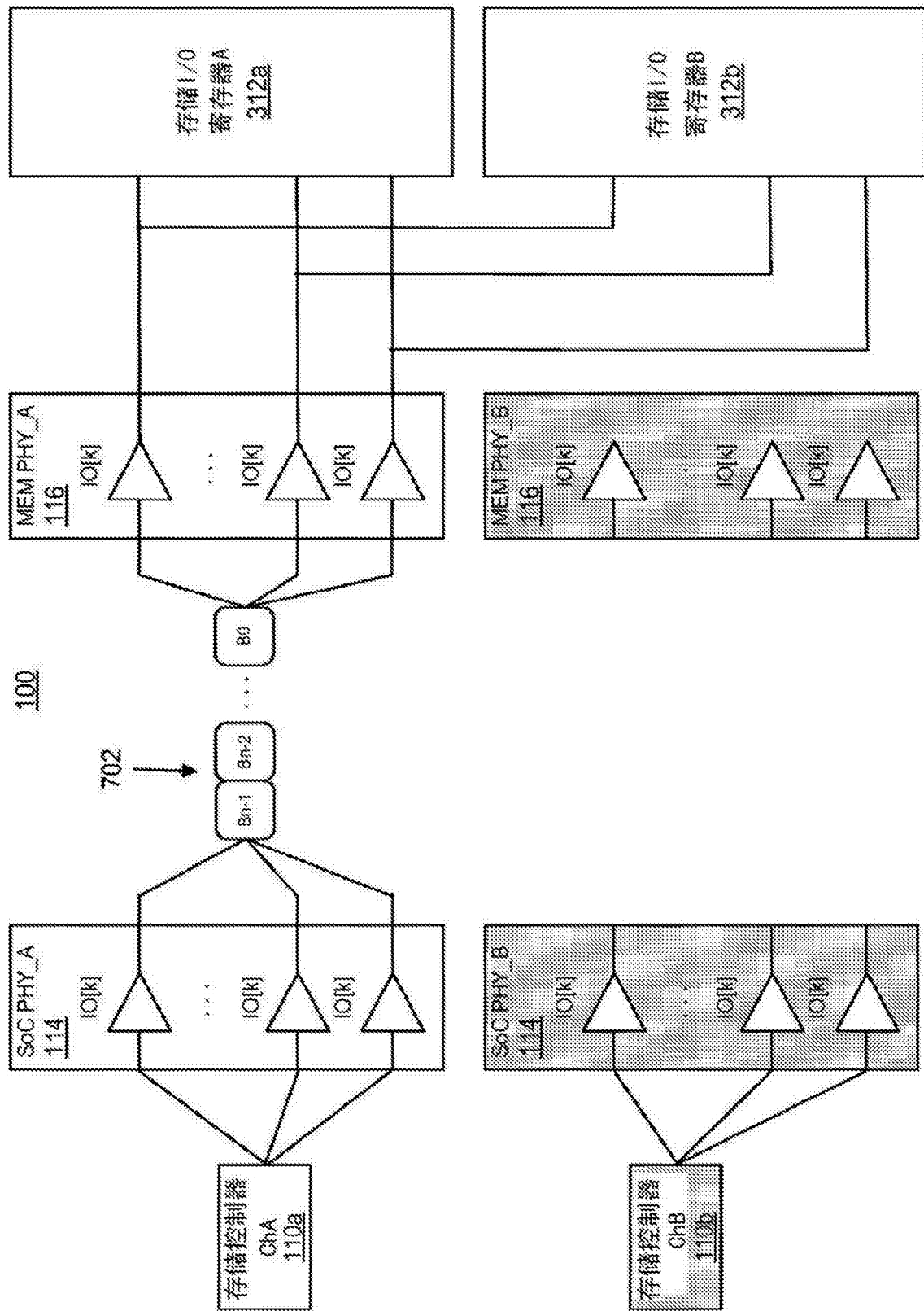


图10

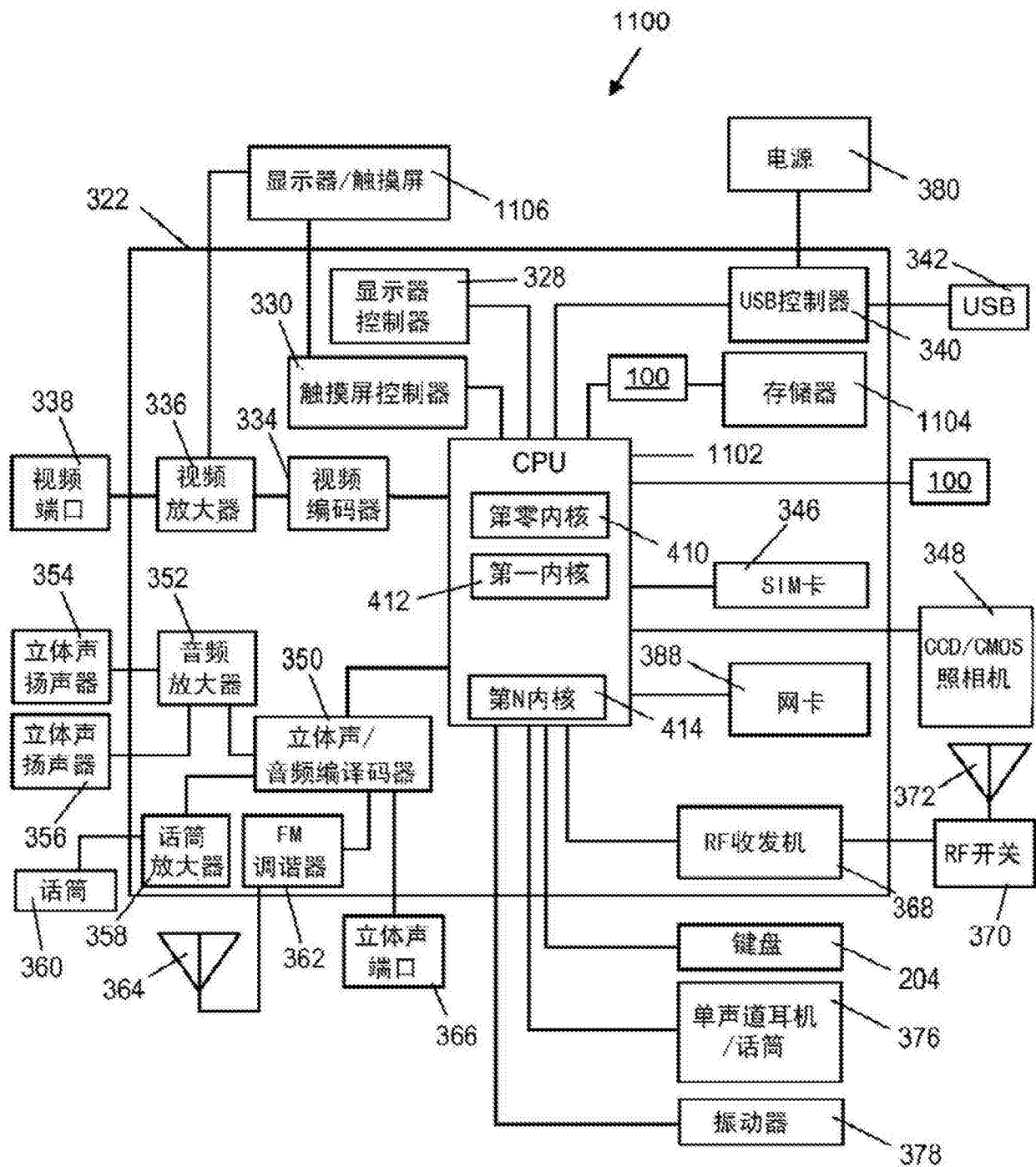


图11