



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년10월04일

(11) 등록번호 10-1903349

(24) 등록일자 2018년09월21일

(51) 국제특허분류(Int. Cl.)

H01L 27/108 (2006.01) H01L 21/8242 (2006.01)

(21) 출원번호 10-2012-0011599

(22) 출원일자 2012년02월06일

심사청구일자 2017년02월03일

(65) 공개번호 10-2012-0090836

(43) 공개일자 2012년08월17일

(30) 우선권주장

JP-P-2011-024686 2011년02월08일 일본(JP)

(56) 선행기술조사문현

JP06334146 A*

(뒷면에 계속)

전체 청구항 수 : 총 7 항

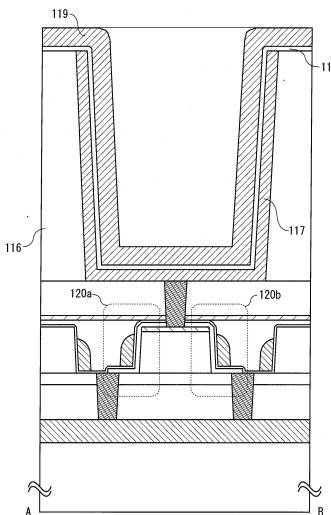
심사관 : 김종호

(54) 발명의 명칭 반도체 메모리 장치 및 반도체 메모리 장치의 제작 방법

(57) 요 약

본 발명은 고도로 집적화된 DRAM을 제공한다.

제 1 절연체(101) 위에 비트라인(102b), 비트라인(102b) 위에 제 2 절연체(103), 제 2 절연체(103) 위에 스트라이프 형상의 제 3 절연체(106a 내지 106c) 등을 형성하고, 제 3 절연체(106b)를 덮어 반도체 영역(109b)과 게이트 절연체(110)를 형성한다. 비트라인(102b)과 반도체 영역(109b)은 제 1 콘택트 플러그(105a, 105b)에 의해 접속된다. 이 후, 도전성막을 형성하고, 이것을 이방성 애칭함으로써 제 3 절연체(106a 내지 106c)의 측면에 위드라인(111a 내지 111d)을 형성하고, 제 3 절연체(106b)의 정상부에 커패시터에 접속하기 위한 제 2 콘택트 플러그(115b)를 형성한다. 위드라인(111b, 111c)을 동기시킴으로써, 커패시터에 전하를 주입하거나 커패시터로부터 전하를 추출한다. 이러한 구조로 메모리셀의 면적을 4F²로 할 수 있다.

대 표 도 - 도4

(56) 선행기술조사문현

JP2009071247 A*

US20060081884 A1*

US20040206996 A1*

비특허문현*

US20100200851 A1*

US20090207649 A1*

US07586130 B2*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

기판 위에 형성된 복수의 비트라인들과;

상기 복수의 비트라인들 위에 형성되고, 한 쌍의 홈을 포함하는 절연체와;

상기 한 쌍의 홈의 측면에 인접하여 형성되고 상기 절연체를 사이에 두고 서로 마주보는 제 1 워드라인 및 제 2 워드라인과;

상기 절연체와 상기 제 1 워드라인 및 상기 제 2 워드라인 사이에 끼워진 복수의 반도체층들로서, 상기 복수의 반도체층들 각각은 상기 복수의 비트라인들 중 하나와 전기적으로 접속된, 상기 복수의 반도체층들과;

상기 절연체의 상면 위에 형성된 복수의 전극들로서, 상기 복수의 전극들 각각은 상기 복수의 반도체들 중 하나와 전기적으로 접속된, 상기 복수의 전극들과;

각각이 상기 복수의 전극들에 전기적으로 접속된 복수의 커패시터들을 포함하고,

상기 복수의 비트라인들 중 하나는 상기 복수의 비트라인들 중 상기 하나의 다음 비트라인과 상이한 깊이에 제 공되는, 반도체 메모리 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 홈 각각의 깊이는 그 폭의 2배 이상 20배 이하인, 반도체 메모리 장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 복수의 비트라인들 아래에 구동 회로를 더 포함하는, 반도체 메모리 장치.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 복수의 비트라인들 중 상기 하나는 상기 다음 비트라인과 상이한 층에 형성되는, 반도체 메모리 장치.

청구항 8

제 1 항에 있어서,

상기 복수의 반도체층들은 밴드갭이 2.5eV 이상 4eV 이하인 재료를 사용하여 형성되는, 반도체 메모리 장치.

청구항 9

제 1 항에 있어서,

상기 복수의 반도체층들은 산화물 반도체를 포함하는, 반도체 메모리 장치.

청구항 10

제 1 항에 있어서,

상기 제 1 워드라인 및 상기 제 2 워드라인에 같은 신호가 인가되는, 반도체 메모리 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 하나의 커패시터와 하나의 트랜지스터(셀 트랜지스터라고 함)로 구성된 다이나믹 랜덤 액세스 메모리(DRAM)는 대표적인 반도체 메모리 장치로서 널리 사용되고 있다. 종래에는 DRAM은 평판(planar) 트랜지스터를 사용하여 형성되어 왔지만, 회로의 미세화에 따라 단채널 효과에 기인한 누설 전류를 방지하기 위해서 게이트를 입체적으로 배치하는 RCAT(Recessed channel array transistors)를 사용하는 방법이 채용되어 있다(비특허문헌 1 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 미국특허 제 5302843호

(특허문헌 0002) 미국특허 제 4777625호

비특허문헌

[0004] (비특허문헌 0001) K.Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing", Technical Digest of International Electron Devices Meeting, pp. 333-336, 2005

발명의 내용

해결하려는 과제

[0005] 그러나, 평판 트랜지스터 및 그 변형인 RCAT에서는 회로 선폭을 축소하는 방법 외에, 더 이상 직접화하는 것은

어렵다. 예를 들어, 평판 트랜지스터의 경우에는 메모리셀의 면적은 폴디드 비트라인 방식에서 $8F^2$ 이상(F 는 최소 가공 치수, Feature Size), 오픈 비트라인 방식에서 $6F^2$ 이상이지만, 더 작은 면적, 예를 들어 $4F^2$ 를 실현하는 기술이 요구되고 있다.

[0006] 본 발명은 상술한 과제를 감안하여 이루어진 것이며, 예를 들어 가능한 한 면적을 샥감할 수 있는 반도체 메모리 장치 또는 그 회로의 구조나 제작 방법을 제공하는 것을 과제로 한다. 또는, 비트라인의 기생 용량을 샥감할 수 있는 반도체 메모리 장치 또는 그 회로의 구조나 제작 방법을 제공하는 것을 과제로 한다. 또한, 본 발명은 신뢰성이나 특성이 높은 반도체 장치 및 그 제작 방법을 제공하는 것을 과제로 한다.

과제의 해결 수단

[0007] 본 발명의 일 형태는 기판 위에 형성된 2개 이상의 비트라인과, 비트라인 위에 형성되고 한 쌍의 홈을 갖는 절연체와, 한 쌍의 홈의 측면에 형성되고 절연체를 사이에 두고 서로 마주보는 제 1 워드라인 및 제 2 워드라인과, 제 1 워드라인 및 제 2 워드라인 각각과 절연체의 측면에 끼워진 막 형상의 1개 또는 2개의 반도체 영역과, 절연체의 정상부에 형성된 전극과, 절연체 위에 형성되고 전극과 전기적으로 접속된 커패시터를 갖는 반도체 메모리 장치이다.

[0008] 또한, 본 명세서에서 말하는 비트라인이란 센스 앰프에 접속된 배선, 또는 센스 앰프에 의해 전위가 증폭되는 배선이라는 뜻으로 해석하여도 좋다. 또한, 워드라인이란 셀 트랜지스터의 게이트에 접속된 배선이라는 뜻으로 해석하여도 좋다. 또한, 한 쌍의 홈을 하나의 볼록부로서 이해하여도 좋다. 또한, 한 쌍의 홈 중 하나는 다른 하나와 결합되어 있어도 좋다. 또한, 홈은 반드시 직선 형상에 한정되지 않고 망목상(網目狀)이나 다른 형상을 가져도 좋고, 다른 홈과 결합되어 있어도 좋다.

[0009] 여기서, 비트라인과 반도체 영역은 홈의 저부(底部)에서 전기적으로 접속되어 있는 것이 바람직하다. 또한, 절연체의 홈의 깊이는 홈의 폭의 2배 이상 20배 이하, 바람직하게는 5배 이상 20배 이하로 하면 좋다. 또한, 절연체의 정상부에는 반도체 영역에 접촉하여 도전층이 형성되어 있어도 좋다. 또한, 워드라인의 높이는 홈의 깊이의 30% 이상 90% 이하, 바람직하게는 40% 이상 80% 이하로 하면 좋다.

[0010] 본 발명의 다른 일 형태는 기판 위에 형성된 2개 이상의 비트라인과, 비트라인 위에 형성된 제 1 절연체와, 제 1 절연체 위에 형성된 2개 이상의 스트라이프 형상의 제 2 절연체와, 제 2 절연체의 측면에 형성되고 제 2 절연체를 사이에 두고 서로 마주보는 제 1 워드라인 및 제 2 워드라인과, 제 1 워드라인 및 제 2 워드라인 각각과 제 2 절연체의 측면에 끼워진 막 형상의 1개 또는 2개의 반도체 영역과, 제 2 절연체의 정상부에 형성된 전극과, 제 2 절연체 위에 형성되고 전극과 전기적으로 접속된 커패시터를 갖는 반도체 메모리 장치이다.

[0011] 여기서, 비트라인과 반도체 영역은 제 1 절연체 내에 형성된 전극을 통하여 전기적으로 접속되어 있는 것이 바람직하다. 또한, 제 2 절연체의 높이는 제 2 절연체거리의 간격의 2배 이상 20배 이하, 바람직하게는 5배 이상 20배 이하로 하면 좋다. 또한, 제 2 절연체의 정상부에는 반도체 영역에 접촉하여 도전층이 형성되어 있어도 좋다. 또한, 워드라인의 높이는 제 2 절연체와 도전층의 높이의 합의 30% 이상 90% 이하, 바람직하게는 40% 이상 80% 이하로 하면 좋다.

[0012] 본 발명의 다른 일 형태는 제 1 절연체 위에 비트라인을 형성하는 공정과, 비트라인 위에 제 2 절연체를 형성하는 공정과, 제 2 절연체에 제 1 콘택트홀을 형성하는 공정과, 제 2 절연체 위에 제 3 절연체를 형성하는 공정과, 제 3 절연체를 에칭하여 적어도 2개의 홈을 형성하는 공정과, 제 3 절연체의 홈의 측면을 포함한 영역에 섬 형상 또는 스트라이프 형상의 반도체 영역을 형성하는 공정과, 도전성막을 형성하는 공정과, 도전성막을 이방성 에칭하여 제 3 절연체의 홈의 측면에 워드라인을 형성하는 공정과, 제 4 절연체를 형성하는 공정과, 제 4 절연체를 에칭하여 제 3 절연체의 2개의 홈 사이의 정상부에 도달하는 제 2 콘택트홀을 형성하는 공정을 갖는 반도체 메모리 장치의 제작 방법이다.

[0013] 여기서, 제 3 절연체에 홈을 형성하는 공정, 및 제 3 절연체의 정상부에 도달하는 제 2 콘택트홀을 형성하는 공정은 에칭 스토퍼가 되는 다른 막을 이용하여 에칭을 제어하여도 좋다. 또한, 2개의 홈은 하나의 볼록부로서 이해하여도 좋다.

[0014] 상술한 형태들 중 어느 형태에서, 2개의 워드라인은 동기하여 동작하는 것이 바람직하다. 비트라인의 아래에는 센스 앰프 또는 디코더 등의 구동 회로가 형성되어 있어도 좋다. 또한, 인접한 비트라인들의 높이 또는 깊이는 달라도 좋다. 그리고, 상기 구성을 분할 비트라인 구조에도 적용할 수 있다.

[0015] 또한, 상술한 형태들 중 어느 형태에서, 반도체 영역은 이동도가 $5\text{cm}^2/\text{Vs}$ 이상인 반도체로 구성된 것이 바람직하다. 예를 들어, 다결정 실리콘, 다결정 게르마늄, 다결정 실리콘게르마늄, 인듐 산화물, 또는 인듐 산화물에 다른 1종류 또는 2종류 이상의 금속 원소가 침가된 산화물, 질화갈륨 또는 질화갈륨에 산소가 침가된 화합물, 갈륨비소, 인듐비소, 황화아연 등을 사용하면 좋다.

발명의 효과

[0016] 반도체 기판에 형성한 요철의 측면에 이방성 애칭을 이용하여 트랜지스터의 게이트를 형성하는 구조는 알려져 있지만(예를 들어, 특허문헌 1 참조), 이 구조를 사용하여 더 집적화된 반도체 메모리를 제작하는 경우의 더 바람직한 형태는 검토되지 않았다. 예를 들어, 특허문헌 1은 DRAM에 대해서 언급하였지만, 비트라인은 홈의 저부가 아니라 볼록부에 형성된 콘택트를 통하여 트랜지스터에 접속되어 있다.

[0017] 그러나, 회로가 충분히 미세화되지 않은 시대에는 문제가 없어도, 회로가 미세화되고 커패시터의 높이가 $1\mu\text{m}$ 를 넘게 되면, 비트라인을 커패시터 위에 형성할 때 문제가 많이 발생한다. 즉, 이제 비트라인을 커패시터 위에 형성할 수는 없고, 커패시터의 틈에 비트라인을 형성할 필요가 있다.

[0018] 또한, 홈의 저부에 커패시터의 콘택트를 형성하려고 하면, 오목부에 있는 워드라인과 접촉하지 않도록 저부의 폭을 넓게 형성할 필요가 있고, 구체적으로는 저부에서는 적어도 2F 이상의 폭이 필요하다. 가령 정상부의 폭을 F로 하고 인접한 메모리셀과 비트라인의 콘택트를 공유하더라도, 다른 쪽에 인접한 커패시터와 절연하기 위한 소자 분리 영역을 형성할 수밖에 없어서 메모리셀의 면적은 $6F^2$ 보다 작게 할 수 없다.

[0019] 또한, 비트라인이 커패시터나 워드라인과 가까운 위치에 있다는 것은 비트라인의 기생 용량이 증가한다는 말이다. DRAM은 커패시터의 용량이 비트라인의 기생 용량에 따라 결정되기 때문에, 기생 용량이 커지면, 그만큼 커패시터의 용량도 크게 할 수 밖에 없다.

[0020] 이들 문제점은 비트라인을 반도체 영역 아래에 배치함으로써 해결할 수 있다. 즉, 홈의 저부에는 하방에 있는 비트라인에 도달하는 콘택트가 형성되고, 2개의 홈 사이에 있는 정상부(볼록부)에는 상방에 있는 커패시터에 도달하는 콘택트가 형성된다. 특허문헌 1과 달리, 저부의 콘택트는 하방과 접속되는 콘택트이기 때문에, 홈에 있는 워드라인을 피할 필요가 없다. 그러므로, 홈의 저부의 폭과 볼록부의 폭을 양쪽 모두 F로 함으로써, 메모리셀의 면적을 $4F^2$ 로 할 수 있다.

[0021] 또한, 특별히 인접한 커패시터들 사이에 소자 분리 영역을 형성할 필요가 없다. 상기 구성에서는 커패시터는 2개의 트랜지스터 사이에 배치되어 있고, 2개의 트랜지스터의 게이트는 하나의 볼록부의 측면에 있는 한 쌍의 워드라인이므로, 한 쌍의 워드라인이 활성화되지 않으면, 커패시터는 절연된 상태가 되기 때문이다.

[0022] 소자 분리 영역은 절연성을 유지하는 목적만으로 형성되지만, 상기 구성에서는 소자 분리 영역과 같은 기능을 트랜지스터에서 실시한다. 그러므로, 후술하는 바와 같이, 트랜지스터가 온 상태인 경우에는 트랜지스터로서 기능하고, 트랜지스터가 오프 상태인 경우에는 소자 분리 영역으로서 기능하기 때문에, 이용 효율이 높다.

[0023] 물론 반도체 영역과 워드라인 사이에는 기생 용량이 발생하기 때문에, 반도체 영역 중 필요없는 부분(트랜지스터를 형성하지 않는 부분)은 삭제하여도 상관없다.

[0024] 또한, 상기 구성에서는 비트라인은 커패시터나 워드라인에서 떨어진 위치에 있기 때문에, 이들과의 사이에서 발생할 기생 용량도 감소할 수 있다. 비트라인의 기생 용량이 작아지면, 메모리셀에 형성하는 커패시터의 용량도 그것에 비례하여 작게 할 수 있다.

[0025] 또한, 상기 구성에서는 트랜지스터의 채널 길이는 워드라인의 높이와 거의 같고, 워드라인의 높이는 홈의 깊이에 따라 결정된다. 따라서, 홈의 아스펙트비(깊이 폭 깊이 나눈 값)가 크면, 충분히 집적화되고 단채널 효과가 억제된 트랜지스터를 얻을 수 있다.

[0026] 예를 들어, 홈의 폭을 최소 가공 치수인 30nm , 높이를 300nm 로 한 경우에, 워드라인의 높이는 최대 300nm 로 할 수 있다. 실제로는, 공정의 여유 등도 고려하여 워드라인의 높이는 홈의 깊이의 30% 이상 90% 이하, 바람직하게는 40% 이상 80% 이하로 하면 좋다. 예를 들어, 워드라인의 높이를 홈의 깊이의 50%로 하면, 채널 길이는 약 150nm 가 된다.

[0027] 이것은 RCAT와 같은 정도의 채널 길이이며, 단채널 효과를 충분히 억제할 수 있다. 더구나, 상기 구성에서는 채널 폭이 30nm 인 트랜지스터가 하나의 메모리셀에 2개씩 있기 때문에, 일반적인 RCAT, 또는 특허문헌 1에 기재

된 메모리셀의 2배의 온 전류가 얻어진다.

[0028] 또한, 채널 폭은 최소 가공 치수인 30nm이기 때문에 채널 길이는 채널 폭의 5배가 되지만, 이렇게 채널 길이가 긴 트랜지스터는, 특히 트랜지스터에 다결정 반도체 재료를 사용하는 경우에는, 임계값의 편차가 작아진다는 효과도 있다.

[0029] 상술한 바와 같이 아스펙트비가 10인 흄의 경우는 물론, 아스펙트비가 2로 비교적 얇은 흄이라도, 특허문헌 1에 기재된 메모리셀과 같이 흄의 저부와 상방이 접속되는 콘택트를 형성하는 것은 기술적으로 매우 어렵다.

[0030] 한편, 상기 구성에서는 흄의 저부에는 하방에 도달하는 콘택트가 형성되고, 정상부에는 상방에 도달하는 콘택트가 형성된다. 이러한 구성은 가장 가공하기 용이하고 집적화하는 데도 바람직하다. 따라서, 상기 구성을 채용하면, 아스펙트비가 2 이상 20 이하, 바람직하게는 5 이상 20 이하인 흄에도 메모리셀을 형성할 수 있다.

[0031] 또한, 상기 구성에서는 비트라인은 셀 트랜지스터의 하방에 있고, 그 부분에 특히 장해가 되는 구조물이 형성되지 않았기 때문에, 비트라인을 배치하는 깊이는 임의로 설정할 수 있다. 물론, 비트라인을 트랜지스터로부터 더 떨어지도록(즉, 깊은 위치에) 형성함으로써, 기생 용량을 더 저감할 수 있다. 또한, 인접한 비트라인의 깊이를 다르게 함으로써, 인접한 비트라인들 간에 발생하는 기생 용량도 저감할 수 있다.

[0032] 또한, 비트라인 아래에는 그것을 구동하기 위한 회로를 형성함으로써, 칩의 면적을 삭감할 수 있다. 일반적으로는 DRAM의 칩 표면의 20% 내지 50%는 구동 회로가 점유하기 때문에, 이것과 메모리셀 어레이를 겹침으로써, 칩 면적을 삭감할 수 있고, 종래의 메모리와 같은 칩 면적이라면 더 많은 메모리셀을 형성할 수 있다. 구동 회로는 단결정 반도체를 사용하여 형성하면 바람직하다.

[0033] 비단결정 반도체 영역을 사용한 트랜지스터에서는 이동도가 충분하지 않은 경우도 있다. 그러나, 소위 분할 비트라인 구조(특허문헌 2 참조)를 적용함으로써, 서브비트라인 및 커패시터의 용량을 일반적인 DRAM의 1/10 내지 1/100로 함으로써, 반도체 재료의 이동도가 일반적으로 사용되는 단결정 실리콘의 1/10 내지 1/100이라도 단결정 실리콘을 사용한 DRAM과 같은 정도 또는 그 이상의 고속 응답이 가능하다.

[0034] 또한, 분할 비트라인 구조에서, 서브비트라인에 접속된 메모리셀은 일반적인 DRAM의 비트라인에 접속된 메모리셀과 동등한 것이므로, 상술한 형태의 구성 및 그 효과를 갖는 비트라인을 분할 비트라인 구조에서의 서브비트라인으로 바꿔서 이해하면 좋다. 서브비트라인을 워드라인이나 커패시터로부터 떨어져서 형성함으로써, 서브비트라인의 기생 용량을 삭감할 수 있어서 커패시터의 용량을 더 작게 할 수 있다.

[0035] 또한, 분할 비트라인 구조의 비트라인(메인 비트라인이라고도 함)은 커패시터 위에 형성하면 좋다. 분할 비트라인 구조를 채용하는 경우에는 커패시터의 높이는 일반적인 DRAM의 1/10 내지 1/100이 되기 때문에, 그 위에 비트라인을 형성하는 것은 기술적으로도 용이하다. 비트라인과 서브비트라인의 콘택트에는 $4F^2$ 이상의 면적이 필요하게 될 수도 있지만, 메모리셀 10개 내지 200개에 1개의 비율로 콘택트를 형성하면 좋기 때문에, 칩 면적이 현저하게 증가되지는 않는다.

[0036] 또한, 분할 비트라인 구조에 있어서, 서브비트라인의 전위의 증폭에 사용하는 센스 앰프 등은 비트라인의 하방에 형성하고, 바람직하게는 다른 구동 회로와 함께 단결정 반도체를 사용하여 형성하면 좋다.

도면의 간단한 설명

[0037] 도 1a 및 도 1b는 본 발명의 반도체 메모리 장치의 제작 공정의 예를 설명하기 위한 도면.

도 2a 및 도 2b는 본 발명의 반도체 메모리 장치의 제작 공정의 예를 설명하기 위한 도면.

도 3a 및 도 3b는 본 발명의 반도체 메모리 장치의 제작 공정의 예를 설명하기 위한 도면.

도 4는 본 발명의 반도체 메모리 장치의 제작 공정의 예를 설명하기 위한 도면.

도 5a 내지 도 5c는 본 발명의 반도체 메모리 장치의 제작 공정의 예를 설명하기 위한 도면.

도 6은 본 발명의 반도체 메모리 장치에 적용되는 회로의 예를 설명하기 위한 도면.

도 7a 내지 도 7d는 본 발명의 반도체 메모리 장치의 구성의 예를 설명하기 위한 도면.

도 8은 본 발명의 반도체 메모리 장치의 구성의 예를 설명하기 위한 도면.

도 9a 및 도 9b는 본 발명의 반도체 메모리 장치의 구성의 예를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하에서, 실시형태에 대해서 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있으며, 취지 및 그 범위에서 벗어남 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에서 제시할 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0039] 또한, 본 명세서에서 '제 1', '제 2'라는 서수는 구성물의 혼동을 피하기 위해서 부기하는 것이며, 반드시 순서를 의미하는 것이 아니다. 예를 들어, 제 1 절연체의 하층에 다른 절연체가 있어도 좋고, 제 1 콘택트 플러그와 제 2 콘택트 플러그 사이의 층에 다른 콘택트 플러그를 형성할 수도 있다.
- [0040] 또한, 본 명세서에서 말하는 셀 트랜지스터의 소스란 비트라인 측의 전극 또는 영역을 가리키며, 셀 트랜지스터의 드레인이란 커패시터 측의 전극 또는 영역을 가리키는 것으로 한다.
- [0041] (실시형태 1)
- [0042] 본 실시형태의 메모리셀의 제작 공정을 도 1a 내지 도 7d를 사용하여 설명한다. 도 1a 내지 도 4에는 본 실시형태에서 제시하는 메모리셀의 비트라인에 평행한 일 단면을 도시하였다. 도 5a 내지 도 5c에는 본 실시형태에서 제시하는 메모리셀을 상방으로부터 본 경우의 각 제작 공정의 모식도를 도시하였다. 도 6에는 본 실시형태에서 제시하는 메모리셀의 회로도를 도시하였다. 또한, 도 7a 내지 도 7d에는 본 실시형태에서 제시하는 비트라인을 상방으로부터 본 경우의 모식도와 단면도를 도시하였다.
- [0043] 또한, 본 실시형태에서는 일부를 제외하고 개략만 제시하기로 한다. 상세한 내용은 공지의 반도체 집적 회로 제작 기술 등을 참조하면 좋다. 또한, 도 1a 내지 도 5c에서는 설명을 보기 쉽게 하기 위해서 폴디드 비트라인 방식의 메모리셀을 예로 들어 하나의 메모리셀의 면적은 $16F^2$ 정도로 도시하였지만, 더 집적화하여도 좋다.
- [0044] <도 1a>
- [0045] 제 1 절연체(101) 위에 비트라인(102b)을 형성한다. 이 때, 비트라인(102b)과 인접한 비트라인의 배치에는 몇 가지 방식이 있다. 예를 들어, 도 7a와 도 7b에 도시한 바와 같이 비트라인(102b)과 인접한 비트라인(102a, 102c)을 3개 모두 같은 깊이 또는 같은 층에 형성하는 방법이다. 도 7a는 비트라인(102a 내지 102c)을 형성한 면을 도 1a에 도시된 점선 CD를 포함한 평면에서 절단한 단면의 모식도이며, 도 7a에 도시된 점선 EF의 단면을 도 7b에 도시하였다. 또한, 도 7a 및 도 7c에 도시된 점선 AB의 단면을 도 1a에 도시하였다.
- [0046] 도 7b에 도시된 바와 같이, 비트라인(102b)이 인접한 비트라인(102a, 102c)과 같은 깊이 또는 같은 층에 형성되는 방법은 제작 공정이 적다는 특징이 있다.
- [0047] 다른 하나의 방법은 도 7c와 도 7d에 도시한 바와 같이, 비트라인(102b)과 인접한 비트라인(102a, 102c)을 각각 상이한 깊이 또는 상이한 층에 형성하는 방법이다. 도 7c는 도 1a에 도시된 점선 CD를 포함한 평면에서 절단한 단면의 모식도이며, 도 7c에 도시된 점선 EF의 단면을 도 7d에 도시하였다.
- [0048] 도 7c에는 비트라인(102b)에 인접한 비트라인(102a, 102c)을 도시하지 않았지만, 단면도인 도 7d에 도시된 바와 같이, 비트라인(102a, 102c)은 비트라인(102b)과 상이한 깊이에 형성되어 있다. 도 7d에서는 비트라인의 깊이를 2종류로 하였지만, 3종류 이상으로 할 수도 있다.
- [0049] 이 방법에서는 추가 공정이 필요하지만, 같은 층에 비트라인을 형성하는 방법(도 7b 참조)보다 인접한 비트라인들 간의 기생 용량을 저감할 수 있다. 예를 들어, 비트라인(102a) 내지 비트라인(102c)의 높이를 폭의 5배로 하고 비트라인들의 간격을 폭과 같게 하면, 도 7d에 도시한 바와 같이, 인접한 비트라인의 깊이를 비트라인의 높이만큼 변화시키면 하나의 비트라인과 다른 비트라인 사이에 발생하는 기생 용량은 절반 이하가 된다. 비트라인의 높이가 높아질수록(아스펙트비가 커질수록) 기생 용량의 저감 효과가 크다.
- [0050] 본 실시형태와 같이 비트라인이 워드라인이나 커패시터와 떨어져 형성되면, 비트라인의 기생 용량의 대부분은 다른 비트라인과의 사이에 발생한다. 특히 배선의 폭의 저감과 함께 비트라인의 저항을 저감하기 위해서, 비트라인의 아스펙트비를 크게 할 필요가 있지만, 이것은 비트라인간의 기생 용량을 증대시키는 요인인기도 하다.
- [0051] 따라서, 도 7d와 같이 비트라인을 배치하는 것에 의한 비트라인의 기생 용량의 저감 효과는 현저하다. 비트라인의 기생 용량 저감과 비트라인의 저항 저감과 커패시터의 용량 저감이 동시에 요구되는 경우에는 도 7d에 도시한 바와 같이 비트라인을 배치하면 좋다.

- [0052] 종래의 DRAM에서는 비트라인이 배치되는 부분에는 커패시터 등의 구조물이 있어서 비트라인의 배치가 극히 제한되어 있었지만, 본 실시형태에서는 커패시터는 비트라인으로부터 떨어진 곳에 형성되기 때문에, 비트라인 배치의 자유도가 높고 상술한 바와 같이 상이한 깊이에 비트라인을 형성할 수도 있다. 본 실시형태에서는 도 7b, 도 7d에 도시한 방법 중 양쪽 모두를 채용할 수 있다.
- [0053] 도 1a의 공정으로 되돌아가서, 비트라인(102b) 위에 적절한 두께의 제 2 절연체(103)와, 수소 및 알칼리 금속에 대한 배리어성이 있는 제 3 절연체(104)를 적절한 두께로 형성한다. 또한, 제 1 절연체(101)와 제 2 절연체(103), 제 3 절연체(104)의 두께 및 재질은 비트라인의 기생 용량을 결정하는 데 중요하다.
- [0054] 제 1 절연체(101)와 제 2 절연체(103)의 두께는 100nm 내지 $1\text{ }\mu\text{m}$ 로 하면 바람직하다. 또한, 제 1 절연체(101)와 제 2 절연체(103)는 산화실리콘 등 비교적 유전율이 낮은 재료로 형성하면 좋다. 그리고, 제 3 절연체(104)는 그 위에 형성하는 제 4 절연체(106)와 에칭 레이트가 상이한 재료로 형성하는 것이 바람직하고, 예를 들어, 산화알루미늄, 질화알루미늄, 질화실리콘 등을 사용하면 좋고, 그 두께는 10nm 내지 100nm로 하면 좋다.
- [0055] <도 1b>
- [0056] 제 3 절연체(104) 및 제 2 절연체(103)를 에칭하여 콘택트홀을 형성하고, 비트라인(102b)에 접속된 제 1 콘택트 플러그(105a, 105b)를 형성한다. 또한, 제 4 절연체(106)를 형성한다. 제 4 절연체(106)의 두께는 나중에 형성할 홈의 깊이, 트랜지스터의 채널 길이를 고려하여 결정된다. 예를 들어, 100nm 내지 $1\text{ }\mu\text{m}$ 로 하면 좋다. 또한, 에칭 레이트가 제 3 절연체(104)와 상이한 재료인 것이 바람직하고, 산화실리콘을 사용하면 좋다.
- [0057] 제 4 절연체(106) 위에 도전층(107)을 형성한다. 도전층(107)의 재료나 두께는 적절히 설정하면 좋지만, 이후에 제 2 콘택트 플러그(115b)를 형성할 때의 에칭 스토퍼가 될 재료 및 두께이면 바람직하다.
- [0058] <도 2a>
- [0059] 도전층(107)과 제 4 절연체(106)를 에칭하여, 홈(108a, 108b)을 형성한다. 홈(108a, 108b)은 비트라인(102b)과 대략 직교하도록 형성된다. 어느 정도 두께가 있는 제 4 절연체(106)의 에칭에서는 제 3 절연체(104)를 에칭 스토퍼로서 사용한다. 즉, 제 4 절연체(106)를 에칭하는 공정은 제 3 절연체(104)가 노출된 상태에서 정지 한다. 이로써, 제 4 절연체(106) 및 도전층(107)은 예를 들어 스트라이프 형상의 제 4 절연체(106a 내지 106c) 및 도전층(107a 내지 107c)이 된다. 다만, 제 4 절연체(106a 내지 106c) 및 도전층(107a 내지 107c)의 형상은 스트라이프 형상에 한정되지 않는다. 또한, 도면에서 도시한 홈의 폭 W과 홈의 깊이 T의 비율 T/W는 2 이상 20 이하, 바람직하게는 5 이상 20 이하로 하면 좋다.
- [0060] <도 2b>
- [0061] 섬 형상의 반도체 영역(109b)을 형성한다. 반도체 영역(109b)은 제 1 콘택트 플러그(105a, 105b) 중 적어도 하나와 접촉하도록 형성한다. 이 때, 반도체 영역(109b)을 마스크로 하여, 도전층(107a 내지 107c)도 에칭한다. 따라서, 도전층(107a 내지 107c) 중 반도체 영역(109b)이 위에 존재하지 않은 부분은 제거된다. 도 2b에서는 도전층(107b)의 일부가 잔존하여 도전층(107B)이 된다. 이 후, 섬 형상의 반도체 영역(109b)을 덮어 게이트 절연체(110)를 형성한다.
- [0062] 반도체 영역(109b) 및 게이트 절연체(110)의 두께는 적절히 결정할 수 있지만, 트랜지스터의 채널 길이나 홈의 폭 W에 따라 결정하는 것이 바람직하고, 예를 들어, 채널 길이의 1/50 내지 1/5, 홈의 폭 W의 1/10 내지 1/50로 하면 좋다. 또한, 게이트 절연체(110)의 두께는 터널 전류(tunnel current)가 문제가 되지 않을 정도로 얇게 하면 좋다. 또한, 게이트 절연체(110)는 비유전율이 10 이상인 재료로 형성하여도 좋다.
- [0063] 또한, 게이트 절연체(110)는 이후에 형성할 워드라인(111a 내지 111d)에 사용하는 재료나 제 5 절연체(112)와 에칭 레이트가 상이한 재료로 형성하면 좋고, 이런 이유로 산화하프늄, 산화탄탈, 산화알루미늄, 산화지르코늄 등을 사용하면 좋다. 게이트 절연체(110)는 이들을 함유한 다층막이라도 좋다. 예를 들어, 산화실리콘과 산화알루미늄의 2층의 막이라도 좋다.
- [0064] 반도체 영역(109b)에 사용하는 반도체의 종류에는 제약은 없지만, 이동도가 $5\text{cm}^2/\text{Vs}$ 이상인 것이 바람직하다. 예를 들어, 다결정 실리콘, 다결정 게르마늄, 다결정 실리콘게르마늄, 인듐 산화물, 또는 인듐 산화물에 다른 금속 원소가 첨가된 산화물, 질화갈륨, 또는 질화갈륨에 산소가 첨가된 화합물, 갈륨비소, 인듐비소, 황화아연 등을 사용하면 좋다.
- [0065] 특히, 분할 비트라인 구조를 채용하여 커패시터의 용량을 저감하는 경우에는, 오프 저항을 일반적인 DRAM의 셀

트랜지스터보다 높게 할 필요가 있다. 예를 들어, 커페시터의 용량을 1/100로 하더라도, 셀 트랜지스터의 오프 저항이 변화하지 않으면, 커페시터에 축적된 전하는 일반적인 DRAM의 1/100의 시간으로 소실되어 버린다. 그러므로, 일반적인 DRAM의 1/100의 주기로 리플레쉬할 필요가 있고, 소비 전력이 현저히 증가된다. 즉, 커페시터의 용량을 1/100로 하면, 셀 트랜지스터의 오프 저항도 100배 이상 높게 하는 것이 바람직하다.

[0066] 오프 저항을 높이기 위해서는, 예를 들어 반도체 영역(109b)의 두께를 0.5nm 내지 5nm로 매우 얇게 하는 것이 유효하다. 또한, 흄(108a, 108b)의 두께 T를 $0.5\text{ }\mu\text{m}$ 내지 $1\text{ }\mu\text{m}$ 로 하여, 셀 트랜지스터의 채널 길이를 크게 하는 것도 바람직하다. 또는, 다결정 실리콘과 같이, 원래의 이동도가 $200\text{cm}^2/\text{Vs}$ 이상이나 있는 것이라면, 반도체 영역 내의 질소 농도나 탄소 농도를 $1 \times 10^{19}\text{ cm}^{-3}$ 내지 $5 \times 10^{20}\text{ cm}^{-3}$ 로 하고, 이동도를 $10\text{cm}^2/\text{Vs}$ 정도까지 저하시켜도 좋다.

[0067] 또한, 셀 트랜지스터의 오프 저항을 더 상승시키면, 메모리셀의 리플레쉬 주기가 길어질 수 있기 때문에 바람직하다. 예를 들어, 일반적인 셀 트랜지스터의 100만배 이상의 오프 저항이면, 실용적으로는 리플레쉬 동작을 필요로 하지 않고 사용할 수 있다.

[0068] 이와 같이 매우 높은 오프 저항을 얻기 위해서는 실리콘(밴드갭이 1.1 전자볼트(eV))은 충분하지 않고, 밴드갭이 2.5 전자볼트 이상 4 전자볼트 이하, 바람직하게는 3 전자볼트 이상 3.8 전자볼트 이하인 와이드 밴드갭 반도체를 사용할 필요가 있다. 예를 들어, 산화인듐, 산화아연 등의 산화물 반도체, 질화갈륨 등의 질화물 반도체, 황화아연 등의 황화물 반도체 등을 사용하면 좋다.

[0069] 오프 저항은 열적으로 여기하는 캐리어의 농도에 비례한다. 도너(donor)나 억셉터(acceptor)에 의한 캐리어가 전혀 존재하지 않는 상태(진성 반도체)라도 실리콘의 경우에는 밴드갭이 1.1 전자볼트이므로, 실온(300K)에서의 열여기 캐리어의 농도는 $1 \times 10^{11}\text{ cm}^{-3}$ 정도이다.

[0070] 한편, 밴드갭이 3.2 전자볼트인 반도체에서는 열여기 캐리어의 농도는 $1 \times 10^{-7}\text{ cm}^{-3}$ 정도가 된다. 전자 이동도가 같은 경우에는, 저항률은 캐리어 농도에 반비례하기 때문에, 밴드갭이 3.2 전자볼트인 반도체의 저항률은 실리콘보다 18 자릿수나 크다.

[0071] 또한, 도너나 억셉터에 의한 캐리어는 가능한 한 낮은 농도인 것이 바람직하고, 그 농도는 $1 \times 10^{12}\text{ cm}^{-3}$ 이하로 하는 것이 바람직하다. 또한, 이를 캐리어 농도에 의해 트랜지스터의 임계값이 결정된다.

[0072] <도 3a>

[0073] 도전성막을 형성한 후, 이것을 이방성 에칭함으로써 워드라인(111a 내지 111d)을 형성한다. 도전성막의 두께는 흄(108a, 108b)의 폭 W의 1/3 내지 1/30로 하면 좋다. 도면에 x로 도시된 워드라인(111a 내지 111d)의 폭은 도전성막의 두께와 대략 같은 정도가 된다. 도전성막이 지나치게 두꺼우면, 이방성 에칭을 실시하여도 흄의 내부에서 도전성막을 분리할 수 없게 된다. 이와 같이 흄의 측면에 자기정합적으로 배선을 형성하는 기술에 관해서는 특허문헌 1을 참조하면 좋다.

[0074] 또한, 워드라인(111b, 111c)의 정상부가 제 4 절연체(106b)의 정상부를 넘는 높이, 또는 도전층(107B)과 같은 정도의 높이라면, 이후 제 2 콘택트 플러그(115b)를 형성할 때 워드라인(111b, 111c)과 제 2 콘택트 플러그(115b)가 접촉할 우려가 있기 때문에, 워드라인(111a 내지 111d)의 높이는 흄의 깊이 T의 30% 이상 90% 이하, 바람직하게는 40% 이상 80% 이하로 하면 좋다.

[0075] 이와 같이 함으로써, 도전층(107B)과 워드라인(111b, 111c)이 오프셋 상태(도전층(107B)과 워드라인(111b, 111c)이 겹치지 않는 상태)가 될 수도 있지만, 단채널 효과를 방지하기 위해서는 수직 방향으로 10nm 내지 50nm, 또는 워드라인(111b, 111c)의 높이의 20% 내지 100%의 오프셋 영역을 형성하는 것이 바람직하다.

[0076] 또한, 본 실시형태의 셀 트랜지스터에서는 소스와 드레인은 오프셋 구조에 관해서 비대칭이 된다. 소스 측(비트라인 측)에 오프셋 영역을 형성하는 것은 특히 접적도를 높인 경우에는 기술적으로 매우 어렵거나 불가능한 한편, 드레인 측(커페시터 측)에 오프셋 영역을 형성하는 것은 워드라인(111b, 111c)의 높이를 조정하면 되기 때문에 제어하기 쉽다.

[0077] 특히, 커페시터에 전하를 유지하는 상태(트랜지스터가 오프인 상태)에서는 셀 트랜지스터가 n형이면, 드레인은 비트라인과 같거나 더 높은 전위가 되어 있다. 이러한 조건에서는 드레인 측의 오프셋 영역을 크게 하는 것이 소스 측의 오프셋 영역을 크게 하는 것보다 오프 저항을 높일 수 있다.

- [0078] 즉, 소스 측에 오프셋 영역을 형성하지 않거나 또는 게이트(워드라인(111b, 111c)과 제 1 콘택트 플러그(105a, 105b)에 겹치는 형상으로 하는 한편, 드레인 측에는 상기 범위의 오프셋 영역을 형성하면 오프 저항을 더 높이고, 커패시터에 축적된 전하의 누설을 방지할 수 있다.
- [0079] 또한, 워드라인(111b, 111c)이 소스(제 1 콘택트 플러그(105a, 105b))와 겹치는 것은 커패시터를 충전할 때, 불필요한 전위의 변동을 일으킬 가능성이 있지만, 흄(108a, 108b)의 아스펙트비가 5 이상 20 이하라면 워드라인(111b, 111c)과 소스 사이에 발생하는 기생 용량은 가장 큰 경우라도 게이트 용량(워드라인(111b, 111c))이 반도체 영역(109b)과 겹침으로써 발생하는 용량)의 20% 정도이며, 커패시터의 용량을 게이트 용량의 10배 이상으로 하면 완전히 무시할 수 있다.
- [0080] 그런데, 본 실시형태에 한정되지 않고, 비트라인(102b)의 하층에 다른 반도체 집적 회로를 형성하는 것은 집적도를 높이는 데 바람직하다. 그러나, 일반적으로 말해서, 하층에 반도체 집적 회로가 형성되어 있는 경우에는 이들에 기인하여 발생하는 노이즈가 상층의 트랜지스터의 동작에 지장을 초래할 수 있다. 이 문제에 대해서는 상층의 트랜지스터 아래에 어떤 차폐층을 형성하여 노이즈를 흡수시키면 좋다. 본 실시형태에서는, 비트라인(102b)과 반도체 영역(109b)이 겹치도록 배치되기 때문에, 비트라인(102b)이 차폐층이 되어 노이즈를 흡수한다.
- [0081] 또한, 볼록부의 측면에 반도체 영역을 형성하는 경우에는 집적화가 진행되면, 반도체 영역이 반대 측의 측면에 형성되는 배선이나 전극의 영향을 받는 것이 우려된다. 그러나, 본 실시형태에서는 워드라인(111b)과 워드라인(111c)을 한 쌍의 워드라인으로서 동작시키고, 워드라인(111b)과 워드라인(111c)에 같은 전위를 인가하는 것이므로, 트랜지스터의 특성에 악영향을 주지 않는다.
- [0082] 또한, 이온 주입법 등에 의해, 반도체 영역(109b)에 워드라인(111b, 111c)을 마스크로 하여 불순물을 주입하여, n형 또는 p형 영역(도핑된 영역)을 형성하여도 좋다. 다만, 제 1 콘택트 플러그(105a, 105b)가 반도체 영역(109b)과 접촉하는 부분과 워드라인(111b, 111c)의 거리, 또는 이후에 형성할 제 2 콘택트 플러그(115b)와 반도체 영역(109b)이 접촉하는 부분과 워드라인(111b, 111c)의 거리, 또는 도전층(107B)과 워드라인(111b, 111c)의 거리가 30nm 이하, 바람직하게는 10nm 이하인 경우에는 도핑된 영역을 형성하지 않아도 좋다.
- [0083] 또한, 반도체 영역(109b)이 미리 도전형을 가지고 있으며, 워드라인(111b, 111c)을 구성하는 재료와의 일함수의 차이를 이용하여 트랜지스터를 제어할 수 있는 경우에도 특별히 도핑된 영역을 형성할 필요는 없다. 예를 들어, 산화실리콘 위의 다결정 실리콘은 특별히 불순물을 도핑하지 않아도 n형을 나타내지만, 워드라인(111b, 111c)에 질화인듐, 질화아연, p형 실리콘 등의 일함수가 5 전자볼트 이상인 재료를 사용하면, 이를 재료에 의해 전자가 배제되어, 임계값이 양인 n형 트랜지스터를 형성할 수 있다.
- [0084] <도 3b>
- [0085] 제 5 절연체(112)를 형성한다. 제 5 절연체(112)로서는 유전율이 낮은 재료를 사용하는 것이 바람직하고, 흄(108a, 108b)을 메우도록 형성한다. 그리고, 제 5 절연체(112)의 표면을 평탄화한다. 평탄화 공정은 게이트 절연체(110)가 노출된 시점에서 정지한다. 그리고, 제 5 절연체(112) 위에 제 6 절연체(113) 및 제 7 절연체(114)를 형성한다.
- [0086] 제 6 절연체(113)는 수소 및 알칼리 금속에 대한 배리어성을 갖는 것이 바람직하고, 또한, 제 7 절연체(114)와 상이한 에칭 레이트의 재료를 사용하여 형성하면 좋다. 예를 들어, 산화알루미늄, 질화알루미늄, 질화실리콘 등을 사용하면 좋다. 또한, 제 6 절연체(113)의 두께는 10nm 내지 100nm로 하면 좋다. 또한, 제 7 절연체(114)는 산화실리콘 등의 유전율이 낮은 재료로 형성하면 좋다.
- [0087] 그리고, 우선 제 7 절연체(114)를 에칭하여 콘택트홀을 형성한다. 제 7 절연체(114)는 충분히 두껍기 때문에, 마스크의 미스얼라인먼트(misalignment)와 과잉 에칭이 겹치면, 워드라인(111b)이나 워드라인(111c)에 접속된 콘택트홀이 형성되어 버리는 경우가 있다. 이러한 문제는 제 4 절연체(106b)의 정상부의 폭을 최소 가공 치수로 가공하는 등 집적도가 높은 경우에 일어나기 쉽다.
- [0088] 그래서, 본 실시형태에서는 제 6 절연체(113)를 에칭 스토퍼로서 일단 여기서 에칭을 정지한다. 이후, 제 6 절연체(113)를 에칭한 다음에, 게이트 절연체(110), 및 경우에 따라서는 반도체 영역(109b)을 에칭하여 도전층(107B)에 도달하는 콘택트홀을 형성한다. 이후, 제 2 콘택트 플러그(115b)를 메운다.
- [0089] 게이트 절연체(110)나 반도체 영역(109b)은 충분히 얇기 때문에 에칭 시간을 정밀하게 제어하여, 만약에 오버에칭하더라도 콘택트홀이 워드라인(111b)이나 워드라인(111c)에 도달하지 않도록 한다. 이런 이유에 의해서도 워드라인(111b)이나 워드라인(111c)이 도전층(107B)의 상면보다 충분히 낮은 위치에 있는 것이 바람직하다.

[0090]

<도 4>

[0091]

산화실리콘, 산화탄화실리콘 등의 비교적 유전율이 낮은 재료로 제 8 절연체(116)를 형성하고, 이것에 커패시터를 형성하기 위한 구멍을 형성한다. 그리고, 구멍의 내면에 두께 2nm 내지 20nm인 제 1 커패시터 전극(117)을 형성한다. 또한, 제 1 커패시터 전극(117)의 두께의 상한은 최소 가공 치수 F에 따라 결정하면 좋고, F가 20nm라면 5nm 이하로 하는 것이 바람직하고, F가 10nm라면 2.5nm 이하로 하는 것이 바람직하다.

[0092]

또한, 두께가 2nm 내지 20nm인 커패시터 절연체(118)를 형성한다. 커패시터 절연체(118)로서는 각종 high-k 재료를 사용할 수 있지만, 산화하프늄, 산화지르코늄, 산화탄탈, 티타늄산바륨스트론튬 등이 바람직하다. 그리고, 제 2 커패시터 전극(119)을 형성한다. 제 1 커패시터 전극(117), 커패시터 절연체(118) 및 제 2 커패시터 전극(119)으로 커패시터가 구성된다.

[0093]

이와 같이 하여, 2개의 셀 트랜지스터(120a, 120b)와 하나의 커패시터를 갖는 폴디드 비트라인 방식의 메모리셀을 제작할 수 있다.

[0094]

상술한 제작 공정을 상면으로부터 본 모양을 모식적으로 도시한 것이 도 5a 내지 도 5c이다. 도 5a 내지 도 5c에서, 점선 AB 부분의 단면이 도 1a 내지 도 4에 상당한다. 즉, 점선 AB와 중첩되도록 비트라인(102b)이 매설되어 있다.

[0095]

도 5a는 도 2a의 단계에 상당하며, 제 4 절연체(106), 도전층(107)을 에칭하여 비트라인에 대략 직교하는 방향의 홈(108a, 108b)을 형성하고, 스트라이프 형상의 제 4 절연체(106a 내지 106c), 및 스트라이프 형상의 도전층(107a 내지 107c)을 형성한 것을 도시하였다. 홈의 저부에는 제 1 콘택트 플러그(105a, 105b) 및 도 2a에는 도시되지 않은 다른 열(즉, 다른 비트라인에 접속된)의 제 1 콘택트 플러그(105c, 105d)가 노출되어 있다.

[0096]

도 5b는 도 2b의 단계에 상당한다. 여기서는 반도체 영역(109b), 및 도 2a 및 도 2b에는 도시되지 않은 다른 열의 반도체 영역(109a, 109c)이 형성된다. 또한, 반도체 영역(109a, 109c) 아래에는 점선 AB와 대략 평행한 방향으로 비트라인(102c)(도 7a 내지 도 7d 참조)이 매설되어 있다.

[0097]

도전층(107a 내지 107c)은 반도체 영역(109a 내지 109c)을 마스크로 하여 에칭된다. 따라서, 도시되지 않았지만, 도 2b에 관해서 설명한 바와 같이, 반도체 영역(109b) 아래에는 도전층(107b)이 존재한다. 마찬가지로, 다른 반도체 영역(109a, 109c) 아래에는 각각 스트라이프 형상의 도전층(107a, 107c)을 반도체 영역(109a, 109c)을 마스크로 하여 가공하여 얻어진 도전층(107A, 107C)(도시되지 않음)이 존재한다.

[0098]

또한, 본 실시형태의 메모리셀은 폴디드 비트라인 방식이기 때문에, 반도체 영역(109a 내지 109c)은 섬 형상으로 각각 엇갈리게 형성되고, 하나의 반도체 영역이 하나의 메모리셀에 사용된다. 후술할 오픈 비트라인 방식에서는 반도체 영역은 비트라인에 대략 평행하게 스트라이프 형상으로 형성되고, 복수의 메모리셀이 하나의 반도체 영역을 사용하는 구조가 된다.

[0099]

도 5c는 도 3b의 단계에 상당하고, 홈(108a, 108b)의 측면에 워드라인(111a 내지 111d)이 형성된다. 도 5c에서는 워드라인(111b)과 워드라인(111c)은 반도체 영역(109b)으로 구성된 2개의 트랜지스터의 게이트가 된다. 마찬가지로, 워드라인(111a) 및 워드라인(111d)은 각각 반도체 영역(109a) 및 반도체 영역(109c)으로 형성된 트랜지스터의 게이트가 된다.

[0100]

또한, 섬 형상의 반도체 영역(109a 내지 109c)의 중앙부에는 커패시터에 접속된 제 2 콘택트 플러그(115a 내지 115c)가 형성된다. 또한, 제 2 콘택트 플러그(115a, 115c)는 도 3b에 도시되지 않았다.

[0101]

이와 같은 메모리셀을 회로도로 도시하면, 도 6에 도시한 바와 같다. 즉, 섬 형상의 반도체 영역(109b)과 워드라인(111b)으로 형성된 셀 트랜지스터(120a)와 섬 형상의 반도체 영역(109b)과 워드라인(111c)으로 형성된 셀 트랜지스터(120b)는 모두 소스가 비트라인(102b)에 접속되고, 드레인은 제 1 커패시터 전극(117)에 접속되어 있다. 또한, 워드라인(111b)과 워드라인(111c)은 짹을 지어, 그 한쪽 단부는 서로 접속되어 같은 신호가 인가되도록 된다.

[0102]

(실시형태 2)

[0103]

도 8에 본 실시형태를 도시하였다. 본 실시형태에서는 센스 앤프, 디코더 등, 메모리셀을 구동하기 위한 회로(구동 회로(202))는 단결정 반도체의 기판(201) 표면에 공지의 반도체 접적 회로 기술을 이용하여 형성되어 있다. 그 위에 비트라인(203)이 형성되고, 그 위에 셀 트랜지스터층(204)이 더 형성된다. 더구나, 그 위에 커패시터층(205)이 형성된다. 또한, 셀 트랜지스터층(204), 커패시터층(205)의 구성은 실시형태 1을 참조하는 것으로

로 한다.

[0104] 도 8에 도시된 셀 트랜지스터는 실시형태 1을 참조하여 제작할 수 있다. 또한, 도시된 셀 트랜지스터는 메모리 셀의 면적이 $4F^2$ 가 되도록 표기되어 있다. 즉, 흄의 저부의 간격(즉, 하나의 흄의 저부의 중앙과 인접한 흄의 저부의 중앙의 간격)이 $2F$ 가 되도록 표기되어 있다.

[0105] 또한, 도시된 메모리셀의 배치는 오픈 비트라인 방식을 채용하고 있다. 따라서, 반도체 영역은 스트라이프 형상으로 형성되고, 이상적으로는 비트라인과 거의 같은 길이가 되고, 하나의 반도체 영역에, 같은 비트라인에 접속된 복수의 트랜지스터를 형성할 수 있다. 또한, 현실적으로는 제 2 콘택트 플러그를 형성할 때, 반도체 영역이 분단될 수 있다.

[0106] 여기서, 오픈 비트라인 방식과 폴디드 비트라인 방식에 의한 메모리셀의 배치의 차이에 대해서 도 9a 및 도 9b를 사용하여 설명한다. 도 9b는 폴디드 비트라인 방식에 의한 메모리셀의 배치예이며, 도 5c에 도시된 것과 동등하다. 즉, 섬 형상의 반도체 영역이 각각 엇갈리게 형성된다. 그리고, 섬 형상의 반도체 영역에 형성된 제 2 콘택트 플러그 위에 커페시터가 형성된다. 즉, 제 2 콘택트 플러그를 중심으로 한 위치에 각 메모리셀이 형성된다.

[0107] 이와 같이 배치하면, 임의의 한 쌍의 워드라인을 활성화하여, 이것에 접속된 메모리셀의 커페시터의 전하를 제 1 비트라인으로 방출할 때, 그 인접한 열에는 그 한 쌍의 워드라인에 접속된 메모리셀이 없기 때문에, 그 열의 비트라인(제 2 비트라인)의 전위는 변하지 않는다. 그러므로, 제 2 비트라인의 전위를 참조 전위로 하여, 제 1 비트라인의 전위를 판정하고, 메모리셀에 기억된 데이터를 판독할 수 있다.

[0108] 한편, 섬 형상의 반도체 영역을 각각 엇갈리게 배치하기 때문에, 접적도가 저하되고 메모리셀의 면적은 적어도 $8F^2$ 이상이 된다. 이 값은 평판형 셀 트랜지스터를 사용한 폴디드 비트라인 방식의 메모리셀과 마찬가지이다. 메모리셀 하나당 면적이 크기 때문에, 커페시터에 사용될 수 있는 부분도 커지고, 커페시터의 용량도 크게 할 수 있다는 장점도 있다.

[0109] 도 9a는 오픈 비트라인 방식에 의한 메모리셀의 배치예이다. 도면의 점선 XY의 단면이 도 8에 상당한다. 반도체 영역은 스트라이프 형상으로 비트라인과 대략 평행하게 배치되고, 그것과 대략 직교하도록 한 쌍의 워드라인이 형성된다. 한 쌍의 워드라인의 중간에 제 2 콘택트 플러그가 형성되고, 그것에 커페시터가 접속된다. 도면으로부터 알 수 있듯이, 같은 면적에 폴디드 비트라인 방식보다 메모리셀을 2배 형성할 수 있고, 메모리셀의 면적은 적어도 $4F^2$ 이상이 된다.

[0110] 이와 같이 배치하면, 임의의 한 쌍의 워드라인을 활성화하여, 그것에 접속된 메모리셀의 커페시터의 전하를 제 1 비트라인으로 방출하면, 그것과 인접한 열의 메모리셀도 커페시터의 전하를 그 열의 비트라인(제 2 비트라인)으로 방출하기 때문에, 폴디드 비트라인 방식과 달리, 제 2 비트라인의 전위를 참조 전위로 하여 제 1 비트라인의 전위를 판정할 수 없다. 따라서, 참조 전위는 별도로 마련할 필요가 있다.

부호의 설명

[0111] 101: 제 1 절연체 102a: 비트라인

102b: 비트라인 102c: 비트라인

103: 제 2 절연체 104: 제 3 절연체

105a: 제 1 콘택트 플러그 105b: 제 1 콘택트 플러그

105c: 제 1 콘택트 플러그 105d: 제 1 콘택트 플러그

106: 제 4 절연체 106a: 제 4 절연체

106b: 제 4 절연체 106c: 제 4 절연체

107: 도전층 107a: 도전층

107b: 도전층 107c: 도전층

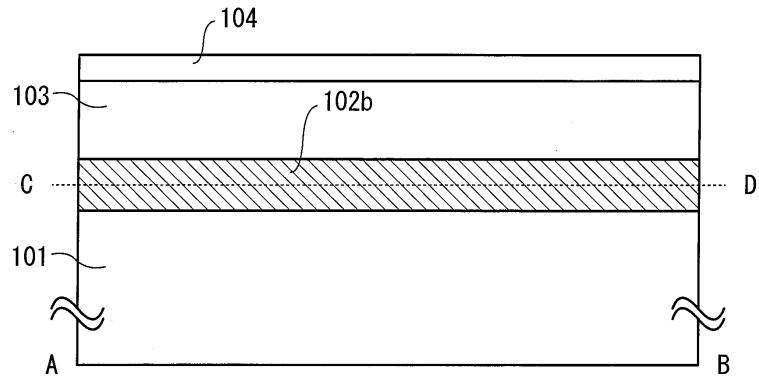
107A: 도전층 107B: 도전층

107C: 도전층	108a: 흠
108b: 흠	109a: 반도체 영역
109b: 반도체 영역	109c: 반도체 영역
110: 게이트 절연체	111a: 워드라인
111b: 워드라인	111c: 워드라인
111d: 워드라인	112: 제 5 절연체
113: 제 6 절연체	114: 제 7 절연체
115a: 제 2 콘택트 플러그	115b: 제 2 콘택트 플러그
115c: 제 2 콘택트 플러그	116: 제 8 절연체
117: 제 1 커패시터 전극	118: 커패시터 절연체
119: 제 2 커패시터 전극	120a: 셀 트랜지스터
120b: 셀 트랜지스터	201: 기판
202: 구동 회로	203: 비트라인
204: 셀 트랜지스터층	205: 커패시터층

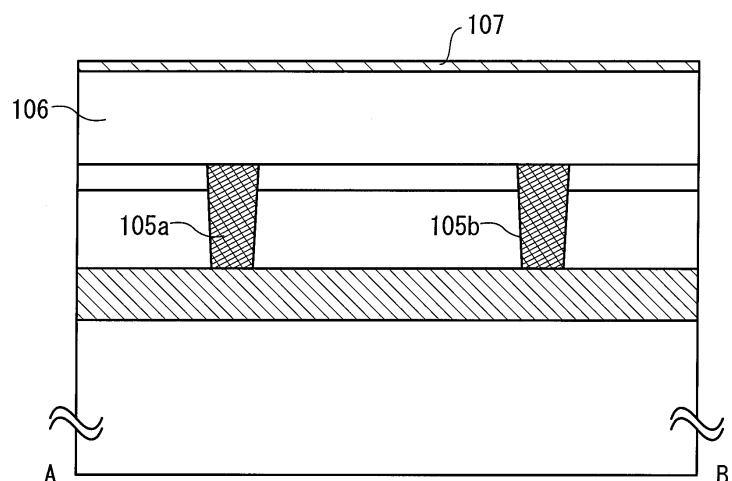
도면

도면1

(a)

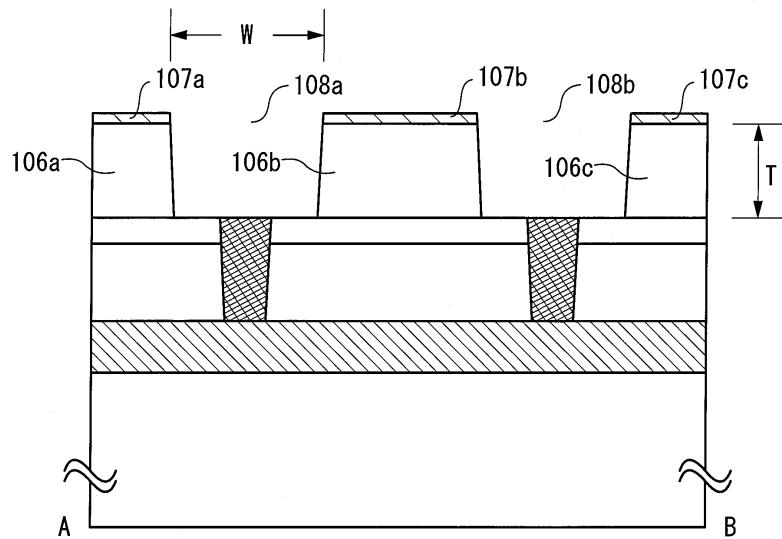


(b)

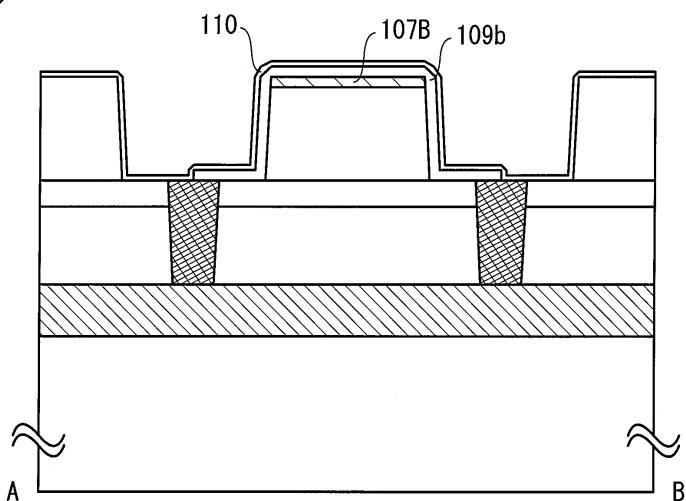


도면2

(a)

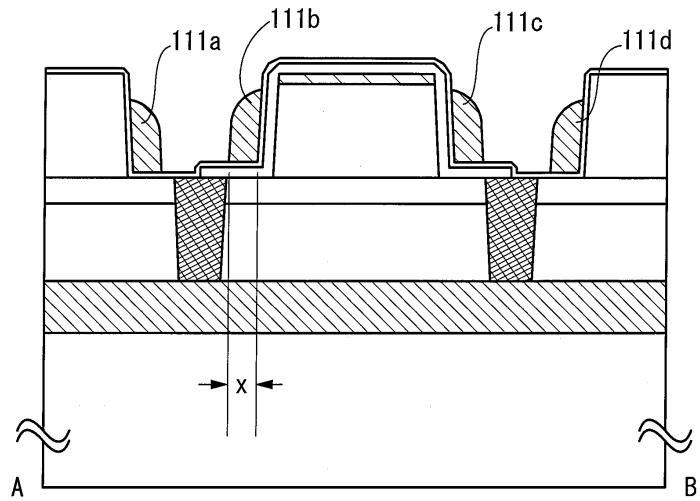


(b)

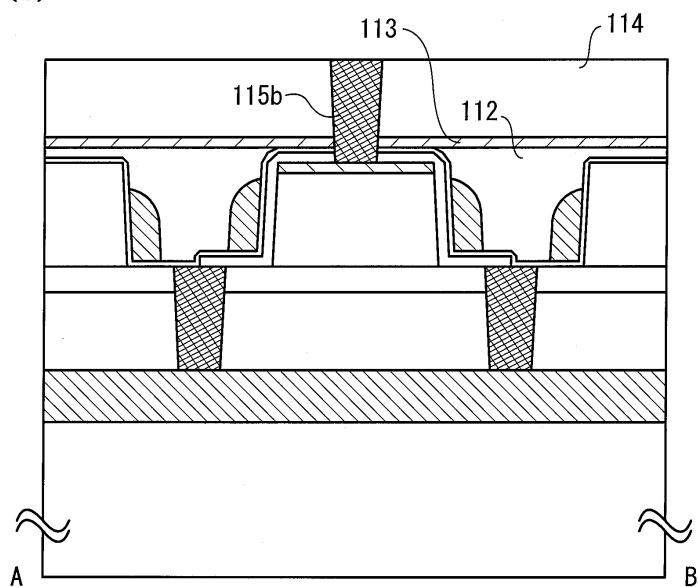


도면3

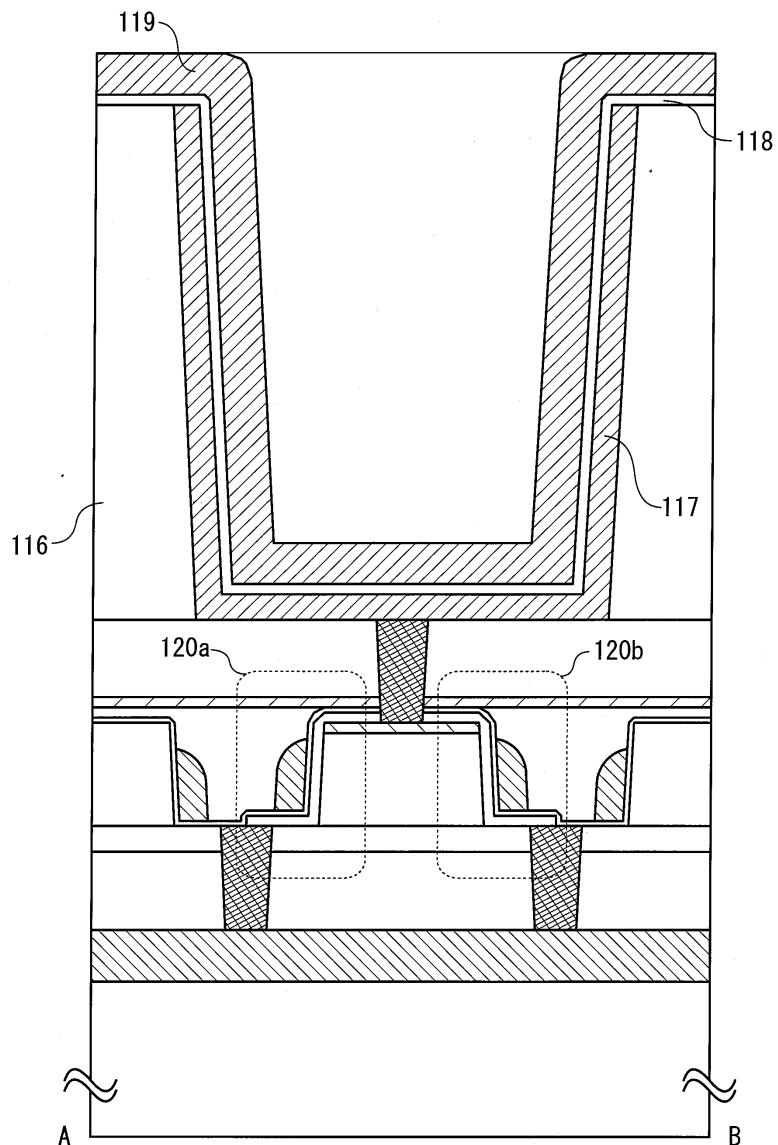
(a)



(b)

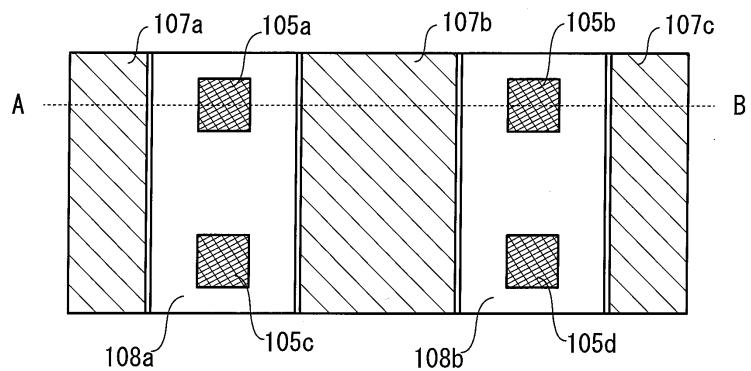


도면4

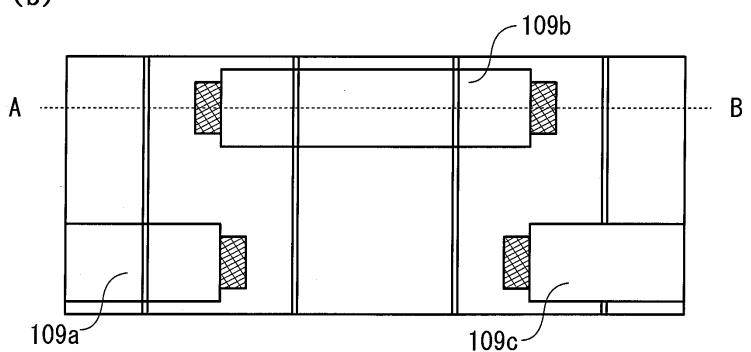


도면5

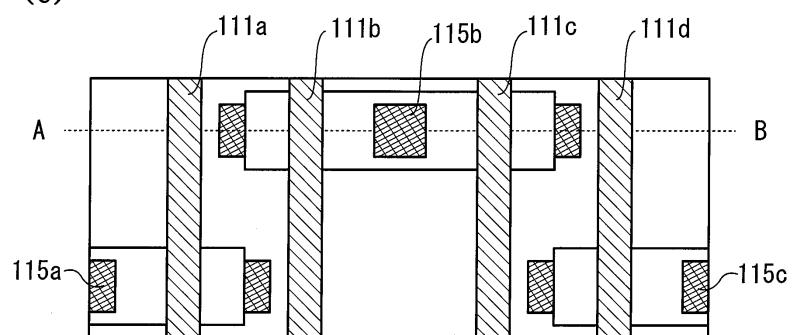
(a)



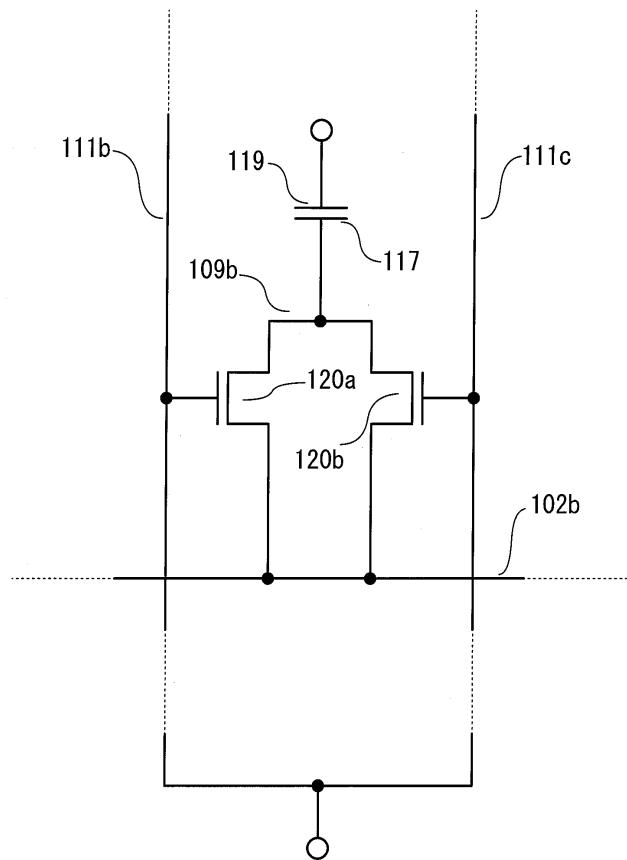
(b)



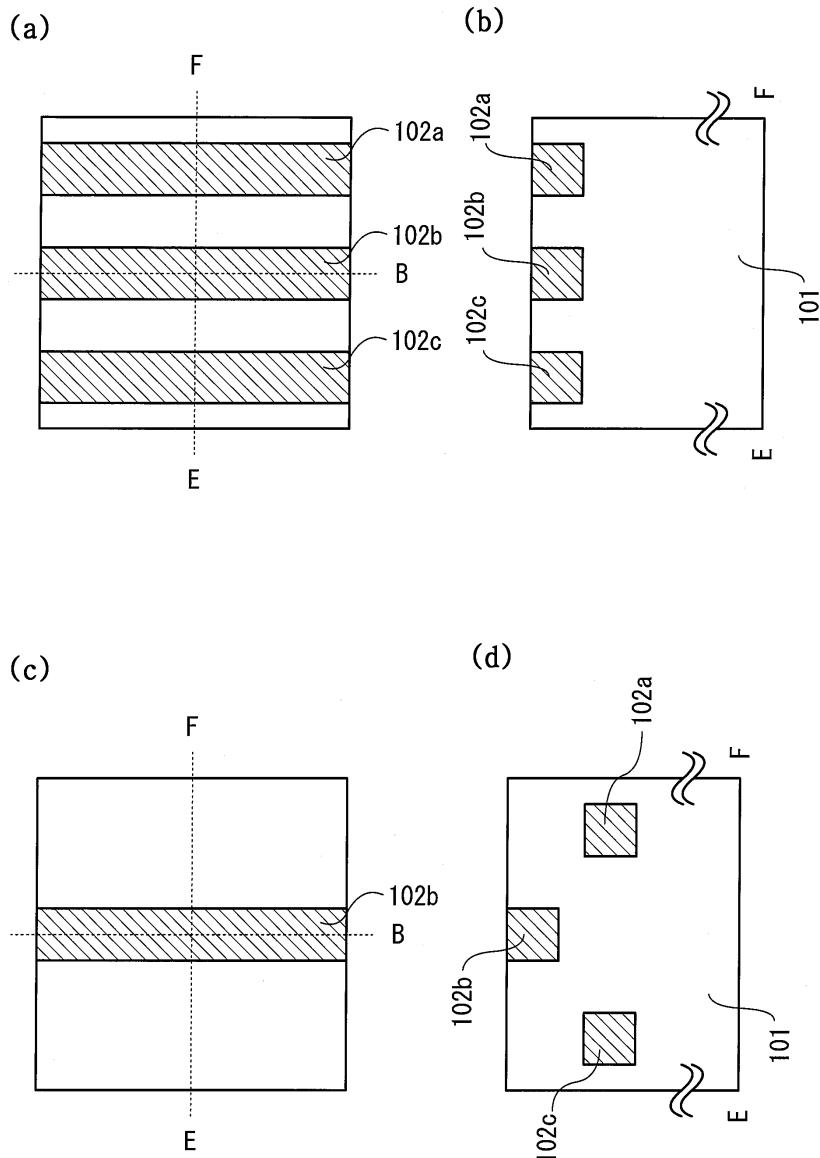
(c)



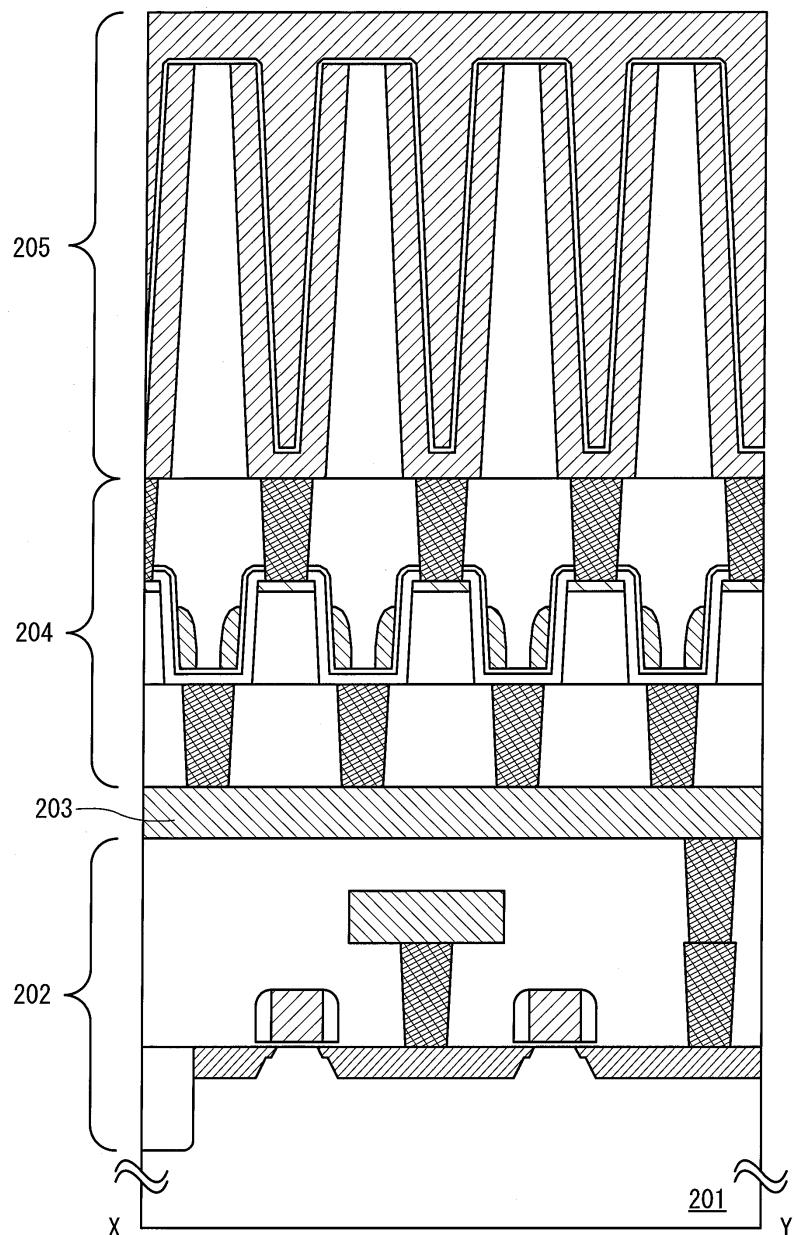
도면6



도면7

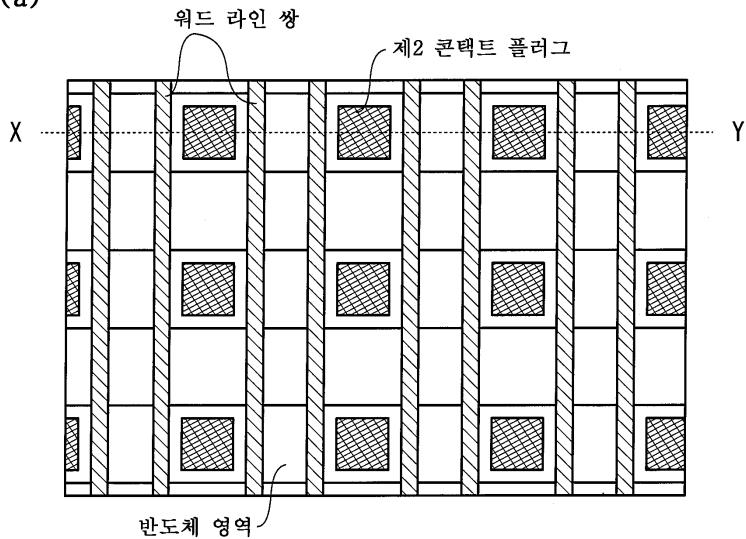


도면8



도면9

(a)



(b)

