

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年9月22日(2011.9.22)

【公開番号】特開2009-99956(P2009-99956A)

【公開日】平成21年5月7日(2009.5.7)

【年通号数】公開・登録公報2009-018

【出願番号】特願2008-231438(P2008-231438)

【国際特許分類】

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 21/20 (2006.01)

【F I】

H 01 L 27/08 3 2 1 B

H 01 L 27/08 3 2 1 C

H 01 L 29/78 3 0 1 B

H 01 L 29/78 3 0 1 H

H 01 L 21/20

【手続補正書】

【提出日】平成23年8月10日(2011.8.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に形成されたエピ層と、

前記エピ層のそれぞれ異なる領域上に形成された第1及び第2半導体層と、

前記第1及び第2半導体層上にそれぞれ形成されたPMOS及びNMOSトランジスタと、を備えることを特徴とするCMOS素子。

【請求項2】

前記エピ層は、SiGe層であることを特徴とする請求項1に記載のCMOS素子。

【請求項3】

前記第1半導体層は、順次に積層された下部層と上部層とを備え、前記下部層は、チャネルが形成される層であり、前記上部層は、キャッピング層であることを特徴とする請求項1に記載のCMOS素子。

【請求項4】

前記下部層は、圧縮変形されたGe層または圧縮変形されたGaAs層であることを特徴とする請求項3に記載のCMOS素子。

【請求項5】

前記キャッピング層は、Si層であることを特徴とする請求項3に記載のCMOS素子。

【請求項6】

前記キャッピング層の厚さは、3ないし20nmであることを特徴とする請求項3に記載のCMOS素子。

【請求項7】

前記第2半導体層は、引張変形されたSi層であることを特徴とする請求項1に記載の

C M O S 素子。

【請求項 8】

基板のそれぞれ異なる領域上に形成された第 1 及び第 2 半導体層と、

前記第 1 及び第 2 半導体層上にそれぞれ形成された P M O S 及び N M O S トランジスター、を備え、

前記第 1 半導体層は、チャンネルが形成される下部層及び前記下部層上にキャッピング層を備え、

前記キャッピング層と前記第 2 半導体層とは、同じ物質で形成されたことを特徴とする C M O S 素子。

【請求項 9】

前記基板上に S i G e 層が備えられ、前記 S i G e 層上に前記第 1 及び第 2 半導体層が形成されたことを特徴とする請求項 8 に記載の C M O S 素子。

【請求項 10】

前記下部層は、圧縮変形された G e 層または圧縮変形された G a A s 層であることを特徴とする請求項 8 に記載の C M O S 素子。

【請求項 11】

前記第 2 半導体層は、引張変形された S i 層であることを特徴とする請求項 8 に記載の C M O S 素子。

【請求項 12】

前記キャッピング層の厚さは、3ないし20nmであることを特徴とする請求項 8 に記載の C M O S 素子。