



[12] 发明专利说明书

[21] ZL 专利号 98802929.4

[45] 授权公告日 2005 年 1 月 5 日

[11] 授权公告号 CN 1183682C

[22] 申请日 1998.9.17 [21] 申请号 98802929.4

[30] 优先权

[32] 1997.10.29 [33] EP [31] 97202563.9

[32] 1998.2.10 [33] EP [31] 98200405.3

[86] 国际申请 PCT/IB1998/001433 1998.9.17

[87] 国际公布 WO1999/022375 英 1999.5.6

[85] 进入国家阶段日期 1999.8.27

[71] 专利权人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 J·A·H·M·卡尔曼

K·A·肖哈默伊姆明克

G·J·范登恩登 中川俊之

新福吉秀 榎原立也 中村耕介

审查员 董泽华

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 张志醒

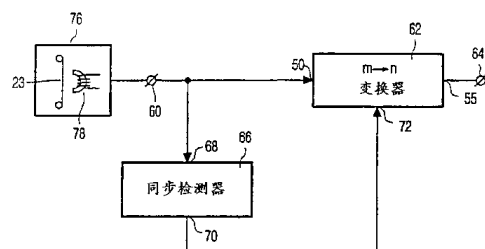
权利要求书 6 页 说明书 13 页 附图 4 页

[54] 发明名称 把 n 比特源字编码成为相应的 m 比特信道字的装置和把 m 比特信道字译码成为相应的 n 比特源字的装置

[57] 摘要

公开了把二进制源信号(S)的数据比特流编码成为满足预定(d, k)约束的二进制信道信号(C)的数据比特流的装置, 在该装置中, 源信号的数据比特流被分成 n 比特的源字(x_1, x_2), 该装置包括把所述源字变换为相应的 m 比特信道字(y_1, y_2, y_3)的变换装置(CM)。该变换装置(CM)还将 n 比特源字变换为相应的 m 比特信道字, 在变换每一个 n 比特源字时保持奇偶性不变(表 I)。保持 $m > n \geq 1$, $p \geq 1$, p 是可变的。最好 $m = n + 1$ 。此外, 还包括产生同样满足所述(d, k)约束的 q 比特同步字的同步字发生器(9), 所述同步字以“0”比特开始和以“0”比特结束, 该装置还包括把所述同步字合并入二进制信道信号的所述数据比特流的合并装置(19), q 是大于 k 的整数值(图 1)。还公开了用于

译码利用编码装置获得的信道信号的译码装置。



1. 一种把二进制源信号的数据比特流编码成为满足预定 (d, k) 约束的二进制信道信号的数据比特流的装置, 其中, 源信号的数据比特流被分成 n 比特的源字, 该装置包括把所述这些源字变换为相应的 m 比特信道字的变换装置, 该变换装置能够把一组 p 个相继的 n 比特源字变换为相应的一组 p 个相继的 m 比特信道字, 在变换每一组 p 个相继的 n 比特源字时保持奇偶性不变, n 、 m 和 p 是整数, $m > n \geq 1$, $p \geq 1$, p 是可变的, 其特征在于还包括用于产生同样满足所述 (d, k) 约束的 q 比特同步字的同步字产生装置, 所述同步字以“0”比特开始并以“0”比特结束, 该装置还包括用于把所述同步字合并入二进制信道信号的所述数据比特流的合并装置, q 是大于 k 的整数值。

2. 权利要求 1 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“10”比特序列结束。

3. 权利要求 1 或 2 的装置, 其特征在于 $q = 2k - 1$ 。

4. 权利要求 1 或 2 的装置, 其特征在于 $q = 15$ 。

5. 权利要求 1 或 2 的装置, 其特征在于所述同步字是“01000000010010”。

6. 权利要求 1 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“100”比特序列结束。

7. 权利要求 6 的装置, 其特征在于 $q = 16$ 。

8. 权利要求 6 或 7 的装置, 其特征在于所述同步字是“010000000100100”。

9. 权利要求 1 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“1000”比特序列结束。

10. 权利要求 9 的装置, 其特征在于 $q = 17$ 。

11. 权利要求 9 或 10 的装置, 其特征在于所述同步字是“0100000001001000”。

12. 权利要求 1 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“10000”比特序列结束。

13. 权利要求 12 的装置, 其特征在于 $q = 18$ 。

14. 权利要求 12 或 13 的装置, 其特征在于所述同步字是“01000000010010000”。

15. 权利要求 1、2、6、7、9、10、12 或 13 所述的装置，其特征在于 $d=1$ ， $k=8$ 。

16. 权利要求 1、2、6、7、9、10、12 或 13 所述的装置，其特征在于 $m=n+1$ 。

5 17. 权利要求 15 的装置，其特征在于 $n=2$ 。

18. 权利要求 17 的装置，其特征在于按照下表把单个源字变换为相应的单个信道字：

源字 (x_1, x_2)		信道字 (y_1, y_2, y_3)	
SW_1	00	CW_1	101
SW_2	01	CW_2	100
SW_3	10	CW_3	001
SW_4	11	SW_4	000

10 19. 权利要求 17 的装置，其中的变换装置能够把 2 比特源字变换为相应的 3 比特信道字，以产生 (d, k) 序列形式的信道信号，其中 $d=1$ ，该装置还包括用于检测源信号比特流中的把单个 2 比特源字编码为相应的单个信道字时使该信道字边界处的 d 约束失效处的位置、并根据所述检测来提供一个控制信号的装置，其特征在于，在无该控制信号情况下，该变换装置能够把单个 2 比特源字变换为相应的单个 3 比特信道字，在变换每一个 2 比特源字时保持奇偶性不变。

15 20. 权利要求 19 的装置，当存在着在两个相继源字变换期间出现的控制信号情况下，变换装置把所述两个相继 2 比特源字组变换为两个相应的 3 比特信道字组，源字组中的两个源字之一被变换为一个不同于四个信道字 CW_1 至 CW_4 中任一个的 3 比特信道字，以便保持 $d=1$ 约束，其特征在于，在存在有所述控制信号情况下，该变换装置还能够把所述两个相继 2 比特源字组变换为相应的两个相继 3 比特信道字组，从而使得所述两个相继 2 比特源字组的变换是奇偶性保持的。

20 21. 权利要求 20 的装置，其特征在于变换装置按照下表规定的编码把两个相继 2 比特源字组变换为两个相继 3 比特信道字组：

2 个源字组	2 个信道字组
00 00	100 010
00 01	101 010
10 00	000 010
10 01	001 010

22. 权利要求 20 的装置，其中 k 的值大于 5，该装置还具有用于检测源信号比特流中的把单个 2 比特源字编码为单个 3 比特信道字时使 k 约束失效处的位置、并根据所述检测来提供第二控制信号的装置，其特征在于，当存在有在三个相继 2 比特源字变换期间出现的该第二控制信号情况下，变换装置把所述三个相继 2 比特源字组变换为相应三个相继 3 比特信道字组，所述三个 2 比特源字组的变换是奇偶性保持的，该变换装置还能够把源字组三个源字中的两个源字变换为一个与四个信道字 CW_1 至 CW_4 中任一个都不同的相应的 3 比特信道字，以便保持 k 约束。

23. 权利要求 22 的装置，其特征在于变换装置按照下表规定的编码把三个相继 2 比特源字组变换为三个相继 3 比特信道字组：

3 个源字组	3 个信道字组
11 11 11	000 010 010
11 11 10	001 010 010
01 11 10	101 010 010
01 11 11	100 010 010

24. 根据权利要求 6、9 或 12 的装置，其特征在于， $d=1$ ， $k=8$ 且 $n=2$ ，并且，该装置根据下表将单源字变换为相应的单信道字：

源字		信道字	
<u>SW₁</u>	<u>00</u>	CW ₁	<u>101</u>
<u>SW₂</u>	<u>01</u>	CW ₂	<u>100</u>
<u>SW₃</u>	<u>10</u>	CW ₃	<u>001</u>
<u>SW₄</u>	<u>11</u>	SW ₄	<u>000</u>

并且，如果 2 比特源字紧跟在被插入在等于“11”的信道信号的同步字之后，该装置就把该源字“11”变换为信道字“010”。

25. 根据权利要求 8 的装置，其特征在于， $d=1$ ， $k=8$ 且 $n=2$ ，并且，该装置根据下表将单源字变换为相应的单信道字：

源字		信道字	
<u>SW₁</u>	<u>00</u>	CW ₁	<u>101</u>
<u>SW₂</u>	<u>01</u>	CW ₂	<u>100</u>
<u>SW₃</u>	<u>10</u>	CW ₃	<u>001</u>
<u>SW₄</u>	<u>11</u>	SW ₄	<u>000</u>

5

并且，如果 2 比特源字紧跟在被插入在等于“11”的信道信号的同步字之后，该装置就把该源字“11”变换为信道字“010”。

26. 权利要求 18 的装置，其中的变换装置能够把 2 比特源字变换为相应的 3 比特信道字，以产生 (d, k) 序列形式的信道信号，其中
10 $d=1$ ，该装置还包括用于检测源信号比特流中的把单个 2 比特源字编码为相应的单个信道字时使该信道字边界处的 d 约束失效处的位置、并根据所述检测来提供一个控制信号的装置，其特征在于，在无该控制信号情况下，该变换装置能够把单个 2 比特源字变换为相应的单个 3 比特信道字，在变换每一个 2 比特源字时保持奇偶性不变。

15 27. 权利要求 21 的装置，其中 k 的值大于 5，该装置还具有用于检测源信号比特流中的把单个 2 比特源字编码为单个 3 比特信道字时使 k 约束失效处的位置、并根据所述检测来提供第二控制信号的装置，其特征在于，当存在有在三个相继 2 比特源字变换期间出现的该第二控制信号情况下，变换装置把所述三个相继 2 比特源字组变换为相应三
20 个相继 3 比特信道字组，所述三个 2 比特源字组的变换是奇偶性保持的，该变换装置还能够把源字组三个源字中的两个源字变换为一个与四个信道字 CW₁ 至 CW₄ 中任一个都不同的相应的 3 比特信道字，以便保持 k 约束。

28. 根据权利要求 18 的装置，其特征在于所述同步字是
25 “0100000001001000”，如果 2 比特源字紧跟在被插入在等于“11”的信道信号的同步字之后，该装置就把该源字“11”变换为信道字“010”。

29. 根据权利要求 18, 其特征在于所述同步字是“010000000010010000”, 如果 2 比特源字紧跟在被插入在等于“11”的信道信号的同步字之后, 该装置就把该源字“11”变换为信道字“010”。

5 30. 权利要求 3 的装置, 其特征在于 $q=15$ 。

31. 权利要求 3 的装置, 其特征在于所述同步字是“010000000010010”。

32. 权利要求 4 的装置, 其特征在于所述同步字是“010000000010010”。

10 33. 一种用于在记录载体的轨迹上记录信道信号的记录设备, 该记录设备包括如权利要求 1、2、6、7、9、10、12 或 13 所述的编码装置, 还包括写装置, 该写装置将由所述编码装置在所述轨迹中产生的信道信号写到记录载体上。

34. 一种对满足 (d, k) 约束的二进制信道信号的数据比特流进行译码来获得二进制源信号的数据比特流的装置, 该对数据比特流进行译码的装置包括能够把一组 p 个相继的信道字反变换为相应的一组 p 个相继的源字的反变换装置, 在变换每一组时保持奇偶性不变, n 、 m 和 p 是整数, $m > n$, $p \geq 1$, p 是可变的, 其特征在于还包括用于检测数据比特流中 q 比特同步字的出现的装置, 所述同步字也满足所述 (d, k) 约束, 所述同步字以“0”比特开始和以“0”比特结束, d 、 k 和 q 是大于 0 的整数值, q 大于 k 。

15 35. 权利要求 34 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“10”比特序列结束。

36. 权利要求 34 或 35 的装置, 其特征在于 $q=2k-1$ 。

25 37. 权利要求 35 的装置, 其特征在于 $q=15$ 。

38. 权利要求 34 或 35 的装置, 其特征在于所述同步字是“010000000010010”。

39. 权利要求 34 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“100”比特序列结束。

30 40. 权利要求 39 的装置, 其特征在于 $q=16$ 。

41. 权利要求 39 或 40 的装置, 其特征在于所述同步字是“0100000000100100”。

42. 权利要求 34 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“1000”比特序列结束。

43. 权利要求 42 的装置, 其特征在于 $q=17$ 。

44. 权利要求 42 或 43 的装置, 其特征在于所述同步字是
5 “01000000001001000”。

45. 权利要求 34 的装置, 其中 $d \geq 1$, 其特征在于所述同步字以“01”比特序列开始并以“10000”比特序列结束。

46. 权利要求 45 的装置, 其特征在于 $q=18$ 。

47. 权利要求 45 或 46 的装置, 其特征在于所述同步字是
10 “010000000010010000”。

48. 权利要求 36 的装置, 其特征在于所述同步字是
“010000000010010”。

49. 权利要求 37 的装置, 其特征在于所述同步字是
“010000000010010”。

15 50. 一种用于从记录载体上的轨迹中重现信道信号的重现设备, 该重现设备包括如权利要求 42、44、45、47 或 48 所述的译码装置, 还包括读装置, 该读装置从记录载体上的所述轨迹中读出信道信号, 从而将所述信道信号提供给所述译码装置进行译码。

20 51. 一种将二进制源信号的数据比特流编码为满足预定 (d, k) 约束的二进制信道信号的数据比特流的方法, 在该方法中, 源信号的数据比特流被分成 n 比特的源字, 该方法包括以下步骤:

把所述 n 比特源字变换为相应的 m 比特信道字, 从而使一组 p 个相继的 n 比特源字被变换为相应的一组 p 个相继的 m 比特信道字, 在变换每一组 p 个相继的 n 比特源字时保持奇偶性不变, n 、 m 和 p 是整数,
25 $m > n \geq 1$, $p \geq 1$, p 是可变的, 该方法的特征在于, 还包括产生同样满足所述 (d, k) 约束的 q 比特同步字的步骤, 所述同步字以“0”比特开始和以“0”比特结束, 该方法还包括把所述同步字合并入二进制信道信号的所述数据比特流的步骤, q 是大于 k 的整数值。

30 52. 权利要求 51 的方法, 还包括把信道信号记录在记录介质上的轨迹中的步骤。

把 n 比特源字编码成为相应的 m 比特信道字的装置
和把 m 比特信道字译码成为相应的 n 比特源字的装置

5 技术领域

本发明涉及把二进制源信号的数据比特流编码成为满足预定 (d, k) 约束的二进制信道信号的数据比特流的装置, 在该装置中, 源信号的比特流被分成 n 比特的源字, 该装置包括把所述这些源字变换为相应的 m 比特信道字的变换装置, 该变换装置把一组 p 个相继的 n 比特源字变换为相应的一组 p 个相继的 m 比特信道字, 在变换每一组 p 个相继的 n 比特源字时基本保持奇偶性不变, n 、 m 和 p 是整数, $m > n \geq 1$, $p \geq 1$, p 是可变的。本发明还涉及包含了该编码装置、用于把信道信号记录在记录介质上的记录装置、该记录介质本身、编码方法以及通过译码该编码装置产生的二进制信道信号的数据比特流来获得二进制源信号的数据比特流的装置。

15 背景技术

上述编码装置见美国专利 5, 477, 222 (PHN 14448)。该专利公开了把二进制源信号的数据比特流变换为满足 ($1, 8$) 游程约束的二进制信道信号的数据比特流的装置。这意味着在信道信号的串行数据流中, 在该信道信号的两个相继的“1”之间最少有一个“0”、最多有八个“0”出现。应当指出, 在这方面通常对 ($1, 8$) d, k 约束序列施加附加的预编码 (例如众所周知的 1T 预编码), 从而得到最小游程为 2、最大游程为 9 的游程受限序列。

25 这种公知的变换是奇偶性保持的。“奇偶性保持”指待变换的 n 比特源字的奇偶性等于要被变换成的相应的 m 比特信道字的奇偶性 (在模 2 加之后)。因此, 在权利要求书中要求保护的 n - m 变换装置对信号的极性不产生影响。

由于变换是奇偶性保持的, 所以例如通过在源字的数据流中插入 DC (直流) 控制比特就能够进行有效的 DC 控制。

30 发明内容

本发明的目的是在信道信号的串行数据流中插入合适的同步字。
根据本发明的第一个方面提供一种把二进制源信号的数据比特流

编码成为满足预定 (d, k) 约束的二进制信道信号的数据比特流的装置，其中，源信号的比特流被分成 n 比特的源字，该装置包括把所述这些源字变换为相应的 m 比特信道字的变换装置，该变换装置能够把一组 p 个相继的 n 比特源字变换为相应的一组 p 个相继的 m 比特信道字，在变换每一组 p 个相继的 n 比特源字时保持奇偶性不变， n 、 m 和 p 是整数， $m > n \geq 1$ ， $p \geq 1$ ， p 是可变的，其特征在于还包括用于产生同样满足所述 (d, k) 约束的 q 比特同步字的同步字产生装置，所述同步字以“0”比特开始并以“0”比特结束，该装置还包括用于把所述同步字合并入二进制信道信号的所述数据比特流的合并装置， q 是大于 k 的整数值。

根据本发明的第二个方面，提供一种对满足 (d, k) 约束的二进制信道信号的数据比特流进行译码来获得二进制源信号的数据比特流的装置，该对数据比特流进行译码的装置包括能够把一组 p 个相继的信道字反变换为相应的一组 p 个相继的源字的反变换装置，在变换每一组时保持奇偶性不变， n 、 m 和 p 是整数， $m > n$ ， $p \geq 1$ ， p 是可变的，其特征在于还包括用于检测数据比特流中 q 比特同步字的出现的装置，所述同步字也满足所述 (d, k) 约束，所述同步字以“0”比特开始和以“0”比特结束， d 、 k 和 q 是大于 0 的整数值， q 大于 k 。

根据本发明的第三个方面，提供一种用于从记录载体上的轨迹中重现信道信号的重现设备，该重现设备可以包括本发明的译码装置，还包括读装置，该读装置从记录载体上的所述轨迹中读出信道信号，从而将所述信道信号提供给所述译码装置进行译码。

根据本发明的第四个方面，提供一种将二进制源信号的数据比特流编码为满足预定 (d, k) 约束的二进制信道信号的数据比特流的方法，在该方法中，源信号的比特流被分成 n 比特的源字，该方法包括以下步骤：把所述 n 比特源字变换为相应的 m 比特信道字，从而使一组 p 个相继的 n 比特源字被变换为相应的一组 p 个相继的 m 比特信道字，在变换每一组 p 个相继的 n 比特源字时保持奇偶性不变， n 、 m 和 p 是整数， $m > n \geq 1$ ， $p \geq 1$ ， p 是可变的，该方法的特征在于，还包括产生同样满足所述 (d, k) 约束的 q 比特同步字的步骤，所述同步字以“0”比特开始和以“0”比特结束，该方法还包括把所述同步字合并入二进

制信道信号的所述数据比特流的步骤， q 是大于 k 的整数值。

根据本发明的第五个方面，提供一种用于在记录载体的轨迹上记录信道信号的记录设备，该记录设备可以包括本发明的编码装置，还包括写装置，该写装置将由所述编码装置在所述轨迹中产生的信道信号
5 写到记录载体上。

根据本发明的第六个方面，提供一种用本发明的记录设备记录所获的记录载体。

附图简述

以下将参看附图进一步描述本发明，附图中：

- 10 图 1 表示本发明装置的一实施例，
图 2 表示图 1 装置中的变换器的第一完善型式，
图 3a 表示图 1 装置中的变换器的第二完善型式，
图 3b 表示图 1 装置中的变换器的第三完善型式，
图 4 表示图 1 装置中的变换器的第四完善型式，
15 图 5 表示将本发明的装置应用于在串行源信号的等距离位置处插入一个比特的装置，
图 6 表示译码装置的一实施例，
图 7 表示图 6 译码装置的变换器单元的完善型式。

优选实施方式

- 20 图 1 表示用于把二进制源信号的数据比特流编码成为满足预定 (d, k) 约束的二进制信道信号的数据比特流的装置。该装置具有用于接收该二进制源信号的输入端 3 和提供满足该 (d, k) 约束的信道信号的输出端 5。该装置包括其输入端 1 与输入端 3 连接、其输出端 8 与可控开关 19 的第一端子连接的 n - m 比特变换器 7。该变换器 7 把输入比特流分成 n 比特的源字，并将这些源字变换为相应的 m 比特信道字。具体来说，如以下将清楚看到的，变换器 7 把一组 p 个相继的 n 比特源字变换为相应的一组 p 个相继的 m 比特信道字，在变换每一组 p 个相继的 n 比特源字时保持奇偶性不变， n 、 m 和 p 是整数， $m > n \geq 1$ ， $p \geq 1$ ， p 是可变的。该装置还包括用于产生同样满足所述 (d, k) 约束的 q 比特同步字的同步字发生器 9， q 是大于 k 的整数值。同步字发生
30 器 9 的输出端 11 与可控开关 19 的端子 b 连接。开关 19 的端子 c 与该

装置的输出端 5 连接。在中央处理单元 17 产生的、在导线 13 上的开关控制信号的控制下，该开关可处于两个开关位置 a-c 和 b-c 中的一个位置上。

在开关位置 a-c，该装置把源信号变换为信道信号，而在位置 b-c 5 则可将同步字插入信道信号。每次在两个 m 比特的相继信道字之间，可在信道信号的“等距离”位置处重复插入同步字，同步字在这些位置处与信道信号合并。显然，处理单元 17 还控制变换器 7，以便在同步字与信道信号的串行数据流合并时刻中断变换。

此时可认为同步字以“0”比特开始和以“0”比特结束。首先，10 进一步说明变换器 7 的功能。

图 1 的编码装置还可以具有把其所产生的信道信号写入记录介质 23 的轨迹的写单元 21。记录介质 23 可以是磁或光记录介质。在磁记录介质 23 的例子中，写单元 21 具有至少一个磁头，用来把信道信号写入记录介质 23 的所述轨迹。在光记录介质 23' 的例子中，写单元 21 15 具有用来把信息写入该记录介质 23' 的光源，例如激光。

图 2 表示变换器 7 的第一详细示意图。该变换器的端子 1 与具有两个单元 X_1 和 X_2 的移位寄存器 2 的输入端连接，以接收源信号 S 两个相继的源比特。移位寄存器 2 起串-并变换器的作用，以产生相继的 2 比特源字 SW 。这两个单元的输出端与逻辑电路 LC 的两个输入端 i_1, i_2 连接，用来提供呈现在这两个单元内的源比特的逻辑值 (x_1, x_2) 。20

变换器 7 还包括一具有三个单元 Y_1, Y_2 和 Y_3 的第二移位寄存器 4。逻辑电路 LC 的输出端 o_1, o_2 和 o_3 分别与该移位寄存器 4 的三个单元 Y_1, Y_2 和 Y_3 的输入端连接，用来提供信道字的逻辑值 (y_1, y_2, y_3) 。移位寄存器 4 的输出端 6 与输出端 8 连接。移位寄存器 4 起并-串变换器的作用，把逻辑电路 LC 提供的 3 比特信道字变换为二进制变换信号 C_1 的串行数据比特流。25

逻辑电路 LC 能够把相继的 2 比特源字 SW 变换为 3 比特信道字，在变换每一个 2 比特源字时保持奇偶性不变。奇偶性不变指的是：在对信道字中的“1”执行模 2 加之后，待变换源字中“1”的个数等于相应信道字中“1”的个数。或者换一种说法：如果源字中“1”的个数是偶数，则信道字中的“1”的个数也将是偶数；如果源字中“1”的个数是奇数，则信道字中“1”的个数也将是奇数。30

作为一个例子，变换装置 LC 能够按照下表把 2 比特源字 SW 变换为 3 比特信道字 CW:

表 I

源字 (x_1, x_2)		信道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	101
SW ₂	01	CW ₂	100
SW ₃	10	CW ₃	001
SW ₄	11	CW ₄	000

5 在此应当指出：源字的第一个比特被首先提供给移位寄存器 2，信道字的第一个比特被首先从移位寄存器 4 的输出端 6 输出。

信道字的比特流是 NRZI (不归零倒置) 记数的，这指的是“1”将会使写电流发生转换，以便把信道信号记录在磁记录介质上。

10 可用图 2 的变换器来产生满足 $d=1$ 约束的 (d, k) 序列形式的被变换信号 C_i 。这指的是在被变换信号 C_i 的串行数据流的两个相继“1”之间至少出现一个“0”。就是说，在该被变换信号 C_i 中的、以及因而在信道信号 C 中的两个或更多个“1”的连续出现是被禁止的。

有可能出现例如利用图 1 装置对两个相继 2 比特源字的组合进行的未改进变换会破坏 $d=1$ 约束的情形。这些组合是这样的组合：
 15 “00 00”，利用未改进变换，该组合将产生两个 3 比特信道字“101 101”；
 “00 01”，利用未改进变换，该组合将产生两个 3 比特信道字“101 100”；
 “10 00”，利用未改进变换，该组合将产生两个 3 比特信道字“001 101”；
 以及“10 01”，利用未改进变换，该组合将产生两个 3 比特信道字“001 100”。

20 应能够检测这些组合的出现，以便能够用改进的编码把两个 2 比特源字变换为两个 3 比特信道字。图 2 变换器的一改进实施例如图 3a 所示，该实施例除了能够把 2 比特源字“正常”编码为 3 比特信道字外，还能够检测以上指出的组合并执行改进编码，使得在被变换信号 C_i 中、以及因而在信道信号 C 中 $d=1$ 约束仍然得到满足。

25 图 3a 的变换器包括具有用来接收源信号 S 的串行比特流的四个相继比特 (x_1, x_2, x_3, x_4) 的四个单元 X_1 至 X_4 的移位寄存器。这四个单元的输出端分别与逻辑电路 LC' 的相应输入端 i_1 至 i_4 以及检测器单元

D1 的相应输入端连接。该检测器单元 D1 能够检测源信号串行比特流中这样的位置，在该位置中用未改进编码把该比特流的一个源字变换为相应的一个信道字将会破坏被变换信号 C_i 的 $d=1$ 约束，该检测器单元 D1 还能够响应这种检测而在其输出端 10 提供一控制信号。

- 5 检测器单元 D1 的输出端 10 与逻辑电路 LC' 的控制信号输入端 12 连接。该逻辑电路 LC' 具有六个输出端 o_1 至 o_6 ，这些输出端分别与第二移位寄存器 4' 的单元 Y_1 至 Y_6 的输入端连接。

- 10 在控制信号输入端 12 无控制信号的情况下，逻辑电路 LC' 按照上述表 I 把第一个 2 比特源字 " x_1, x_2 " 变换为 3 比特信道字 " $y_1 y_2 y_3$ "。一旦检测器电路 D1 检测到等于上述组合之一的两个 2 比特源字 (x_1, x_2, x_3, x_4) 的组合，该逻辑电路 LC' 就按照由下表给出的改进编码变换该组合：

表 II

源字	未改进编码	改进编码
00 00	101 101	100 010
00 01	101 100	101 010
10 00	001 101	000 010
10 01	001 100	001 010

- 15 由该表可见：由于在所获得的两个信道字的边界处出现了两个“1”，所以单独两个 2 比特源字的未改进变换破坏了 $d=1$ 约束。因此，逻辑电路 LC' 以改进编码方式把在上表左列中的两个 2 比特源字组变换为如上表 II 右列中所示的两个 3 比特信道字组。可以看到 $d=1$ 约束不再被破坏。此外，改进编码同样是奇偶性不变的。这指的是在当前情
- 20 况下，如果两个 2 比特源字组中“1”的个数是奇数（偶数），则所获得的两个 3 比特信道字组中“1”的个数也是奇数（偶数）。还有，两个 2 比特源字之一（在上表中该源字是第二个源字）将被编码为不等于表 I 的四个信道字之一的一个 3 比特信道字。这样做的理由是在接收机侧能够检测不属于表 I 的四个 3 比特信道字组的该 3 比特信道字，
- 25 因此能够实现相应的、是表 II 所定义的编码的逆操作的译码。

通过按照表 II 进行编码而获得的两个 3 比特信道字组由逻辑电路 LC' 提供其输出端 o_1 至 o_6 ，这些信道字被传送给移位寄存器 4' 的六个

单元 Y_1 至 Y_6 。由所述实施例显然可见：利用使用源字的检测器 D1 检测了需要改进编码的场合。

执行表 II 所描述的改进变换的变换器的不同结构如图 3b 所示。在该图中，利用被变换的信道字可确定应当执行改进编码的场合。图 3b 的装置包括一个具有用于接收借助未改进编码而获得的两个相继的 3 比特信道字的 6 个输入端的检测器 D1'。该检测器 D1' 检测用未改进编码获得的这两个相继的 3 比特信道字是否等于表 II 的“未改进编码”的中间一列中的四个 6 比特序列之一。如果是，检测器 D1' 就在其输出端 10 输出一个切换信号，在其输出端 10' 输出一个地址信号 AD。切换信号传送给移位寄存器 4" 的切换信号输入端 45。地址信号 AD 传送给 ROM 47 的地址信号输入端 46。检测器 D1' 根据对表 II 的中间一列中的四个 6 比特序列中的一个相应的比特序列的检测结果，产生四个可能的地址信号 AD1 至 AD4 中的一个地址信号。作为一个例子，检测器 D1' 在检测到序列“101101”时产生地址信号 AD1，而在检测到 6 比特序列“001100”时产生地址信号 AD4。ROM 47 存储了表 II 右列所示的 6 比特序列。一旦接收到地址信号 AD1，ROM 47 就在其输出端 o_1 至 o_6 输出 6 比特序列“100010”。一旦接收到地址信号 AD2，该 ROM 就在其输出端输出 6 比特序列“101010”。一旦接收到地址信号 AD3，该 ROM 就在其输出端输出 6 比特序列“000010”。一旦接收到地址信号 AD4，该 ROM 就在其输出端输出 6 比特序列“001010”。移位寄存器 4" 的每一个存储单元现在有两个输入端，一个输入端与逻辑电路 LC' 的相应输出端连接，另一个输入端与 ROM 47 的相应输出端连接。

在 $d=1$ 约束没有被破坏的正常情况下，执行未改进变换，不产生切换信号，因而该移位寄存器 4" 利用其上面的各输入端接收逻辑电路 LC' 传送的比特。如果 $d=1$ 约束被破坏，施加给切换信号输入端 45 的切换信号使移位寄存器接收由 ROM 传送给移位寄存器 4" 下面各输入端的 6 比特序列，该序列是改进序列。

(d, k) 序列的 k 约束规定在信道信号的两个相继的“1”之间最多允许出现 k 个相继的“0”。

会出现三个相继的 2 比特源字的未改进变换破坏 k 约束的情况。

作为一个例子，源字序列“11 11 11”的未改进变换将产生三个 3 比特的信道字“000 000 000”。如果应当得到 k 等于 6、7 或 8 的 (d, k)

序列，则不应当出现三个 3 比特信道字的这种组合。

另一个例子是源字序列“11 11 10”，该序列的未改进变换将产生三个 3 比特的信道字“000 000 001”。三个 3 比特信道字的这种组合不满足 $k=6$ 或 $k=7$ 约束。此外，三个 3 比特信道字的这种组合可以
5 跟在以“0”结束的前一个信道字之后，从而它将导致 $K=8$ 约束的破坏。而且，该组合可以以“1”结束，从而如果该组合后面跟有以“1”开始的 3 比特信道字，则 $d=1$ 约束将会被破坏。对于源字序列“01 11 11”，相同的推理是正确的。

再一个例子是源字序列“01 11 10”，该序列的未改进变换将产生三个 3 比特信道字“100 000 001”。这一组合会如上所述那样破坏
10 $d=1$ 约束。

应当检测到这些组合的出现，以便能够执行改进编码。除了能够把 2 比特源字“正常”编码为 3 比特信道字外，一个也还能够检测以上指出的组合并执行改进编码的变换器的一实施例如图 4 所示。

15 图 4 的变换器包括具有用来接收源信号 S 的串行比特流的六个相继比特的六个单元 X_1 至 X_6 的移位寄存器²”。这六个单元的输出端分别与逻辑电路 LC”的相应输入端 i_1 至 i_6 以及检测器单元 D2 的相应输入端连接。该检测器单元 D2 能够检测源信号串行比特流中这样的位置，在该位置中，该比特流的未改进编码将会破坏在被变换信号 C_1 中、并且
20 因而在信道信号 C 中的 k 约束，该检测器单元 D1 还能够响应这种检测而在其输出端 15 提供一控制信号。

检测器单元 D2 的输出端 15 与逻辑电路 LC”的控制信号输入端 16 连接。该逻辑电路 LC”具有九个输出端 o_1 至 o_9 ，这些输出端分别与第二移位寄存器 4”的单元 Y_1 至 Y_9 的输入端连接。

25 在控制信号输入端 12 和 16 无控制信号的情况下，逻辑电路 LC”按照上述表 I 把单个 2 比特源字“ x_1x_2 ”变换为单个 3 比特信道字“ $y_1y_2y_3$ ”。一旦检测器电路 D1 检测到一个等于以上表 II 中给出的各组合之一的两个 2 比特源字“ x_1x_2, x_3x_4 ”组，该逻辑电路 LC”就按照表 II 规定的变换规则变换该源字组合，产生两个 3 比特信道字
30 “ $y_1y_2y_3y_4y_5y_6$ ”组。

一旦检测器电路 D2 检测到一个等于上述各组合之一的三个 2 比特源字“ $x_1x_2x_3x_4x_5x_6$ ”组，该逻辑电路 LC”就按照由下表给出的改进编码

来变换该源字组合，产生三个 3 比特信道字组：

表 III

源字	未改进编码	改进编码
11 11 11	000 000 000	000 010 010
11 11 10	000 000 001	001 010 010
01 11 10	100 000 001	101 010 010
01 11 11	100 000 000	100 010 010

5 逻辑电路 LC”以改进编码方式把在上表 III 左列中的三个 2 比特源字组变换为如上表右列中所示的三个 3 比特信道字组。通过执行表 III 所规定的改进编码，获得了满足 $k=8$ 约束的信道信号。此外，改进编码同样是奇偶性不变的。还有，三个 2 比特源字中的两个（在上表中这两个源字是第二个和第三个源字）被编码为一个不等于表 I 的四个信道字之一的 3 比特信道字。这样做的理由是，在接收机侧能够检测
10 不属于表 I 的四个 3 比特信道字组的这两个相继的 3 比特信道字，因此能够实现相应的、是表 III 所定义的编码的逆操作的译码。

通过按照表 III 进行编码而获得的三个 3 比特信道字的组合由逻辑电路 LC”提供其输出端 o_1 至 o_9 ，这些信道字被传送给移位寄存器 4”的九个单元 Y_1 至 Y_9 。被变换信号 C1 的串行数据流提供给输出端 8。

15 很明显，按照与参看图 3b 描述的方式相同的方式，能够不在源信号级别而在被变换信号级别上对 k 约束的破坏进行检测。

以上已说到还可以有把单个 2 比特源字变换为单个 3 比特信道字的其它变换规则。这些变换规则在以下三个表中给出。

表 IV

源字 (x_1, x_2)		信道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	101
SW ₂	01	CW ₂	001
SW ₃	10	CW ₃	100
SW ₄	11	CW ₄	000

表 V

源字 (x_1, x_2)		信道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	000
SW ₂	01	CW ₂	100
SW ₃	10	CW ₃	001
SW ₄	11	CW ₄	101

表 VI

源字 (x_1, x_2)		信道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	000
SW ₂	01	CW ₂	001
SW ₃	10	CW ₃	100
SW ₄	11	CW ₄	101

5

很明显，根据以上的教导可推广这些变换规则来把两个或三个 2 比特源字组变换为两个或三个 3 比特信道字组。

应当指出，虽然描述了把 2 比特源字变换为 3 比特信道字的变换器，但本发明可完全等同地应用于（作为一个例子）把 3 比特源字变换为 4 比特信道字的变换器。

对于产生满足 (1, 8) 游程长度约束的被变换信号的 2 至 3 比特变换器 7 的实施例，同步字发生器 9 优选地产生以“01”开始和以“10”结束的 q 比特同步字。具体来说，发生器 9 产生 15 比特的同步字“01000000010010”。

15 使用该同步字的优点是：

- 该同步字满足 (1, 8) 游程长度约束，所以使用该同步字不会增大 (1, 8) 约束的奇偶性保持代码的 k 约束。

- 该同步字是信道信号序列中唯一的一个字。

- 由于该同步字以“0”比特开始和结束，所以它总是可以被汇合在两个 3 比特信道字之间。

20

- 由于该同步字只长 15 比特，所以它所增加的额外开销相当小。

上述同步字可完全等同地应用于能产生满足不同 k 约束、例如 $k=7$ 的信道字序列的奇偶性保持编码器。在这样的情况下，该同步字因而就破坏了所产生的信道字的 k 约束。

5 如上所述，本发明的装置非常适合于在这样一种编码装置中使用，该编码装置在源信号的串行数据流中每隔一个多比特组就插入一个比特，由此使极性颠倒或保持极性不变。这种编码装置如图 5 简要所示，在该图中，编码器 40 后面跟有本发明的编码装置 41 和本领域众所周知的 1T 预编码器 42。1T 预编码器 42 的输出信号传送给控制信号发生
10 器 43，该控制信号发生器 43 为变换器 40 产生控制信号，以便控制在传送给装置 41 的串行数据流中究竟是插入“0”还是插入“1”。编码装置 41 可不作任何改动地插在变换器 40 和 1T 预编码器 42 之间。

利用图 5 所示的装置，能够在串行数据流中嵌入具有一定频率的跟踪单音，或使数据流的 DC 成分为零。此外，当编码装置 41 能够如上
15 所述产生 (d, k) 序列时，它将使图 4 装置的输出信号成为 (d, k) RLL（游程长度受限）输出信号。变换器 40 的具体形式见“Bell System Technical Journal（贝尔系统技术杂志）”53 卷 6 期 1103-1106 页。

图 6 表示一个用于译码该编码装置产生的串行数据流以获得二进制源信号的译码装置。该译码装置具有接收信道信号的输入端 60，该
20 输入端 60 与 $m-n$ 比特变换器 62 的输入端 50 连接。变换器 62 的输出端 55 与该译码装置的输出端 64 连接。该装置还包括同步检测器单元 66，该同步检测器单元 66 的输入端 68 与输入端 60 连接，而输出端 70 与变换器 62 的禁止输入端 72 连接。

该译码器利用其输入端 60 接收由 m 比特信道字和同步字组成的信道信号。在 $m=3$ 和 $n=2$ 的例子中，3 比特信道字在变换器 62 中被变换
25 为 2 比特源字，并被传送给输出端 64。一旦接收到同步字，该同步字就被检测器 66 检测，并在输出端 70 产生一禁止信号，以便在同步字在输入端 50 出现的时间间隔内禁止变换器 62。然后启动变换器 62，以便跟在同步字后的 3 比特信道字能够被变换为 2 比特源字。

30 图 6 的译码装置还可以具有用来从由图 1 的具有写单元 21 的编码装置产生的记录介质 23 的轨迹中读出信道信号的读单元 76。记录介质 23 可以是磁或光记录介质。在磁记录介质 23 的例子中，读单元 76 具

有至少一个磁头 78，用来从记录介质 23 的轨迹中读出信道信号。

图 7 表示图 6 变换器 62 的一实施例。变换器 62 包括具有九个单元 Y_1 至 Y_9 的一个移位寄存器 51。该移位寄存器 51 起串-并变换器作用，把三个 3 比特信道字组传送至逻辑电路 52 的输入端 i_1 至 i_9 。逻辑电路 52 包含三个表 I、II 和 III。逻辑电路 52 的输出端 o_1 至 o_6 与移位寄存器 54 的单元 X_1 至 X_6 的输入端连接，该移位寄存器的输出端 57 与输出端 55 连接。变换器 62 还包括一检测器电路 53，该检测器电路 53 的输入端 i_1 至 i_6 分别与移位寄存器 51 的单元 Y_4 至 Y_9 的输出端连接，其输出端 o_1 和 o_2 分别与逻辑电路 52 的控制输入端 c_1 和 c_2 连接。检测器电路 53 能够检测移位寄存器 51 的单元 Y_4 、 Y_5 和 Y_6 中的“010”比特模式，还能够检测移位寄存器 51 的单元 Y_4 至 Y_9 中的比特模式“010010”。

一旦检测到“010010”比特模式，检测器电路 53 就在其输出端 o_2 产生一控制信号，一旦检测到在单元 Y_4 、 Y_5 和 Y_6 中的“010”比特模式，而在单元 Y_7 、 Y_8 和 Y_9 中没有“010”比特模式，它就在其输出端 o_1 产生一控制信号。

在无控制信号的情况下，逻辑电路 52 按照变换表 I 把存储在单元 Y_1 、 Y_2 和 Y_3 内的 3 比特信道字变换为该信道字对应的 2 比特源字，并将该 2 比特源字提供给单元 X_1 和 X_2 。在输入端 c_1 有控制信号的情况下，逻辑电路 52 按照变换表 II 把存储在单元 Y_1 至 Y_6 内的两个 3 比特信道字组变换为两个 2 比特源字组，并将这两个 2 比特源字提供给单元 X_1 至 X_4 。在输入端 c_2 有控制信号的情况下，逻辑电路 52 按照变换表 III 把存储在单元 Y_1 至 Y_9 内的三个 3 比特信道字组变换为三个 2 比特源字组，并将这三个 2 比特源字提供给单元 X_1 至 X_6 。如此就把信道信号的串行数据流变换为源信号的串行数据流。

以下讨论可在奇偶性保持编码装置、例如以上所描述的装置中使用的其它同步字。代替上述 15 比特同步字，可使用 16 比特同步字“010000000100100”、17 比特同步字“0100000001001000”或 18 比特同步字“01000000010010000”。当用一个跟在后面的 3 比特信道字（具体来说用根据上表 I 从源字“11”获得的信道字）连接在此所描述的三个同步字时，这些同步字会导致 k 约束被破坏。这种连接将产生一个序列：

“0100000000100100 000”

- 假设随后的两个源字是“10 00”。同步字与通过变换“10 00”源字序列获得的信道字组的连接将产生以下序列：

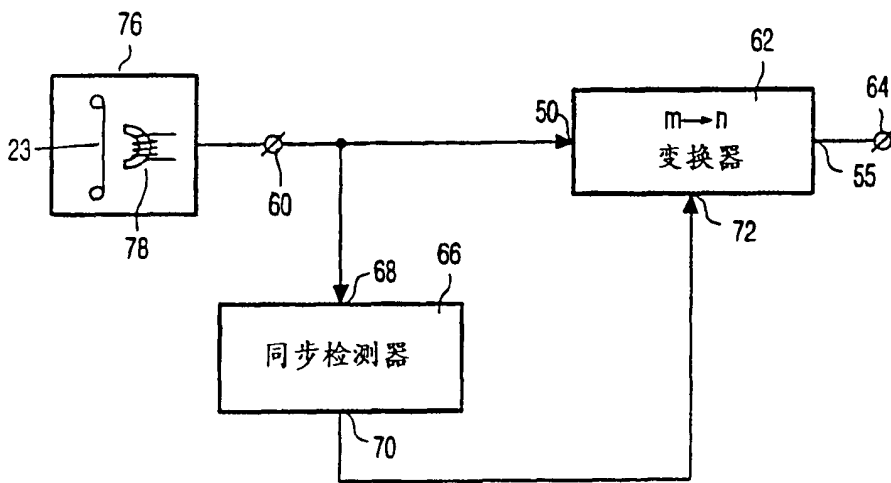
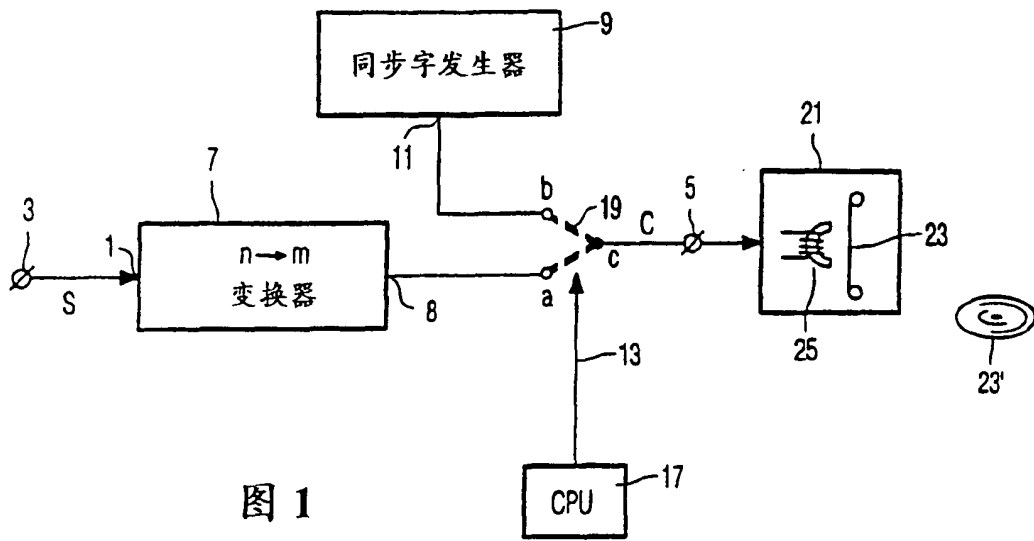
“0100000000100100 000 000 010” ，

参看表 II。这一序列破坏了 $k=8$ 约束。

- 10 在当“11”源字紧接在同步字之后出现从而源字“11”都变换为信道字“010”的所有情况下，为解决这一问题，可以修改表 I。或者，当利用未改进变换确实破坏了 k 约束时才把源字“11”变换为信道字“010”。

- 15 虽然参看本发明的最佳实施例对其进行了描述，但应当懂得这些实施例不是限制性的例子。因此，只要不超出权利要求书所限定的本发明的范围，本领域普通技术人员可作出各种改进。

此外，本发明体现在其每一个新颖的特征或这些特征的组合之中。



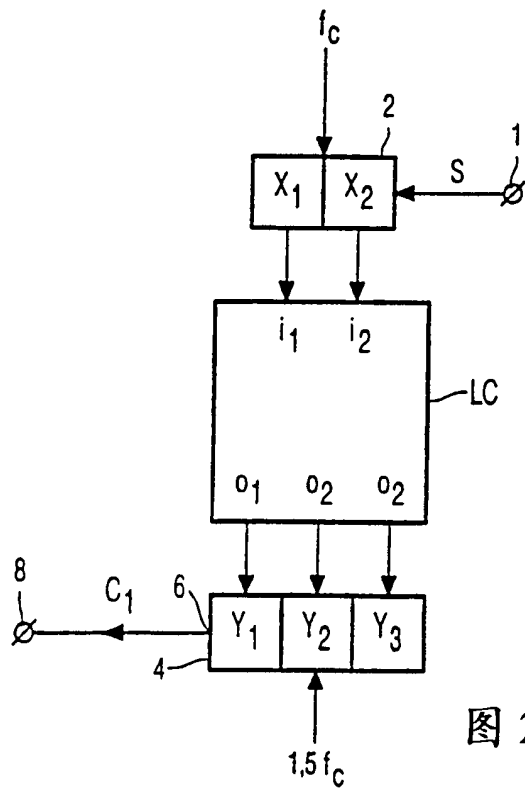


图 2

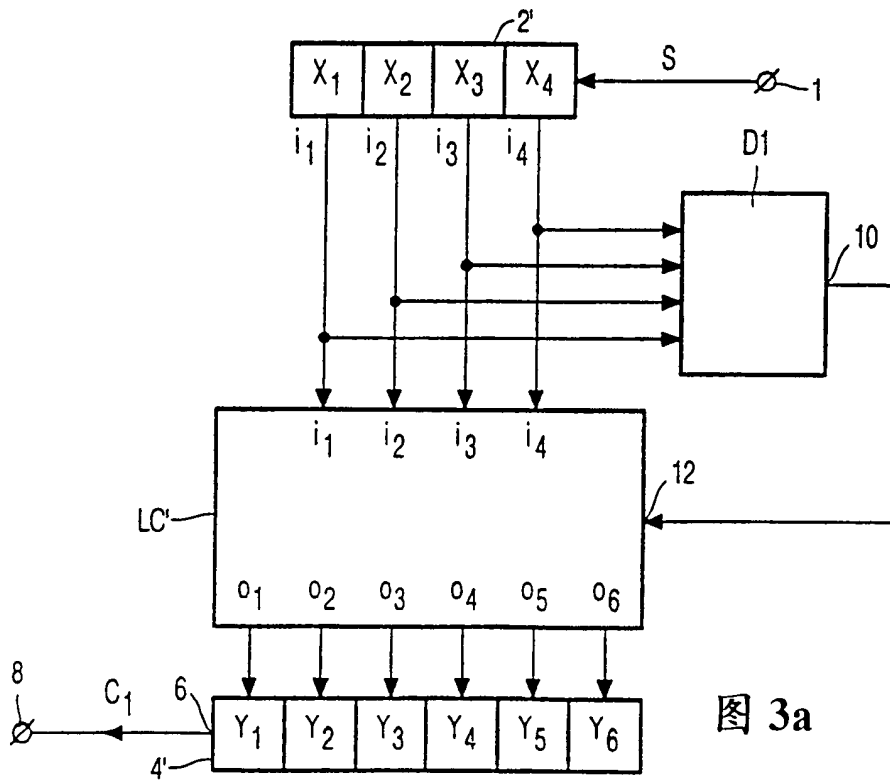


图 3a

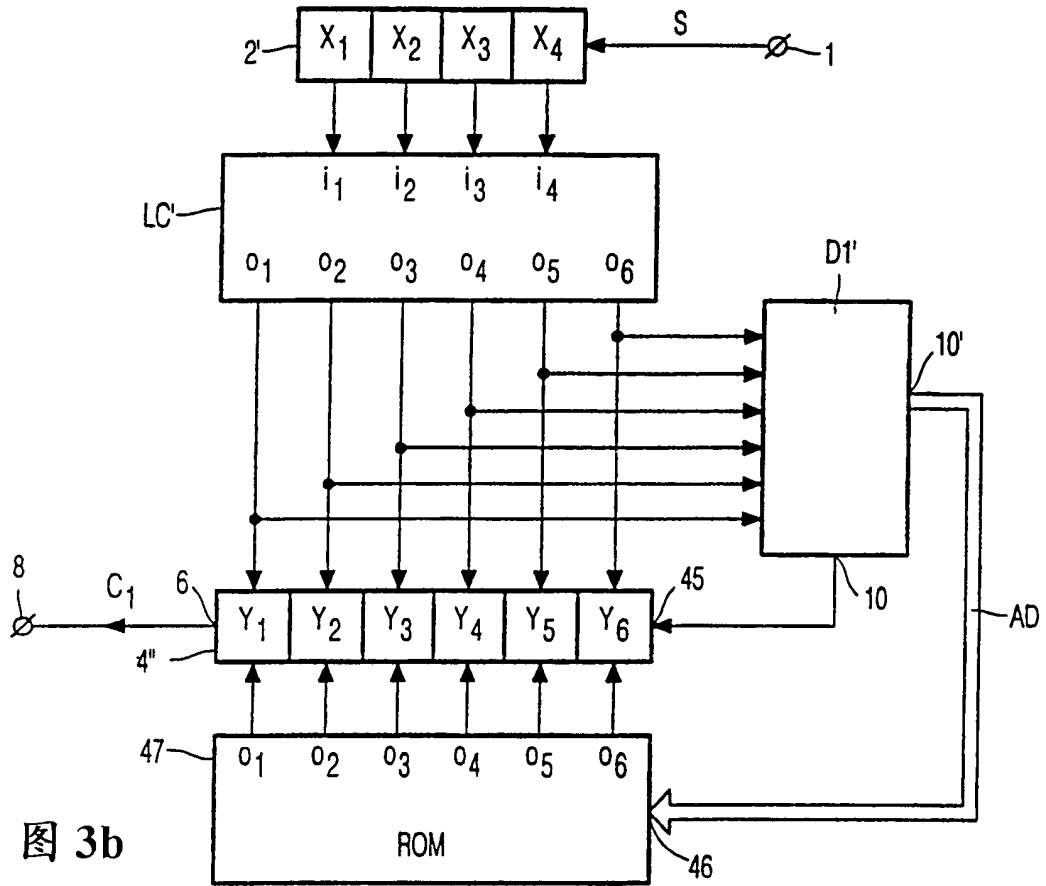


图 3b

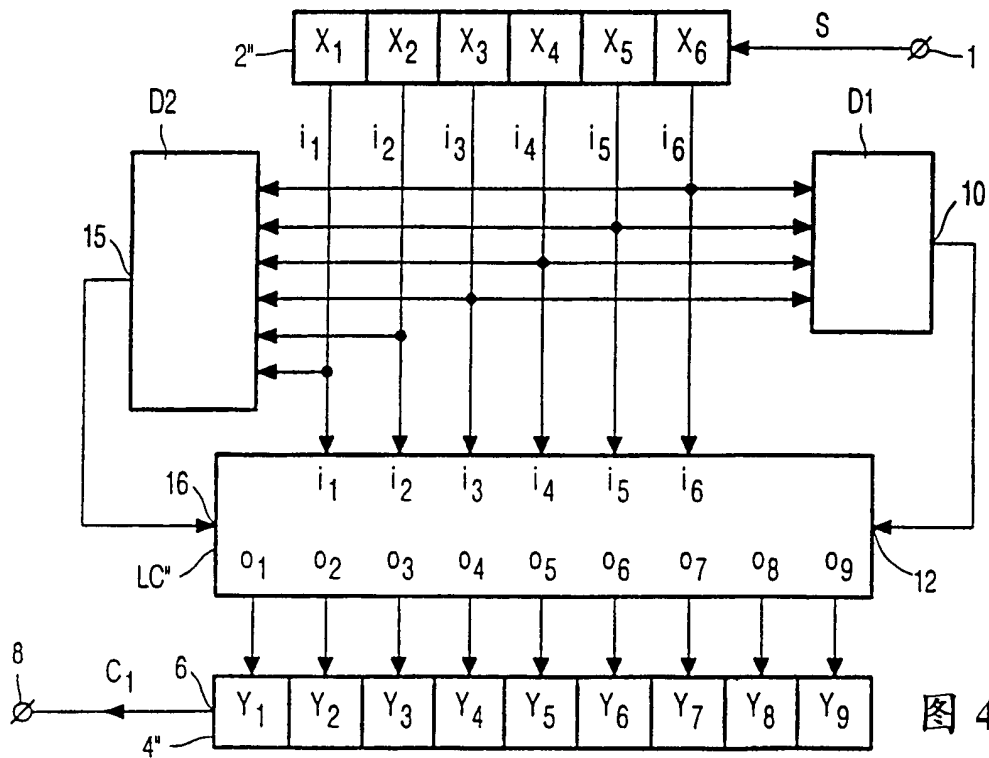


图 4

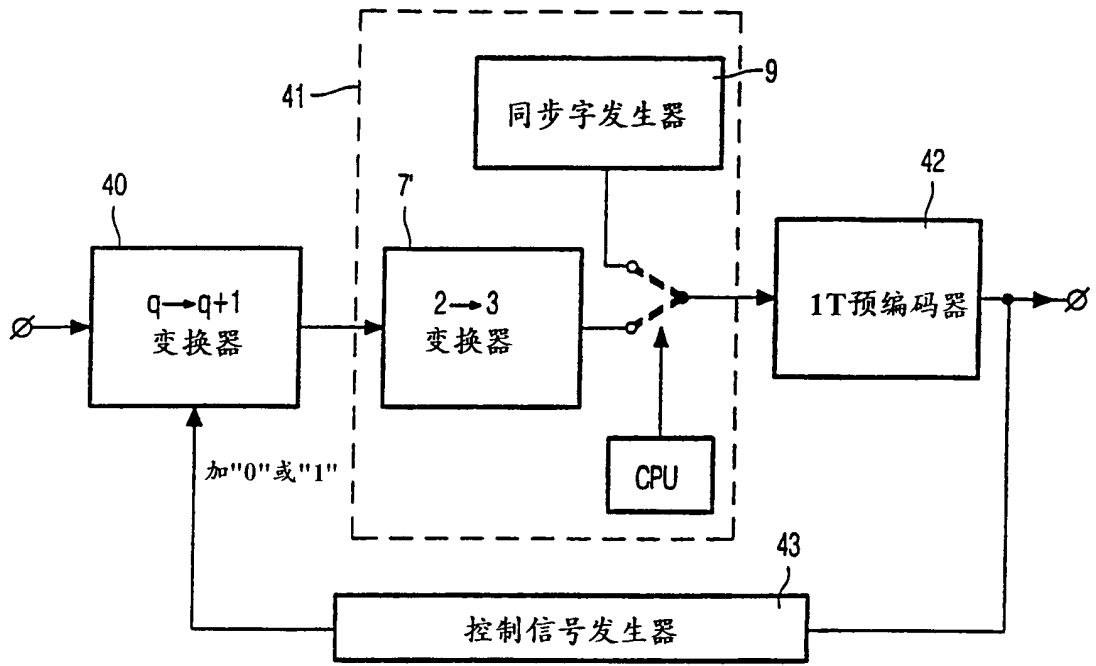


图 5

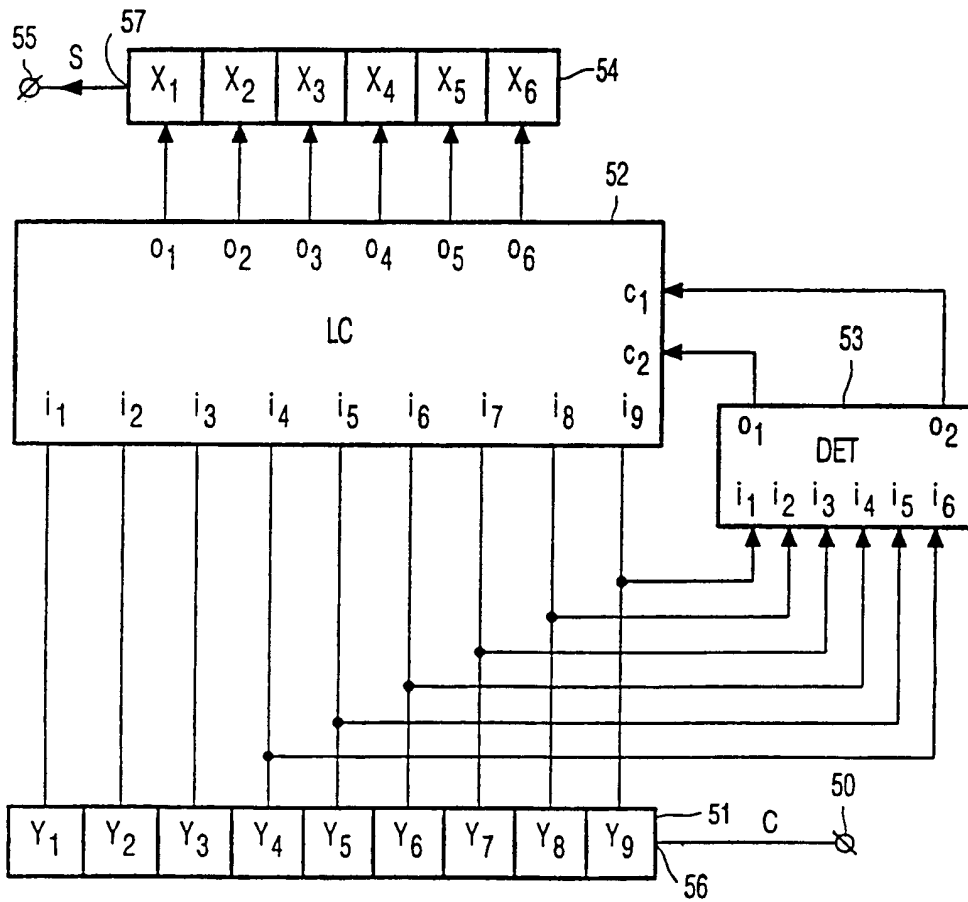


图 7