

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2011/051797 A2

(43) 国际公布日
2011 年 5 月 5 日 (05.05.2011)

- (51) 国际专利分类号:
G06F 11/00 (2006.01) *G06F 17/50* (2006.01) 亚州芒廷维尤东米德尔菲尔德路 700 号, Mountain View, CA 94043-4033 (US)。
- (21) 国际申请号: PCT/IB2010/002782 (72) 发明人; 及
- (22) 国际申请日: 2010 年 10 月 28 日 (28.10.2010) (75) 发明人/申请人 (仅对美国): 顾久予 (KU, Chiu-Yu); 台湾台北基隆路一段 333 号 31 层 3108 房间台湾新思科技有限公司, Taipei 110 (TW)。
- (25) 申请语言: 中文
- (26) 公布语言: 中文 (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
- (30) 优先权:
200910211392.5 2009 年 10 月 30 日 (30.10.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 新思科技有限公司 (SYNOPSYS, INC.) [US/US]; 美国加利福尼亚

[见续页]

(54) Title: METHOD AND APPARATUS USED FOR THE PHYSICAL VALIDATION OF INTEGRATED CIRCUITS

(54) 发明名称: 应用于集成电路的物理设计验证的方法及其装置

(57) Abstract: The present invention involves a method and an apparatus used for the physical design validation of integrated circuits. Said method includes the following steps: the original circuit netlist of an integrated circuit and the layout data of said integrated circuit are compared; labels are assigned to the input and output terminals of the components in said integrated circuit based on the results of the comparison.

(57) 摘要:

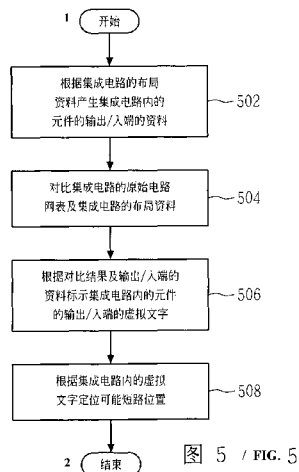


图 5 / FIG. 5

1 START
502 DATA FOR THE INPUT AND OUTPUT TERMINALS OF COMPONENTS IN AN INTEGRATED CIRCUIT IS GENERATED ACCORDING TO THE LAYOUT DATA OF SAID INTEGRATED CIRCUIT.
504 THE ORIGINAL CIRCUIT NETLIST OF THE INTEGRATED CIRCUIT AND THE LAYOUT DATA OF SAID INTEGRATED CIRCUIT ARE COMPARED.
506 VIRTUAL CHARACTERS ARE LABELED FOR THE INPUT AND OUTPUT TERMINALS OF COMPONENTS OF SAID INTEGRATED CIRCUIT ACCORDING TO THE COMPARISON RESULT AND THE DATA OF INPUT AND OUTPUT TERMINALS.
508 LOCATIONS OF POSSIBLE SHORT CIRCUITS ARE IDENTIFIED ACCORDING TO THE POSITIONING OF VIRTUAL CHARACTERS WITHIN THE INTEGRATED CIRCUIT.
2 END

本发明涉及一种应用于集成电路的物理设计验证的方法及其装置, 所述应用于集成电路的物理设计验证的方法包含下列步骤: 对比一集成电路的原始电路网表及所述集成电路的布局资料; 以及根据对比结果标示所述集成电路内的元件的输出/入端的虚拟文字。



WO 2011/051797 A2



LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

- (84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,

本国际公布:

- 不包括国际检索报告，在收到该报告后将重新公布(细则 48.2(g))。

应用于集成电路的物理设计验证的方法及其装置

技术领域

本发明是关于集成电路设计的验证方法与装置，尤其是关于应用于集成电路的物理设计验证的方法及其装置。

背景技术

集成电路制造技术的不断进步使得集成电路芯片的最小尺寸也一直下降。然于，在缩小芯片尺寸趋势的物理设计中，更需要考虑制造能力（manufacturability）对集成电路芯片所造成合格率（yield）和可靠性（reliability）的影响。据此，除了在物理的集成电路芯片制作完成后的测试及验证阶段，集成电路的物理设计验证亦为电路设计流程中重要的一环。

在各种集成电路的物理设计验证中，物理设计验证的步骤是确认一集成电路设计是否符合所有流程规则。几何设计规则藉由检查一电路的最终布局的相对位置或语法（syntax）确保所述电路得以正确地制造。然而，功能正确性检验将由可操纵电路作动及其行为的仿真器（simulator）和验证器（verifier）协助完成。电气规则检查（electrical rule check）或设计规则检查（design rule check）则用于处理布局语法及复杂行为分析。电气规则为一电路的相关属性规定，其可藉由几何及连接关系决定。

在各种集成电路的物理设计验证的软件或硬件中，布局对比原理图（layout versus schematic, LVS）软件是用于对比一集成电路的原始电路网表及所述电路的图形数据系统是否一致。所述布局对原理图软件首先根据所述电路的图形数据系统产生一布局电路网表，并针对所述原始电路网表及所述布局电路网表加以对比。若对比结果不一致，则电路设计人员可根据对比结果修改所述电路的布局及绕线，亦即产生一更新的图形数据系统，再重新

对比所述原始电路网表及所述更新的图形数据系统。

然而，不论是电路设计人员根据一集成电路的原始电路网表产生所述集成电路的布局图，或是根据布局对比原理图软件所提供的对比结果修改所述集成电路的布局图，皆有可能在布局图的制作过程中将两个不同信号网络的电路连接在一起，此种错误即称为电路短路。常见的电路短路形式包含供电网络和接地网络的短路，然而电路短路可包含各种信号网络的误接，而不局限于供电网络和接地网络的短路。

由于集成电路的电路短路是发生于集成电路的布局图内，故较难以以人工方式寻找短路所发生的位置。据此，为解决集成电路的电路短路，现行存在一种物理设计验证的软件以寻找集成电路内的短路位置。图 1 显示一现有的集成电路的短路位置搜寻方法的流程图。在步骤 102，根据使用者设定的编辑档案或是电路布局的数据文件输入一集成电路的虚拟文字，并进入步骤 104。在步骤 104，根据所述集成电路内的虚拟文字定位所述集成电路内的可能短路位置。

图 2 显示一集成电路的电路短路的局部示意图。如图 2 所示，所述集成电路 200 包含元件 202、204 和 206，其中所述元件 202、204 和 206 各包含四个输出/入端。所述元件 202、204 和 206 是由一供电网络和一接地网络串联，而一金属线 250 是横跨所述供电网络和所述接地网络而造成电路短路。

若应用图 1 所示现有的集成电路短路位置的搜寻方法于图 2 的集成电路 200。在步骤 102，使用者于端点 A 输入一供电网络 VDD，并于端点 B 输入一接地网络 VSS。在步骤 104，根据所述集成电路 200 内的虚拟文字 VDD 和 VSS 定位所述集成电路内的可能短路位置。

然而，现有的集成电路短路位置的搜寻方法存在许多缺点。首先，使用者可能提供错误的集成电路的虚拟文字而造成所述搜寻方法无法提供正确的电路短路位置。其次，使用者为避免提供错误的集成电路的虚拟文字，可能提供过少的集成电路的虚拟文字，这将造成现有的集成电路短路位置的搜

寻方法耗费大量时间寻找所述短路位置，甚至将难以找出所述短路位置。

据此，业界所需要的是一种有效的方法及其装置，其可大幅压缩搜寻集成电路的短路位置时所耗费的时间，以使得整个电路设计流程能更有效率。

发明内容

本发明是藉由利用布局对比原理图的对比结果标示一集成电路内的元件的输出/入端的虚拟文字，以达到广泛增加集成电路内的虚拟文字的目的。通过所述广泛增加的虚拟文字可大幅压缩搜寻集成电路的短路位置时所需的时间。

本发明提供一种应用于集成电路的物理设计验证的方法，包含下列步骤：对比一集成电路的原始电路网表及所述集成电路的布局资料；以及根据对比结果标示所述集成电路内的元件的输出/入端的虚拟文字。

本发明提供另一种应用于集成电路的物理设计验证的方法，包含下列步骤：根据一集成电路的原始电路网表及所述集成电路的布局数据的对比结果标示所述集成电路内的元件的输出/入端的虚拟文字；以及根据所述集成电路内的虚拟文字定位所述集成电路内的可能短路位置。

本发明提供一种应用于集成电路的物理设计验证的装置，包含一对比单元和一标示单元。所述对比单元是对比一集成电路的原始电路网表及所述集成电路的布局资料。所述标示单元是根据所述对比单元所提供的对比结果标示所述集成电路内的元件的输出/入端的虚拟文字。

本发明提供另一种应用于集成电路的物理设计验证的装置，包含一标示单元和一定位单元。所述标示单元是根据一集成电路的原始电路网表及所述集成电路的布局数据的对比结果标示所述集成电路内的元件的输出/入端的虚拟文字。所述定位单元是根据所述标示单元所提供的虚拟文字确认所述集成电路内的可能短路位置。

上文已经概略地叙述本发明的技术特征，俾使下文的详细描述得以获得

较佳了解。构成本发明的权利要求书权利要求书的其它技术特征将描述于下文。本发明所属技术领域中具有普通技术人员应可了解，下文揭示的概念与特定实施例可作为基础而相当轻易地予以修改或设计其它结构或制程而实现与本发明相同的目的。本发明所属技术领域普通技术人员亦应可了解，这类等效的构建并无法脱离后附的权利要求书所提出的本发明的精神和范围。

附图说明

图 1 显示一现有的集成电路短路位置的搜寻方法的流程图；

图 2 显示一集成电路的电路短路的局部示意图；

图 3 显示本发明的一实施例的应用于集成电路的物理设计验证的方法的流程图；

图 4 显示根据本发明的一实施例的应用于集成电路的物理设计验证的方法标示一集成电路的虚拟文字的示意图；

图 5 显示本发明的另一实施例的应用于集成电路的物理设计验证的方法的流程图；

图 6 显示根据本发明的另一实施例的应用于集成电路的物理设计验证的方法搜寻一集成电路的短路位置的示意图；

图 7 显示根据本发明的一实施例的应用于集成电路的物理设计验证的装置的示意图；及

图 8 显示根据本发明的另一实施例的应用于集成电路的物理设计验证的装置的示意图。

具体实施方式

本发明在此所探讨的方向为一种集成电路的天线效应的检查方法及其装置。为了能彻底地了解本发明，将在下列的描述中提出详尽的步骤及组成。显

然地，本发明的施行并未限定于电路设计的技术人员所熟悉的特殊细节。另一方面，众所周知的组成或步骤并未描述于细节中，以避免造成本揭露不必要的限制。本发明的较佳实施例会详细描述如下，然而除了这些详细描述之外，本发明还可以广泛地施行在其它的实施例中，且本发明的范围不受限定，其以之后的权利要求书为准。

根据本发明的一实施例所提供的应用于集成电路的物理设计验证的方法是藉由利用布局对比原理图的对比结果标示一集成电路内的元件的输出/入端的虚拟文字，以达到广泛增加集成电路内的虚拟文字的目的。

根据本发明的另一实施例所提供的应用于集成电路的物理设计验证的方法是根据本发明的一实施例所提供的应用于集成电路的物理设计验证的方法标示所欲搜寻的集成电路内的虚拟文字，并藉由所述广泛增加的虚拟文字可大幅压缩搜寻集成电路的短路位置时所需的时间。

图 3 显示本发明的一实施例的应用于集成电路的物理设计验证的方法的流程图。在步骤 302，根据一集成电路的布局数据产生所述集成电路内的元件的输出/入端的数据，并进入步骤 304。在步骤 304，对比所述集成电路的原始电路网表及所述集成电路的布局数据，并进入步骤 306。在步骤 306，根据对比结果及所述输出/入端的数据标示所述集成电路内的元件的输出/入端的虚拟文字。

在本发明的一实施例中，步骤 306 是根据所述原始电路网表中所述对比正确的元件标示其输出/入端的虚拟文字。在本发明的另一实施例中，步骤 306 是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。在本发明的又一实施例中，步骤 302 所产生的所述输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。

若在图 2 的集成电路 200 应用图 3 所示的应用于集成电路的物理设计验

证的方法。在步骤 302，根据所述集成电路 200 的布局数据产生所述集成电路 200 内的元件的输出/入端的数据，亦即所述元件 202、204 和 206 的各四个输出/入端的数据。在步骤 304，对比所述集成电路 200 的原始电路网表及所述集成电路 200 的布局数据，其中对比结果为所述元件 202、204 和 206 皆为对比正确的元件。在步骤 306，根据对比结果及所述输出/入端的数据标示所述集成电路 200 内的元件的输出/入端的虚拟文字。由于所述元件 202、204 和 206 皆为对比正确的元件，故其输出/入端亦为正确的数据。据此，所述元件 202、204 和 206 的输出/入端皆标示以相应的虚拟文字。换言之，步骤 306 是根据所述原始电路网表中所述对比正确的元件 202、204 和 206 的输出/入端 C~N 及所述输出/入端连接的节点 VDD 和 VSS 标示所述集成电路 200 内的元件的输出/入端的虚拟文字。

图 4 显示根据上述实施例以标示所述集成电路 200 的虚拟文字的示意图。如图 4 所示，所述元件 202、204 和 206 的输出/入端 C~N 皆标示其相应的虚拟文字，亦即所述输出/入端 C~N 连接的节点，其中输出/入端 C~H 是标示 VDD，而输出/入端 I~N 是标示 VSS。

图 5 显示本发明的另一实施例的应用于集成电路的物理设计验证的方法的流程图。在步骤 502，根据一集成电路的布局数据产生所述集成电路内的元件的输出/入端的数据，并进入步骤 504。在步骤 504，对比所述集成电路的原始电路网表及所述集成电路的布局数据，并进入步骤 506。在步骤 506，根据对比结果及所述输出/入端的数据标示所述集成电路内的元件的输出/入端的虚拟文字，并进入步骤 508。在步骤 508，根据所述集成电路内的虚拟文字定位所述集成电路内的可能短路位置。

如图 5 所示，所述应用于集成电路的物理设计验证的方法是应用图 3 所示的应用于集成电路的物理设计验证的方法以搜寻一集成电路的短路位置。在本发明的一实施例中，步骤 506 是根据所述原始电路网表中所述对比正确的元件标示其输出/入端的虚拟文字。在本发明的另一实施例中，步骤 506

是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。在本发明的又一实施例中，步骤 502 所产生的所述输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。在本发明的再一实施例中，步骤 508 是根据所述输出/入端的虚拟文字及外部输入的虚拟文字定位所述集成电路内的可能短路位置。在本发明的再一实施例中，步骤 508 是根据一最短路算法执行。

若在图 2 的集成电路 200 应用图 5 所示的应用于集成电路的物理设计验证的方法。在步骤 502 至 506，所述集成电路 200 所标示的虚拟文字是如图 6 所示。如图 6 所示，所述元件 202、204 和 206 的输出/入端 C~N 皆标示其相应的虚拟文字，其中输出/入端 C~H 是标示 VDD，而输出/入端 I~N 是标示 VSS。

在步骤 508，根据所述集成电路 200 内的虚拟文字定位所述集成电路 200 内的可能短路位置。如图 6 所示，由于所述输出/入端 F、G、L 和 M 皆以标示相应的虚拟文字，故仅需由所述输出/入端 F、G、L 和 M 所构成的信号网络内寻找所述集成电路 200 内的短路位置。相较于图 2 所示的集成电路的电路短路的局部示意图，现有的集成电路短路位置的搜寻方法需于端点 A 和 B 之间寻找所述集成电路 200 内的短路位置。据此，本实施例所提供的应用于集成电路的物理设计验证的方法可大幅度缩小寻找范围，故可大幅度压缩搜寻集成电路的短路位置时所需的时间。

图 7 显示根据本发明的一实施例的应用于集成电路的物理设计验证的装置的示意图。如图 7 所示，所述装置 700 包含一搜集单元 702、一对比单元 704 和一标示单元 706。所述搜集单元 702 是根据一集成电路的布局资料产生所述集成电路内的元件的输出/入端的数据。所述对比单元 704 是对比所述集成电路的原始电路网表及所述集成电路的布局资料。所述标示单元

706 根据所述对比单元 704 所提供的对比结果及所述搜集单元 702 所提供的所述元件的输出/入端的数据标示所述集成电路内的元件的输出/入端的虚拟文字。

在本发明的一实施例中,所述标示单元 706 是根据所述原始电路网表中所述对比正确的元件标示其输出/入端的虚拟文字。在本发明的另一实施例中,所述标示单元 706 是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。在本发明的又一实施例中,所述搜集单元 702 所产生的输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。

以下示例在图 2 的集成电路的电路短路应用本发明的一实施例的应用于集成电路的物理设计验证的装置的局部示意图。所述搜集单元 702 首先根据所述集成电路 200 的布局数据产生所述集成电路 200 内的所述元件 204、206 及 208 的输出/入端 C~N 的数据。其次,所述对比单元 704 是对比所述集成电路 200 的原始电路网表及所述集成电路 200 的布局资料。接着,所述标示单元 706 即根据对比结果及所述输出/入端 C~N 的数据标示所述集成电路 200 内的所述元件 204、206 及 208 的输出/入端 C~N 的虚拟文字。所述标示的结果即如图 4 所示。

图 8 显示根据本发明的另一实施例的应用于集成电路的物理设计验证的装置的示意图。如图 8 所示,所述装置 800 包含一搜集单元 802、一对比单元 804、一标示单元 806 和一定位单元 808。所述搜集单元 802 是根据一集成电路的布局资料产生所述集成电路内的元件的输出/入端的数据。所述对比单元 804 是对比所述集成电路的原始电路网表及所述集成电路的布局资料。所述标示单元 806 根据所述对比单元 804 所提供的对比结果及所述搜集单元 802 所提供的所述元件的输出/入端的数据标示所述集成电路内的元件的输出/入端的虚拟文字。所述定位单元 808 是根据所述标示单元 806 所

提供的虚拟文字定位所述集成电路内的可能短路位置。

如图 8 所示,所述应用于集成电路的物理设计验证的装置是应用图 7 所示的应用于集成电路的物理设计验证的装置以搜寻一集成电路的短路位置。在本发明的一实施例中,所述标示单元 806 是根据所述原始电路网表中所述对比正确的元件标示其输出/入端的虚拟文字。在本发明的另一实施例中,所述标示单元 806 是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。在本发明的又一实施例中,所述搜集单元 802 所产生的输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。在本发明的再一实施例中,所述定位单元 808 是根据所述标示单元 806 所提供的虚拟文字及外部输入的虚拟文字定位所述集成电路内的可能短路位置。在本发明的再一实施例中,所述定位单元 808 是根据一最短路径算法操作。

以下示例在图 2 的集成电路的电路短路应用本发明的一实施例的应用于集成电路的物理设计验证的装置的局部示意图。类似于图 7 的标示集成电路的虚拟文字的装置,所述搜集单元 802、所述对比单元 804 和所述标示单元 806 是共同运行以标示所述集成电路 200 内的元件 C~N 的输出/入端的虚拟文字。所述定位单元 808 即根据所述标示单元 806 所提供的虚拟文字定位所述集成电路 200 内的短路位置 250。

图 7 及图 8 所示的装置皆可以硬件方式实现,亦可以软件利用一硬件实现。例如,可藉由一计算机执行一软件程序而实现所述装置。

综上所述,本发明的一实施例所提供的应用于集成电路的物理设计验证的方法及其装置是利用布局对比原理图的对比结果标示一集成电路内各元件的输出/入端的虚拟文字,其中根据所述布局对比原理图的对比结果所标示的各元件的输出/入端的虚拟文字的数量可远多于现有技术的手动输入集成电路的虚拟文字。再者,本发明的另一实施例所提供的应用于集成电路的

物理设计验证的方法及其装置是根据本发明的一实施例所提供的应用于集成电路的物理设计验证的方法及其装置，利用所述集成电路的虚拟文字寻找所述集成电路的短路位置。由于本发明可提供远较多于现有技术的集成电路的虚拟文字，故本发明的方法及其装置可大幅度缩减所需寻找短路位置的区块，进而达到大幅度压缩搜寻集成电路的短路位置时所需的时间的目的。

本发明的技术内容及技术特点已揭示如上，然而熟悉本领域的技术人员仍可能基于本发明的教示及揭示而作种种不背离本发明精神的替换及修饰。因此，本发明的保护范围应不限于实施例所揭示的内容，而应包括各种不背离本发明的替换及修饰，并为本专利申请权利要求所涵盖。

权 利 要 求 书

1. 一种应用于集成电路的物理设计验证的方法，其特征在于包含下列步骤：

对比一集成电路的原始电路网表及所述集成电路的布局资料；及
根据对比结果标示所述集成电路内的元件的输出/入端的虚拟文字。

2. 根据权利要求 1 所述的方法，其特征在于，其中所述标示步骤是根据所述原始电路网表中所述对比正确的元件标示所述集成电路输出/入端的虚拟文字。

3. 根据权利要求 2 所述的方法，其特征在于，其中所述标示步骤是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。

4. 根据权利要求 1 所述的方法，其特征在于，其进一步包含下列步骤：
根据所述集成电路的布局数据产生所述集成电路内的元件的输出/入端的数据；

其中所述标示步骤是根据所述对比结果及所述输出/入端的数据标示所述输出/入端的虚拟文字。

5. 根据权利要求 4 所述的方法，其特征在于，其中所述输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。

6. 根据权利要求 1 所述的方法，其特征在于，其进一步包含下列步骤：
根据所述集成电路内的虚拟文字定位所述集成电路内的可能短路位置。

7. 根据权利要求 6 所述的方法，其特征在于，其中所述集成电路内的虚拟文字包含所述输出/入端的虚拟文字及外部输入的虚拟文字。

8. 根据权利要求 6 所述的方法，其特征在于，其中所述定位所述集成电路内的可能短路位置的步骤是根据一最短路径算法执行。

9. 一种应用于集成电路的物理设计验证的方法，其特征在于包含下列步

骤：

根据一集成电路的原始电路网表及所述集成电路的布局数据的对比结果标示所述集成电路内的元件的输出/入端的虚拟文字；及

根据所述集成电路内的虚拟文字定位所述集成电路内的可能短路位置。

10. 根据权利要求 9 所述的方法，其特征在于，其中所述标示步骤所述原始电路网表中所述对比正确的元件标示所述集成电路输出/入端的虚拟文字。

11. 根据权利要求 10 所述的方法，其特征在于，其中所述标示步骤是根据原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。

12. 根据权利要求 9 所述的方法，其特征在于，其进一步包含下列步骤：

根据所述集成电路的布局数据产生所述集成电路内的元件的输出/入端的数据；

其中所述标示步骤是根据所述对比结果及所述输出/入端的数据标示所述输出/入端的虚拟文字。

13. 根据权利要求 12 所述的方法，其特征在于，其中所述输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。

14. 根据权利要求 9 所述的方法，其特征在于，其中所述集成电路内的虚拟文字包含所述输出/入端的虚拟文字及外部输入的虚拟文字。

15. 根据权利要求 9 所述的方法，其特征在于，其中所述定位所述集成电路内的可能短路位置的步骤是根据一最短路径算法执行。

16. 一种应用于集成电路的物理设计验证的装置，其特征在于包含：

一对比单元，对比一集成电路的原始电路网表及所述集成电路的布局资料；及

一标示单元，根据所述对比单元所提供的对比结果标示所述集成电路内

的元件的输出/入端的虚拟文字。

17. 根据权利要求 16 所述的装置，其特征在于，其中所述标示单元是根据所述原始电路网表中所述对比正确的元件标示所述集成电路输出/入端的虚拟文字。

18. 根据权利要求 17 所述的装置，其特征在于，其中所述标示单元是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。

19. 根据权利要求 18 所述的装置，其特征在于，其进一步包含：

一搜集单元，根据所述集成电路的布局资料产生所述集成电路内的元件的输出/入端的数据，以提供所述标示单元标示所述集成电路内的元件的输出/入端的虚拟文字。

20. 根据权利要求 19 所述的装置，其特征在于，其中所述搜集单元所产生的输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。

21. 根据权利要求 16 所述的装置，其特征在于，其进一步包含：

一定位单元，根据所述标示单元所提供的虚拟文字定位所述集成电路内的可能短路位置。

22. 根据权利要求 21 所述的装置，其特征在于，其中所述定位单元是根据所述标示单元所提供的虚拟文字及外部输入的虚拟文字定位所述集成电路内的可能短路位置。

23. 根据权利要求 21 所述的装置，其特征在于，其中所述定位单元是执行一最短路径。

24. 一种应用于集成电路的物理设计验证的装置，其特征在于包含：

一标示单元，根据一集成电路的原始电路网表及所述集成电路的布局数据的对比结果标示所述集成电路内的元件的输出/入端的虚拟文字；及

一定位单元，根据所述标示单元所提供的虚拟文字定位所述集成电路内

的可能短路位置。

25. 根据权利要求 24 所述的装置，其特征在于，其中所述标示单元是根据所述原始电路网表中所述对比正确的元件标示所述集成电路输出/入端的虚拟文字。

26. 根据权利要求 25 所述的装置，其特征在于，其中所述标示单元是根据所述原始电路网表中所述对比正确的元件的所有输出/入端及所述输出/入端连接的节点标示所述对比正确的元件内的所有输出/入端的虚拟文字。

27. 根据权利要求 24 所述的装置，其特征在于，其进一步包含：

一搜集单元，根据所述集成电路的布局资料产生所述集成电路内的元件的输出/入端的数据，以提供所述标示单元标示所述集成电路内的元件的输出/入端的虚拟文字。

28. 根据权利要求 27 所述的装置，其特征在于，其中所述搜集单元所产生的输出/入端的数据包含所述元件的名称、所述元件的输出/入端的名称、所述元件的输出/入端的坐标及所述元件的输出/入端所在的阶层位置。

29. 根据权利要求 24 所述的装置，其特征在于，其中所述定位单元是根据一最短路径算法操作。

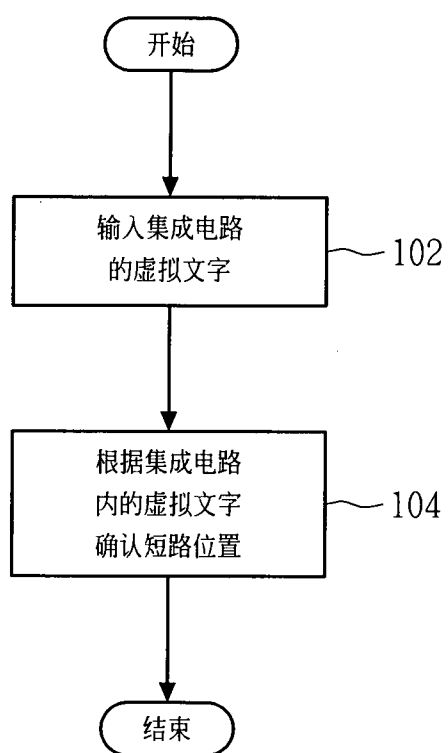


图 1

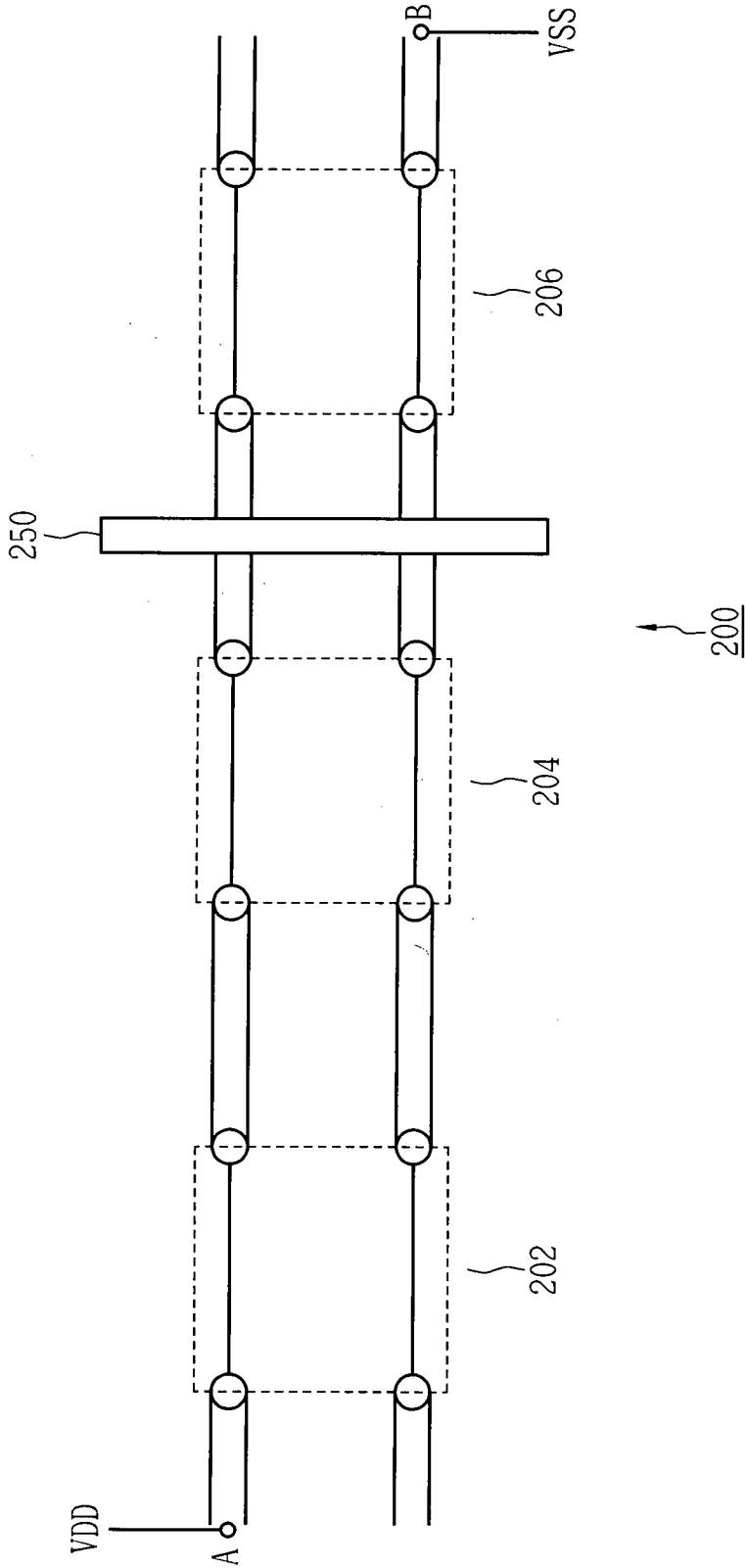


图 2

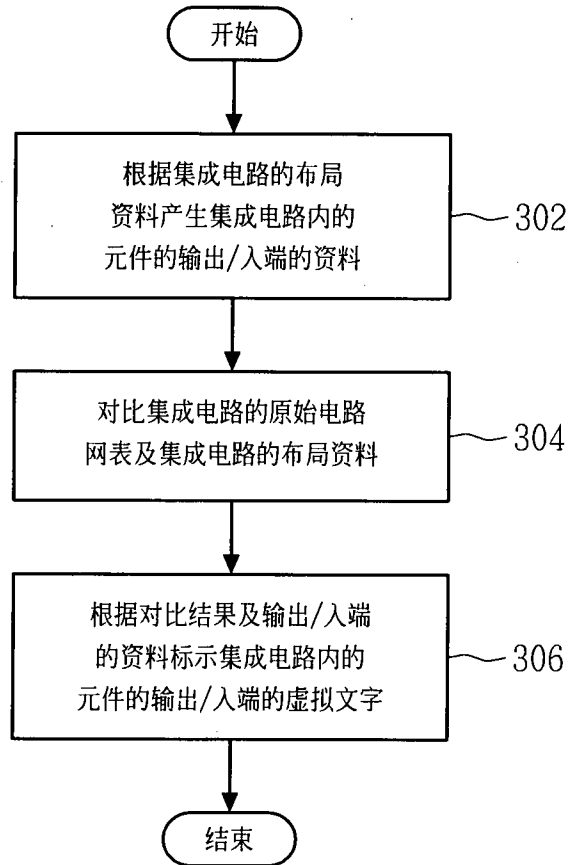


图 3

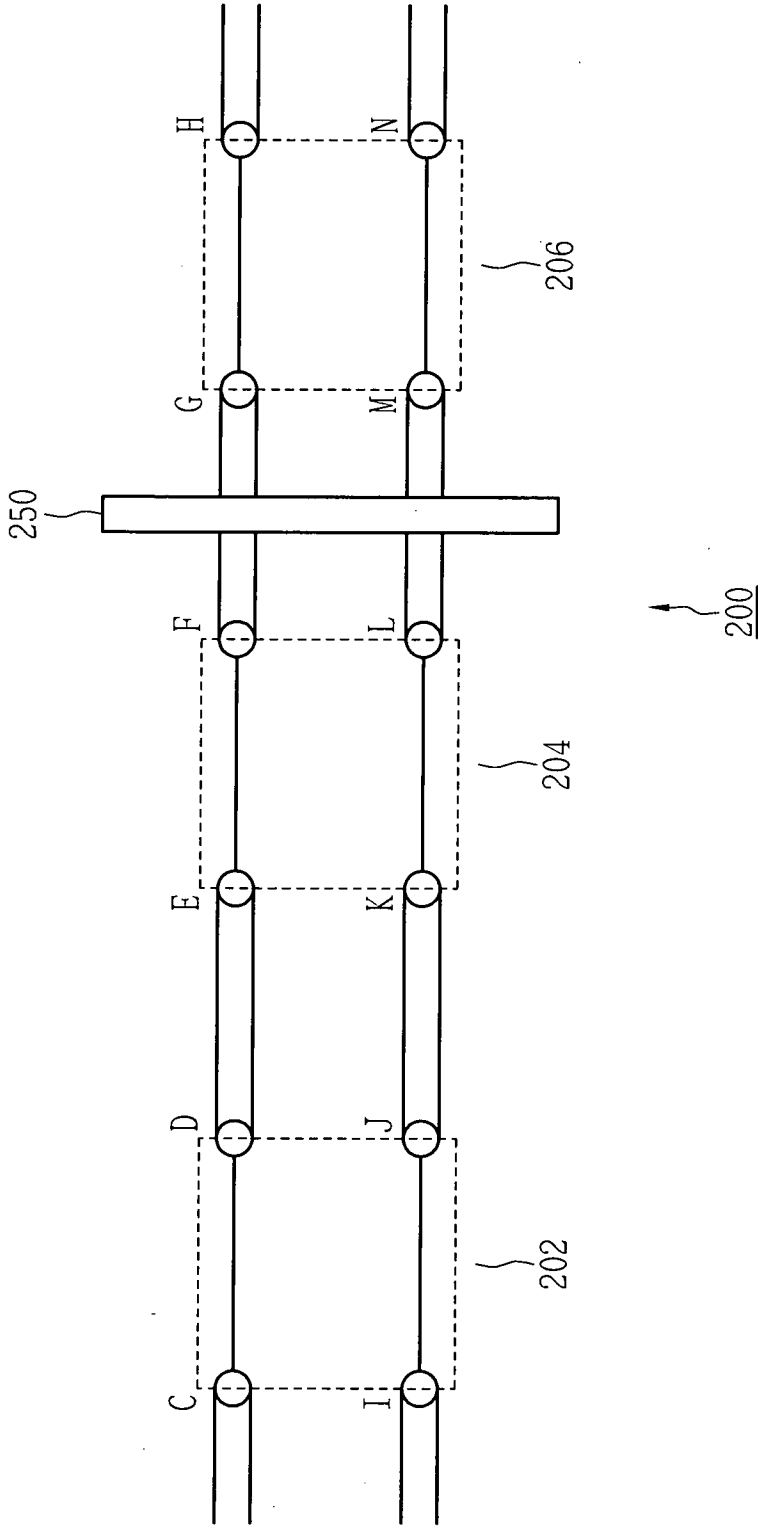


图 4

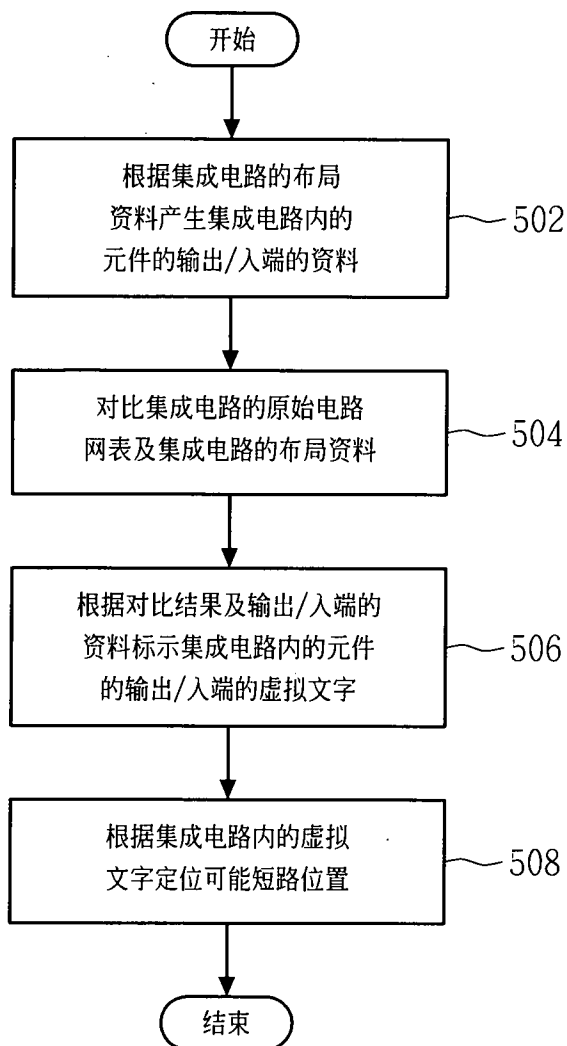


图 5

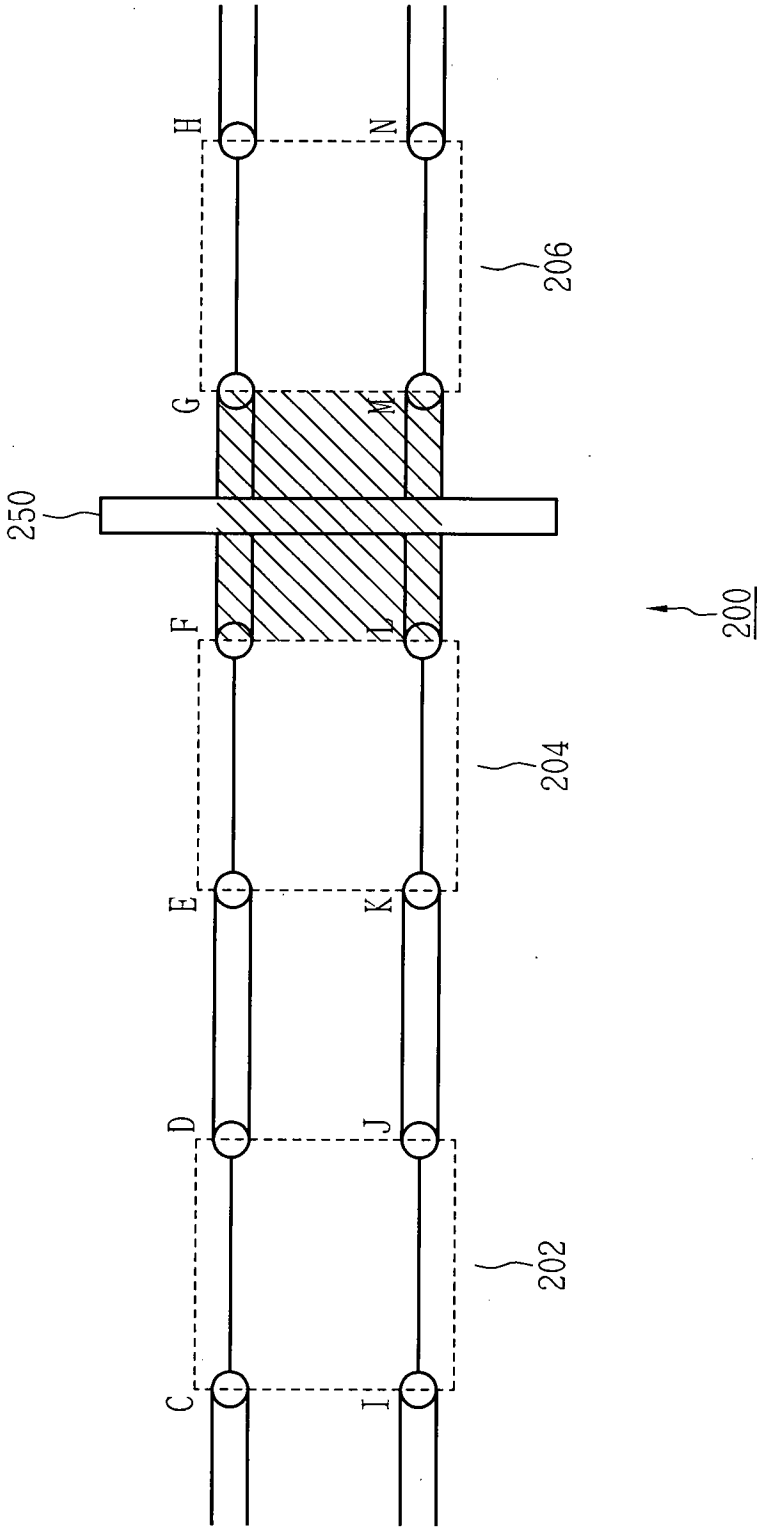
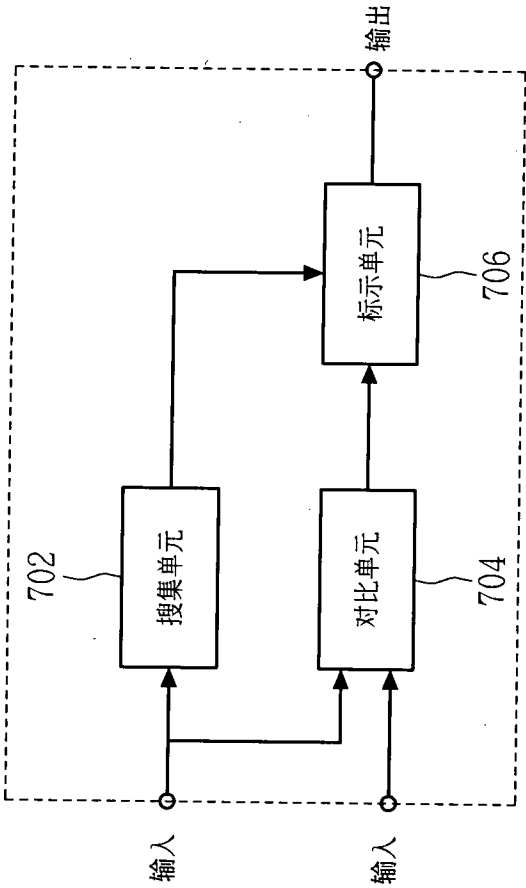


图 6



700

图 7

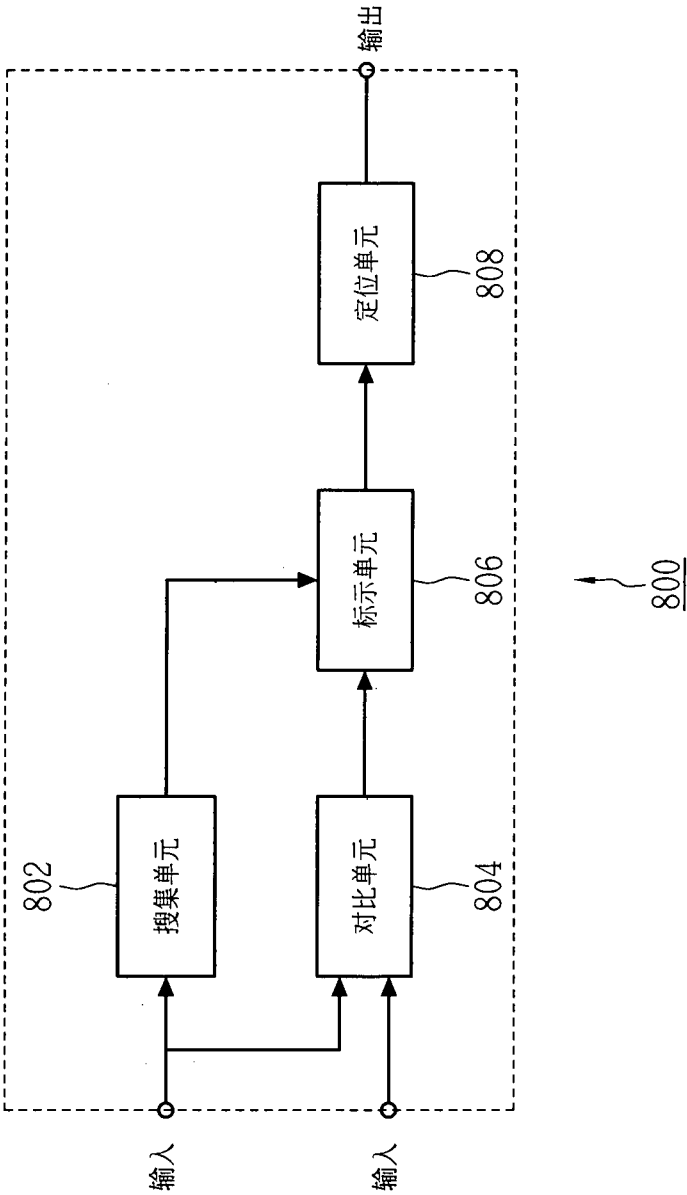


图 8