

公告本

89.10.16 修正
年 月 日 補充

A4
C4

434565
434565

申請日期	87.10.27
案 號	87117795
類 別	G11C5/06, 11/34

(以上各欄由本局填註)

發明專利說明書 (89年10月修正)

一、發明 名稱	中 文	具有間條主位元線之分層位元線架構的半導體記憶體
	英 文	Semiconductor Memory Having Hierarchical Bitline Architecture with Interleaved Master Bitlines
二、發明 創作人	姓 名	1. 葛哈德慕勒 (Gerhard Mueller) 2. 桐畑俊明 (Toshiaki Kirihata)
	國 籍	1. 美國 2. 日本
	住、居所	1. 美國紐約州12590瓦賓格爾斯瀑布觀城路168號 2. 美國紐約州12603包包基普塞米斯帝里基廣場10號
三、申請人	姓 名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
	國 籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國紐約州10504艾蒙克新橡路
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt) 3. 傑佛瑞L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

434565

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

美國

國(地區)

申請專利，申請日期：

案號：

☒有

☐無主張優先權

1997.12.18

08/993,537

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

-2a-

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明之發明領域係有關於如動態隨機存取記憶體(DRAM)的半導體記憶體。尤其是，本發明有關於具有改進之含間條主位元線的分層位元線架構之半導體記憶體。

發明背景

由於當代半導體記憶體之整合密度持續改進，有必要設計一種高良率的產品，即不會過度複雜，且不會犧牲性能的目標。在高密度設計中一項關鍵性的記憶體參數為位元線電容。當記憶體變得較小時，設計上必需可減少感測放大器排數，而防止位元線電容及位元線間電容過大。位元線電容相對於儲存晶胞電容愈大，則相關感測放大器輸入端的儲存晶胞信號愈小，則數據錯誤的可能性愈高。

第1圖示習知技術中的DRAM架構，稱為一全長度位元線架構。各感測放大器(SA)連接一或二對相當長的位元線，基本上由鎢組成。各位元線連接大量的記憶體晶胞MC，其沿著位元線配置。例如，在行(i+1)中的感測放大器 SA_{i+1} 連接一側之真位元線 $BL_{(i+1)a}$ 及其互補 $\overline{BL_{(i+1)a}}$ ，且連接在另一側之真位元線 $BL_{(i+1)b}$ 及互補位元線 $\overline{BL_{(i+1)b}}$ 。此稱為摺疊位元線架構。在文中，一行有時候稱為一位元線對。在某些例子中，一行稱為兩相鄰的位元線。控制各感測放大器兩側上的隔離開關(未圖示)以選擇那一個位元線群寫入或讀取字元線WL，WL垂直於連接至共同行晶胞之位元線，並選擇性的啟動晶胞MC，以進行資料傳輸及重新操作。

五、發明說明(2)

如第2圖所示，各記憶體晶胞MC包含一場放電晶體12及一儲存電容C。如所知，在讀取操作中，啟動一字元線以導通同一列上的電晶體12，因此將儲存在電容C上的電荷傳送予位元線，反之亦然。讀取前預充電位元線至一參考電壓。當字元線被啟動，而使得電荷在電容器及相關位元線之間移轉時，該位元線的電位改變。如果耦合真位元線的晶胞被讀取時，其互補之位元線運成以提供充電前之參考電壓予感測放大器，反之亦然。因此當近接一晶胞時，在真及互補位元線之間產生差壓。由行之感測放大器放大此差壓以對讀取的數據提供固定的邏輯準位。

位元線的電容與位元線長度成比例。因此，由可容忍之最大位元線電容限制位元線長度。一般由可允許的感測邊際及功率耗損決定最大電容。因此，為了經由在一陣列中由增加記憶體晶胞數目而增加記憶體容量，該陣列必需更多的感測放大器。因為感測放大器相當大，但是晶片的尺寸可隨著增加。

第3圖為習知技術之DRAM架構的示意圖，稱為分層位元線架構，其可解決上述全長度位元線佈局的缺點。此架構與美國專利號碼Re.33,694所揭露之電路結構形狀類似，該文標題為“具分段位元線的動態記憶體陣列”。如SA_i的各感測放大器連接一對主位元線MBL及 $\overline{MBL}$ （分別是真的以及互補）。主位元線包含如鋁或鎢的金屬。K個開關SW連接在如MBL的各主位元線以及K個圖對應鎢之局部位元線LBL_i。

五、發明說明(3)

-LBL_k之間。控制線17_k-17_k控制開關SW的開關狀態。而每一個控制線啟動或去動同列中之開關。在與局部位元線不同的垂直層中架構主位元線。多個(基本上可到數百)記憶體晶胞MC連接各局部位元線。當要近接指定的記憶體晶胞時，連接與相關的局部位元線至主位元線MBL_k的開關SW經作用到控制線17_k的邏輯高準位而導通。因此，只有一局部位元線對LBL，LBL連接行之主位元線，且在讀取/寫入操作期間連接相關的感測放大器。因為各局部位元線比全長度架構短，其電容較少然後總位元線電容為局部位元線電容及主位元線電容之加總。但是，每單位長度的主位元線電容少於每單位長度之局部位元線電容，係因為局部位元線直接耦合大量的記憶體晶胞，此有助於局部位元線電容，而主位元線不延遲耦合晶胞之故。因此，對於給定的行長度，總電容可極小於全長度佈局。因此，耗用較少之空間的感測放大器為具指定數目之記憶體晶胞的晶片所需要者。該架構允許各感測放大器可用於各多的晶胞，且耦合局部位元線及一長主位元線，所以減少每晶片中感測放大器的數目。因此可使得晶片尺寸較小，係假設分配予開關SW及額外控制電路的區域不超過由減少感測放大器數目所省下的面積。

第3圖之佈局的一項缺點為在各行中，主位元線涵蓋行之全長度，使得相鄰行的主位元線(如C_i，C_{i+1})可側對側靠著。因此，主位元線(MBL)間距，即相鄰主位元線之中

五、發明說明(4)

心線之間的周期間隔基本上與局部位元線間距相同。應用高密度記憶體，MBL間距可相當小。此限制了記憶體的產量，而緊鄰之MBL之間短路的可能性相當大。而且，必需將MBL的寬度維持在相當窄的範圍內以提供相鄰的MBL之間提供足夠的空間。而且，相鄰MBL之間緊密間隔導致高位元線間電容，所以，產生高的總MBL電容。

第3圖之架構的另一項缺點為增加與各主位元線相關之多個位元線開關的佈局。開關及對應的控制線佔據相當大的晶片空間，且使得記憶體程序更困難。而且，需要動作及停止大量開關的控制及解碼電路相當複雜且耗損相當大的空間。

所以，需要有一種半導體記憶體架構，其中可維持位元線電容在相當低的數值內，而不會導致過度複雜的佈局，且具有高的產量。

發明概述

本發明係相關一種半導體記憶體，包含多個形成多行及多列配置的記憶體晶胞以儲存數據；各行包含至少一感測放大器，至少一對操作上耦合該感測放大器的主位元線，及至少兩對耦合記憶體晶胞且視需要耦合感測放大器的局部位元線，其中至少一局部位元線對視需要經主位元線對耦合感測放大器；其中各主位元線的長度比行長度短，且在記憶體晶胞上至少某些主位元線的至少一部份的間距比局部位元線的間距大。

五、發明說明(5)

最好，因為主位元線間距比局部位元線間距寬，即約兩倍寬，使得主位元線的處理較容易。因此可增加良率。另外，各主位元線的長度約與局部主位元線長度相同，在此主位元線電容大致上減少。一較寬的主位元線間距也可以減少位元線之間的電容，因此減少全部主位元線之電容。而且，共用各主位元線只使用兩位元線選擇開關，使得不會增加電路的複雜性且易於控制/解碼電路。

本發明的另一實施例可使用在快閃RAM及其他的應用中，可使用具各感測放大器的參考晶胞去除互補主位元線及局部位元線。間條型式的主位元線視需要耦合兩局部位元線，且約為各記憶體方塊中行長度之半。在此實施例中主位元線間距寬度比局部位元線間距寬。

圖式之簡單說明

由下文中的說明可更進一步了解本發明之特徵及優點，閱讀時並請參考附圖，各附圖中相同的標示表示相同的組件，其中

第1圖說明習知技術中全長度DRAM架構；

第2圖為記憶體晶胞的示意圖；

第3圖說明具分層位元線架構之習知技術的DRAM；

第4圖示本發明中使用摺疊位元線形態之半導體記憶體的第一實施例；

第5圖示本發明記憶體內之位元線佈局的一部份；

第6圖為使用共用感測放大器之本發明實施例；

五、發明說明(6)

第7圖及第8圖示本發明之交替摺疊位元線的實施例；

第9圖示使用一開位元線配置之本發明的實施例；

第10圖及第11圖示使用含感測放大器之參考晶胞的本發明另一實施例；以及

第12圖示對於各主位元線使用多於兩個之局部位元線的本發明另一實施例。

發明之詳細說明

本發明係有關於用於半導體記憶體之執行的分層位元線架構。本發明提供一方式，與習知技術比較可據以得到較寬的主位元線間距而得到較低的主位元線電容，而不會使得電路複雜化。為了說明上的需要，下文中以DRAM晶片說明本發明的實施例。但是，本發明可適於更寬廣的範圍。例如，本發明可應用在如EDO-DRAM，SDRAM，RAMBUS-DRAM，SLDRAM，MDRAM，SRAM，快閃RAM，EPROM，EEPROM，光罩ROM，或合併DRAM-邏輯(埋入DRAM)。

第4圖為DRAM記憶體晶胞陣列30之一部份的示意圖，其為本發明的第一實施例。但是文中僅顯示陣列30中的四行 $C_i - C_{i+3}$ ，基本上該陣列可包含上百或數千行。基本上，各DRAM晶胞使用大量的陣列30。各行包含一感測放大器，如耦合一對主位元線 MBL_{1i} ， MBL_{1i} 的 SA_i 呈摺疊位元線之配置，即位元線對連接感測放大器的同一側。主位元線(MBL)對基本上呈交錯配置，即對於各依序的行中從左到右呈交替之配置。另外，各行的主位元線與如局部位元線 LBL_i ， LBL_i 具

五、發明說明(7)

相同的長度。此將於下文中加以說明，依據此方法間條主位元線，且縮短其長度到約行長度之半或更短，與習知技術的架構比較，主位元線間距可更寬。由於減少主位元線長度，且至少相鄰 MBL 之間的間隔可使得整個的主位元線電容減少。則增加間隔導致在相鄰 MBL 之間的位元線間電容減少，因此減少 MBL 的總電容。可設計 MBL 間距為 LBL 間距的兩倍。一較寬的間距可改進 DRAM 的良率，其中可減少相鄰主位元線之間產生電短路的可能性。而且，經由加寬 MBL 間距，可增加主位元線的寬度，因此放寬了 MBL 製造上的要求，且減少在線上開口的可能性。

陣列 30 中的各行，如行 C_i 可包含感測放大器 SA_i ，其可為各側上之行共用或不共用。最好可共用，為減少對於一給定記憶體容量之感測放大器的數目。在非共用的例子中，如第 4 圖所示的例子，一主位元線對 MBL_i ， MBL_i 耦合感測放大器 SA_i 。如 MBL_i 的各主位元線視需要經由兩位元線選擇開關 23 及 25 (基本上為 NFET) 中之一開關，連接兩真位元線 LBL_{1i} 或 LBL_{2i} 中之一項。同樣地，如 MLB_i 之各互補主位元線可視需要經由耦合於其上之選擇開關 23，25 而連接互補局部位元線 LBL_{1i} 或 LBL_{2i} 中之一項。在與局部位元線不同之垂直層上製造主位元線。MBL 可包含如鋁或鎢，而 LBL 基本上包含盒。基本上各局部位元線連接數百個記憶體晶胞，如 256 或 $512 \times 8F^2$ ，在此 F 為最小特徵尺寸。在第 4 圖的實施例中，定義記憶體晶胞中之一行 (如行 C_i)

五、發明說明(8)

為耦合如 LBL_{1i} 之真局部位元線及耦合如 LBL_{1i} 之相鄰的對應互補位元線之記憶體晶胞。但是，如文中說明者，該項目“行”並沒有受到此項限制。在其他的實施例中，記憶體晶胞中的一行可視為只這些記憶體晶胞耦合真或互補局部位元線，如在第4圖之示意佈局中耦合 LBL_{1i} 及 LBL_{2i} 的記憶體晶胞。文中的“行長度”指介於間隔之感測放大器排之間的長度。例如，第4圖的行長度為 $D_{3a} + D_{3b}$ 。例如，項目“間條”指包含第4圖之單一交替行中之記憶體晶胞次陣列中從左向右交替的主位元線之例子，及對於二或多個相鄰行之次陣列的左手側主位元線側對側配置，然後在二或多個相鄰行中在次陣列的右手側主位元線側對側配置的例。另外，一般局部位元線的長度指分開耦合局部位元線之一端的第一記憶體晶胞與耦合局部位元線之另一端的最後記憶體晶胞（不考慮閒置晶胞以簡化討論）。

在陣列30的各行中，在真主位元線及最靠近感測放大器（如 LBL_{1i} ）的局部位元線之間耦合一位元線選擇開關，且在最接近感測放大器（如 LBL_{1i} ）及互補主位元線 MLB_i 之間耦合另一開關23。同樣地，在最遠離感測放大器（如 LBL_{2i} ）的真局部位元線及真主位元線之間耦合一開關25。同一行的開關23，25其源極在電路節點22處連接，且也經由一互連接的穿越洞連接相關的MBL。各MBL可具有一微錐36以增加相鄰行之間條MBL之間的間隔。

開關控制線 27_1 及 27_2 與字元線平行，且連接在一行中

五、發明說明(9)

相對齊的 FET 開關 23 的閘極。如習知技術，各控制線 27_1 ， 27_2 係從位址解碼器及控制電路中發出。因此，例如當需要近接一耦合 LBL_{1i} 的記憶體晶胞時（從其上寫入或讀取），位址解碼器及控制電路（圖中沒有顯示）驅動控制線 27_1 至高準位，因此可開啟全部與其連接的 FET 開關 23，25。用於將存取之記憶體晶胞的字元線（如 WL_j 或 WL_{j+1} ）動作，如同耦合目標晶胞之行中的感測放大器之行選擇線（未圖示）。當控制線 27_1 為高準位時，控制線 27_2 為低準位，反之亦然，在此在任何行中只有位元線開關 23 或 27 在任何給定的時間中均在開啟狀態。因此，主位元線 MBL_i 連接任一局部位元線 LBL_{1i} 或 LBL_{2i} 。同樣地，主位元線電性連接至 $\overline{LBL_{1i}}$ 或 $\overline{LBL_{2i}}$ 。

最好，主位元線的長度均之間局部位元線。距離 $D3a$ 表示主位元線長度及局部位元線長度，如在圖中左側上 LBL 。距離 $D3b$ 為在右手側上之位元線的對應距離。最好 $D3a$ 等於 $D3b$ ，在此主位元線約為行長度之半（一行之長度等於 $D3a + D3b$ ，即約等於相鄰感測放大器排的間隔）。因此，當與第 2 圖之習知技術的配置比較時（其中主位元線與行長度約等於），主位元線長度的減半。因此，大致上可將與長度成正長的主位元線電容減少。與第 1 圖之習知技術的全長度架構比較下，局部長度為一半（假設在兩例子中與感測放大器分開的距離）。為 LBL 電容及 MBL 電容之合的總電容小於全長度架構之半，係因為每單元長度之 MBL 電容小於上

五、發明說明(10)

述每單位長度 LBL 電容。

如上所述，因為 MBL 長度減半，且以間條方式配置主位元線，相鄰行之主位元線之行邊不相通過。結果，可加寬主位元線間距，即主位元線之中心線之間的周期間隔。在第 4 圖中，距離 D2 表示同一行中真及互補主位元線之中心線之間的距離。距離 D4 表示相鄰主位元線之距離間隔兩行。最好，設計 D4 約等於 D2，以在列方向提供均勻間隔的主位元線。應用均勻間隔的主位元線，任何兩其次主位元線之間的間隔基本上為最大（對於給定的主位元線寬）。主位元線之間的間隔愈大，則短路的可能性愈小。而且，經由至少主位元線對之間的距離，可減少耦合及不同對之主位元線之間的雜訊。而且，由於增加的間隔可減少主位元線電容。

本發明的另一優點為其主位元線寬度的設計中提供韌性。經由增加間距，該寬度可加寬。經由增加間距，寬度可加寬以放寬產生上千個極薄金屬線時製造上的要求。應用較寬的主位元線，可消除在線上之開路的可能性。

第 5 圖之平面圖，顯示在本發明中此將於下文加以說明之其他實施例或記憶體陣列 30 之代表性的主位元線及位元線的某些部位。如上所述，如介於 C_i 及 C_{i+2} 之間的兩個 MBL 之間的間隔 D4 最好等於間距 D2，在此 MBL 之間的距離相當均勻。而且，主位元線寬度 W_M 可加以設計使得約為 MBL 間距 D2 之半。局部位元線間距 P1 大致上少於 MBL 間距以簡

五、發明說明 (II)

化到相鄰列之記憶體晶胞間的連結。為了使得 LBL 之間隔均勻，即相鄰行之 LBL 之間的 $D6$ 等於 $D1/2$ (距離 $D1$ 之一半)，LBL 間距可為 MBL 間距之半。

對於文中說明的實施例中，用於控制字元線之適當的定時及控制電路，行選擇線，位元線開關 23, 25, 耦合局部位元線的等化電路等為業界所熟知者，且在此不予說明。本發明中可使用傳統上用於讀取或寫入數據於記憶體晶胞中 (基於到 DRAM 的進入位址) 的技術。用於各感測放大器之電路配置大致上是傳統上的配置。

與局部及主位元線相當之位元線開關 23, 25 的實際配置大致上與上述美國專利 Re. 33, 694 類似的傳統配置。

現在請參考第 6 圖，其中顯示本發明另一實施例的配置，其與第 4 圖之記憶體陣列 30 相同，唯使用一共用之感測放大器。因此，如 SA 之第 6 圖的各感測放大器包含在一側 (未圖示) 的隔離或多工開關以選擇將存取之次陣列 (如 31, 或 32)。因此如 SA 的各感測放大器耦合兩主位元線對 $MBLa$, $MBLa$ 及 MBL , $MBLb$ 。視需要將主位元線 $MBLb$ 耦合各局部位元線 $LBL1a$ 或 $LBL2a$ 。給定互補主位元線 $MBLa$ 及 $MBLb$ 視需要耦合互補局部位元線。為了存取次陣列 32 的晶胞，所以動作控制線 27_1 或 27_2 ，為了存取次陣列 31 中的晶胞，所以動作控制線 27_3 或 27_4 。感測放大器 SA_{i+1} 視需要放大來自次陣列 32 的記憶體晶胞或來自另一側 (圖中只顯示一部份) 上的次陣列 33 上晶胞的放大信號。基本上，在

五、發明說明(12)

DRAM晶片上具有大量的次陣列，如31-32。在此各次陣列的感測放大器耦合來自一共同行解碼器的選擇線。在任何情況中，上述加寬MBL間距，減少MBL線，等之優點均可等效地應用在具有共用感測放大器配置的記憶體陣列30'上。最好使用一共用感測放大器配置，係因可將感測放大器之數目減半，因此減少對於給定記憶體晶片容量的晶片尺寸，如現今之容量，如64Mb，128Mb，或16Gb之型式。

現在請參考第7圖，其中顯示本發明的另一實施例，以記憶體陣列40表示。在此實施例中，各感測放大器如 SA_i 視需要連接主位元線 MBL_i ， $\overline{MBL_i}$ 或從位元線對 LBL_{1i} ， $\overline{LBL_{1i}}$ 。位元線 MBL_i 及 LBL_{1i} 連接感測放大器 SA_i 的共同電路點(未圖示)。同樣地，位元線 MLB_i 及 LBL_{1i} 連接 SA_i 內的另一同用電路點。因此，位元線 MBL_i 及 LBL_{1i} 連接第一感測放大器輸入，而 $\overline{MLB_i}$ 及 $\overline{LBL_{1i}}$ 連接第二感測放大器輸入(例如說明的差壓作用在第一及第二感測放大器輸入之間)。感測放大器配置可為上述說明之共用或非共用型式而最好是一共用型式。局部位元線 LBL_{1i} 及 LBL_{2i} 與中心區域“g”關斷。主位元線 MBL_i 及 $\overline{MBL_i}$ 經層際互連結連接對應電路節66處對應的局部位元線 LBL_{2i} 及 $\overline{LBL_{2i}}$ 。控制線48，49，50，51控制各行中對應的開關57，53，59及61的開/關狀態。

在第7圖的“偶數”行，如 C_i ， C_{i+2} ， $\dots$ ， C_N ，其存取連接近側位元線，如 LBL_{1i} ，或其互補位元線 $\overline{LBL_{1i}}$ 的記

五、發明說明(13)

憶體晶胞 MC 中，驅動控制線 48 至高準位，以導通開關 57，控制線 49 維持低準位，以關斷開關 53。為了存取連接遠側位元線 LBL_{2i} 或 $\overline{LBL_{2i}}$ 的記憶體晶胞，驅動控制線 49 為高準位且控制線 48 維持在低準位處。同樣地，在存取記憶體晶胞（其連接如 $LBL_{1(i+1)}$ 或其互補之近側局部位元線）的奇數行 C_{i+1} ， C_{i+3} ，……， C_{N-1} 中，驅動控制線 51，50 到高及低準位，反之亦然，以存取連接如 $LBL_{2(i+1)}$ 及 $\overline{LBL_{2(i+1)}}$ 的局部位元線。

如果使用一共用感測放大器之配置，各“偶”感測放大器（如 SA_i ）可視需要耦合到如上所述的主位元線對 MBL_i ， $\overline{MBL_i}$ 或局部位元線對 LBL_{1i} ， $\overline{LBL_{1i}}$ 的一側，且耦合到 MBL_i 對 MBL'_i ， $\overline{MBL'_i}$ 或 LBL 對 LBL_{1i} ， $\overline{LBL'_{1i}}$ 。可以類似 48, 49 的方式操作控制線 48' 及 49' 以控制開關 53' 及 57' 的狀態。可以傳統方式在感測放大器內使用隔離（多工）開關以將存取之次陣列，如次陣列 31，32。但是，最好開關 53, 53'，57 及 57' 具有 LBL 選擇開關及隔離開關的雙項功能。因此，例如，為了存取次陣列 32，控制線 48'，49' 可維持在低準位以隔離次陣列 31 與偶數感測放大器，而驅動控制線 48 或 49 中之一到高準位以存取次陣列 32 的目標局部位元線。同樣地，在如 SA_{i+1} 之奇感測放大器反側上的共用次陣列（未圖示）可在控制線 50，51，50' 及 51' 控制下應用類似的方式加以隔離或存取。

同樣地第 7 圖之實施例 40 顯示記憶體 30 的優點，即寬的

五、發明說明 (14)

主位元線位元線，低主位元線電容等。距離 $D1$ ， $D2$ ， $D3a$ ， $D3b$ ， $D4$ 可相同或類似陣列 30 中者。其中一項為記憶體陣列 40 對於各次陣列使用四個控制線 48-51，而陣列 30 只使用兩個。陣列 40 之一優點為記憶體晶胞 MC 耦合近似的局部位元線，當 LBL_{1i} 沒有看到任何主位元線電容時，在此來自這些記憶體晶胞的晶胞信號可高於陣列 30 者。

第 8 圖為本發明另一實施例的示意圖。基本上記憶體陣列 40' 與第 9 圖之記憶體陣列 40 相同，唯近側局部位元線不直接耦合感測放大器，而是視需要經開關 67 或 73 耦合在感測放大器處的相關主位元線。例如，為了存取連接 LBL_{1i} 或 LBL_{1i} 的晶胞，驅動控制線 48 到高準位，以導通開關 67，且控制線 49 維持在低準位，以關斷開關 53，反之亦然，以存取連接 LBL_{2i} 或 LBL_{2i} 的晶胞。同樣地，驅動控制線 50，51 到高準位，或低準位，以視需要存取在低行中的存取記憶體晶胞。否則，陣列 40' 基本上具有與上述陣列 40 的相同優點。如果使用一共用感測放大器配置，在控制線 48-51 及 48'-51' 的控制下，局部位元線選擇開關可作用如一隔離開關。

現在請參考第 9 圖，其中顯示本發明另一實施例的製造陣列 80。此實施例使用一開位元線架構。此實施例使用一開位元線架構，在其次行上具間條主位元線，且視需要耦合各感測放大器的局部位元線。各感測放大器如 SA_i 具有一耦合到其上的主位元線對 MBL ， MBL ，其位在感測放大器

五、發明說明(15)

之一側，而MBL在另一側上延伸。各真正主位元線MBL及各互補主位元線MBL摺疊一不同的電路節點82，此節點位在第一位元線選擇開關23及第二位元線選擇開關25之間。耦合於一靠近相關感測放大器的局部位元線LBL或LBL₁及對應主位元線MBL或MBL之間。各開關25耦合於最遠離相關感測放大器的局部位元線及相關主位元線之間。控制線87₁及87₄交替連接交替行之對應開關，23，25。為了存取耦合LBL₁或LBL₁的晶胞，控制線87₁及87₃驅動到高準位，而控制線87₂及87₄則維持在低準位，反之亦然，以存取耦合LBL₂或LBL₂的晶胞。

在移動陣列80中，各主位元線長與各局部位元線長度約等於行長度L_c之半或更短。經由間條交替行中的主位元線，且使其長度長度約為行長度之半，可選擇主位元線間距約為局部位元線之兩倍，其方式類似第4-8圖之實施例中所使用者（其使用摺疊的位元線）。上述第4-8圖之實施例的優點為低MBL電容，寬MBL間距，簡單之記憶體程序等可等效作用在第9圖的開位元線配置中。

第9圖的配置可經由改變開關23，25的位置而加以修改，其方式類似第4圖之記憶體陣列30到第7圖之記憶體陣列40或第8圖之40'的修改。即各局部位元線LBL₁及LBL₁可視需要直接由局部位元線（如LBL₁）及感測放大器輸入之間的開關23之移動而連接相關的感測放大器。在此例子中，各開關25最好在感測放大器附近移動，可在主位元線及

五、發明說明(16)

第7圖之對應感測放大器輸入之間，或近側局部位元線及第8圖之主位元線之間。在另一例子中，局部位元線 LBL_1 及 LBL_2 可直接連接對應的主位元線，如第7，8圖所示。修改的實施例中，需要兩倍的控制線。

第10圖為本發明另一實施例的示意圖，以記憶體陣列100標示。此實施例中經由在如 SA_i 的各感測放大器內使用一參考晶胞RC而防止互補主位元線及互補局部位元線。參考晶胞RC提供參考電壓予感測放大器，在上述實施例中，當晶胞耦合將存取的真MBL時，該感測放大器由互補MBL提供，或者當存取互補MBL時，則由真MBL提供。記憶體晶胞陣列100適於使用在如快閃RAM晶片中。

在記憶體陣列100中，如 SA_i 的各感測放大器之一側耦合第一主位元線 MBL_1 且另一側耦合第二主位元線 MBL_2 。為了在行 C_i 中存取晶胞（該行耦合同行之局部位元線 LBL_{11} ），控制線87₃驅動到高準位，因此將耦合至其上的開關23導通，而控制線87₁，87₂及87₄則維持在低準位。同樣地，為了存取耦合 LBL_{12} 之行 C_i ，控制線87₁ - 87₃維持在低準位，而控制線87₄維持在高準位，依此類推。（須了解在上述摺疊位元線的實施例中，一行的記憶體晶胞包含耦合一位元線對的真及互補局部位元線，即該記憶體晶胞耦合各記憶體方塊的四個局部位元線。在第10圖的陣列中，一行指只耦合兩局部位元線一的記憶體晶胞，如或記憶體方塊131之行 C_i 的 LBL_{21} 及 LBL_{22} 或在記憶體方塊123中

五、發明說明(17)

行 C_i 的 LBL_{11} 及 LBL_{12})。

在記憶體晶胞陣列 10 的佈局中，各 LBL 與相鄰行之 LBL 相間條，各 LBL 只耦合兩局部位元線，且其長度約為行長度 L_c 之半或更少。因此，記憶體陣列 100 存在上述的某些優點，如較寬的電路，減少的 MBL 電容，應用較鬆的記憶體程序等。最好 MBL 電路為局部位元線電路的兩倍。

如第 9 圖之實施例的例子，可經由改變開關 23，25 的位置而修改記憶體晶胞陣列 100，其方式類似第 7 圖之記憶體陣列 40 或第 8 圖之 40'。即，各近側局部位元線 LBL_{11} 及 LBL_{27} 可視需要由移動如 LBL_{11} 之近側局部位元線及感測放大器輸入之間的開關 23 而連接相關的感測放大器。在此例子中，最好各開關 25 也在感測放大器附近移動，可在主位元線及對應感測放大器輸入之間，或在近側局部位元線及主位元線之間。在任何一例子中，遠側局部位元線 LBL_{12} 或 LBL_{22} 可直接連接對應的主位元線，如第 7，8 圖所示者。這些修改實施例的任何一例子，需要兩倍的控制線。

現在請參考第 11 圖，其中顯示本發明另一實施例的記憶體晶胞 200。如同第 10 圖之記憶體晶胞陣列的例子，陣列 200 使用一參考晶胞 RC，結合各感測放大器，如 SA_i 。陣列 200 的各感測放大器使用放大多行中的晶胞信號準位，可在各感測放大器的任何一側經多工器 M_1 及 M_2 製造。在第 11 圖之代表性實施例中，在共用配置中經 $MUXM_1$ 耦合至任何一側的主位元線 $MBL_1 - MBL_4$ ，或經 $MUXM_2$ 至任何一側

五、發明說明(18)

的 $MBL_5 - MBL_8$ 。 MBL_1 視需要耦合局部位元線 LBL_{11} 或 LBL_{12} 。 MBL_8 視需要耦合 LBL_{81} 或 LBL_{82} ，依此類推。感測放大器 SA_i 視需要放大行 C_j, C_{j+1}, C_{j+4} 及 C_{j+5} 中晶胞方塊 231, 232 內之記憶體晶胞的晶胞信號。感測放大器 SA_{i+1} 放大記憶體方塊 232, 233 中的記憶體晶胞之晶胞該等方塊係在行 $C_{j+2}, C_{j+3}, C_{j+6}$ 及 C_{j+7} 內。因此，在此例子中，各感測放大器視需要互補來自各側上之四行的信號。當然，可將一或多行分配予各感測放大器。如同在上述實施例中所說明者，主位元線相間條，且約為各記憶體方塊之行長度之半。而且， MBL 約在 LBL 間距的兩倍。

現在請參考第 12 圖，其中顯示本發明的另一實施例，說明當在各主位元線中使用多於二個局部位元線時本發明的使用。在此例子中，主位元線間距比記憶體晶胞陣列部份中局部位元線間距寬，而非比整個記憶體晶胞陣列（如上述實施例中說明者）寬。

在第 12 圖的例子中，四個局部位元線 $LBL_{11} - LBL_{41}$ 視需要經控制位元線開關 23, 25 之切換狀態的控制線 27₁ - 27₄ 連接各說明的主位元線，如 MBL_i 。在中心 304 的局部位元線在間距 “g” 處解聯。在此例子中，假設所有的局部位元線具有相同的長度。在記憶體方塊區 302, 306 中，主位元線間距 D_2 比局部位元線間距 D_1 寬，最好為局部位元線間距寬之兩倍。在中心區 304 中， MBL 間距 D_5 約與 LBL 間距 D_1 相同。因此，在此例子中，對於約一半的記憶體晶胞陣列

五、發明說明(19)

區域，MBL間距約為LBL間距的兩倍。因此，在記憶體晶胞陣列區域的某些部位中，應用較寬的MBL，這些部位中發生短路或開路的可能性將會減少，因此可改進整個記憶體的可靠度。

在上述實施例中，應用交替的行或交替的行對中，於間隔的感測放大器排之間間條主位元線的例子已加以說明，須了解在其他的實施例中，可設計主位元線使得在間隔感測放大器排之間記憶體晶胞次陣列(或記憶體方塊)的左手側上的二或多行，側邊對側邊排列，且然後在次陣列之右手側上的二或多行上，側對側排列。另外，主位元線不需要互相均勻間隔，使得，例如從行 C_i 到 C_{i+1} 之間的間距可與行 C_{i+1} 到 C_{i+2} 不同。對於任何例子，仍有可能在整個記憶體晶胞陣列至少一部份上比局部位元線間距得到還要寬的主位元線間距。

如上所述，本發明提供一用於半導體記憶體的新的分層位元線架構，其提供寬的主位元線間距及高的主位元線電容，而不會增加複雜度。上述包含多項指定說明，但是這些說明並非用於限制本發明之觀點，而僅作為較佳實施例之舉證。熟習本技術者可在申請專利範圍所定義的本發明的精神及觀點內構思其他可能的變動型式。

主要元件對照表

22	電路節點
27, 48, 49, 50, 51	控制線

五、發明說明 (20)

23, 25	位元線選擇開關
30, 40	記憶體陣列
31, 32	次陣列
53, 59	開關
82	電路節點
302, 306	記憶體方塊區
100	記憶體晶胞陣列
200, MC	記憶體晶胞
D2	主位元線間距
D1	局部位元線間距
RC	參考晶胞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具有間條主位元線之分層位元線)

架構的半導體記憶體

本發明中提出一使用分層位元線架構的半導體記憶體，其允許較寬的主位元線間距，及低的位元線電容。在代表性的實施例中，記憶體(30)包含多個記憶體晶胞(MC)，配置成列及成行之形態以儲存資料。各行具有至少一感測放大器(SA_i)，至少一對操作上耦合感測放大器的主位元線(MBL_i，MLB_i)，及至少兩對局部位元線(LBL_{1i}，LBL_{1i}，LBL_{2i}，LBL_{2i})，耦合該記憶體晶胞且選擇性地耦合該感測放大器。局部位元線對中至少一項選擇性地經主位元線對耦合感測放大器。各主位元線的長度比行長度短，且以間條構形配置主位元線。主位元線中至少某些中的至少一部份的間距比局部位元線間距大。可以摺疊或開放構形配置主位元線。主位元線間距約為局部位元線間距的兩倍。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、~~英~~文發明摘要 (發明之名稱: Semiconductor Memory Having Hierarchical Bitline Architecture with Interleaved Master Bitlines)

Disclosed is a semiconductor memory employing a hierarchical bitline architecture which allows for a widened master bitline pitch as well as low bitline capacitance. In an exemplary embodiment, the memory (30) includes a plurality of memory cells (MC) arranged in rows and columns for storing data. Each column has at least one sense amplifier (SA_i), at least one pair of master bitlines (MBL_i , $\overline{MBL}_i$) operatively coupled to the sense amplifier, and at least two pairs of local bitlines (LBL_{1i} , $\overline{LBL}_{1i}$, LBL_{2i} , $\overline{LBL}_{2i}$), coupled to memory cells and selectively coupled to the sense amplifier. At least one of the local bitline pairs is selectively coupled to the sense amplifier via the master bitline pair. Each master bitline pair has a length shorter than a column length, and the master bitlines are arranged in an interleaved configuration. The pitch of at least a portion of at least some of the master bitlines is greater than the local bitline pitch. The master bitlines may be arranged in either folded or open configurations. The master bitline pitch may be about twice the local bitline pitch.

六、申請專利範圍

(89年10月修正)

1. 一種半導體記憶體，其特徵為其包含：

多個形成多行及多列配置的記憶體晶胞以儲存資料；

各行包含至少一感測放大器，至少一對操作上耦合該感測放大器的主位元線，及至少兩對耦合記憶體晶胞且選擇性地耦合感測放大器的局部位元線，其中至少一局部位元線對選擇性地經主位元線對耦合感測放大器；

其中各主位元線的長度比行長度短，且在記憶體晶胞上至少某些主位元線的至少一部份的間距比局部位元線的間距大。

2. 如申請專利範圍第1項之半導體記憶體，其中以間條構形配置該主位元線。

3. 如申請專利範圍第1項之半導體記憶體，其中該主位元線的間距約為局部位元線間距的兩倍。

4. 如申請專利範圍第1項之半導體記憶體，其中各主位元線的寬度約為主位元線間之間距寬度之半。

5. 如申請專利範圍第1項之半導體記憶體，其中各主位元線的長度與各局部位元線的長度相同，且約為間隔之感測放大器之間行長度之半，且主位元線在交替行中呈間條構形。

6. 如申請專利範圍第1項之半導體記憶體，其中該感測放大器中至少有某些感測放大器配置成共用構形。

六、申請專利範圍

7. 如申請專利範圍第6項之半導體記憶體，更包含在各共用感測放大器的第一側上的四個開關，及在各共用感測放大器的第二側上的四個開關，可操作各該開關選擇性地將一相關的局部位元線耦合共用感測放大器，以允許近接耦合該局部位元線的記憶體晶胞，且可選擇性地隔離記憶體晶胞中非選擇之次陣列與共用的感測放大器，在該第一側上的四個開關關斷時將隔離在第一側上的第一次陣列與感測放大器，在第二側上的四個開關關斷時，則隔離在第二側上的第二次陣列與感測放大器。

8. 如申請專利範圍第1項之半導體記憶體，其中以可操作方式耦合感測放大器之一側至包含一主真主位元線及一互補主位元線的主位元線對，各感測放大器選擇性地耦合其一側至第一及第二局部位元線，該第一局部位元線對包含第一真局部位元線及第一互補局部位元線，該第二局部位元線包含一第二真局部位元線及一第二互補局部位元線，且該記憶體更包含：

耦合於該第一真局部位元線及該真主位元線之間的第一開關；

耦合於該第二真局部位元線及該真主位元線之間的第二開關；

耦合該第一互補局部位元線及該互補主位元線之間的第三開關；

六、申請專利範圍

耦合該第二互補局部位元線及該互補主位元線之間的第四開關；

其中該第一及第二開關的開／關動作可近接耦合該第一真局部位元線的記憶體晶胞，該第一及第二開關的關／開動作可近接該第二真局部位元線的記憶體晶胞，該第三及第四開關的開／關動作可近接耦合該互補局部位元線的記憶體晶胞，且該第三及第四開關的關／開可近接耦合該第二互補局部位元線的記憶體晶胞。

9. 如申請專利範圍第8項之半導體記憶體，其中該感測放大器中至少有某些感測放大器形成共用構形，使得各共用之感測放大器的另一側耦合主位元線對，且選擇性地耦合兩局部位元線對。
10. 如申請專利範圍第8項之半導體記憶體，其中由一第一共用控制線控制該第一及第三開關，且由一第二共用控制線控制該第二及第四開關。
11. 如申請專利範圍第1項之半導體記憶體，其中以可操作方式耦合感測放大器之一側至包含一真主位元線及一互補主位元線的主位元線對，各感測放大器選擇地耦合其一側至第一及第二局部位元線，該第一局部位元線對包含第一真局部位元線及第一互補局部位元線，該第二局部位元線包含一第二真局部位元線及一第二互補局部位元線，且該記憶體更包含：

六、申請專利範圍

耦合於該第一真局部位元線及一第一感測放大器輸入端之間的第一開關；

視需要耦合於該第二真局部位元線到第一感測放大器輸入端的第二開關；

耦合於第一互補局部位元線及一第二感測放大器輸入端之間的第三開關；

視需要耦合於該第二互補局部位元線至該第二感測放大器輸入端的第四開關；

其中該第一及第二開關的開／關動作以近接耦合該第一真局部位元線的記憶體晶胞，該第一及第二開關的開／關動作以近接該第二真局部位元線的記憶體晶胞，該第三及第四開關的開／關動作以近接耦合該互補局部位元線的記憶體晶胞，且該第三及第四開關的開／開可近接耦合該第二互補局部位元線的記憶體晶胞。

12. 如申請專利範圍第11項之半導體記憶體，其中該真主位元線連接該第二真局部位元線，且該互補主位元線連接該第二互補局部位元線。

13. 如申請專利範圍第11項之半導體記憶體，其中至少某些感測放大器配置成共用構形，使得各共用感測放大器以可操作方式耦合其另一側到一主位元線對，且視

六、申請專利範圍

需要耦合兩局部位元線對。

14. 如申請專利範圍第11項之半導體記憶體，其中由第一共用控制線控制該第一及第三開關，且由第二共用控制線控制該第二及第四開關。

15. 如申請專利範圍第1項之半導體記憶體，其中以可操作方式耦合感測放大器之一側至包含一真主位元線及一互補主位元線對，各感測放大器視需要耦合其一側至第一及第二局部位元線，該第一局部位元線對包含第一真局部位元線及第一互補局部位元線，該第二局部位元線包含一第二真局部位元線及一第二互補局部位元線，該真主位元線連接該第二真局部位元線，該互補主位元線連接該第二互補局部位元線，該記憶體更包含：

耦合於該第一真局部位元線及鄰近一第一感測放大器輸入端之真主位元線之間的第一開關；

視需要耦合該真主位元線到該第一感測放大器輸入端的第二開關；

耦合於該互補局部位元線及鄰近該第二感測放大器輸入端之互補主位元線之間的第三開關；

視需要耦合該互補主位元線到該第二感測放大器輸入端的第四開關；

其中該第一及第二開關的開／關動作以近接耦合該第一真局部位元線的記憶體晶胞，該第一及第二開關

六、申請專利範圍

的關 / 開動作以近接該第二真局部位元線的記憶體晶胞，該第三及第四開關的開 / 關動作以近接耦合該互補局部位元線的記憶體晶胞，且該第三及第四開關的關 / 開可近接耦合該第二互補局部位元線的記憶體晶胞。

16. 如申請專利範圍第 14 項之半導體記憶體，其中至少某些感測放大器配置成共用構形，使得各共用感測放大器以可操作方式耦合其另一側到一主位元線對，且選擇性地耦合兩局部位元線對。
17. 如申請專利範圍第 15 項半導體記憶體，其中由第一共用控制線控制該第一及第三開關，且由第二共用控制線控制該第二及第四開關。
18. 如申請專利範圍第 1 項之半導體記憶體，其中該半導體記憶體包含一動態隨機存取記憶體。
19. 如申請專利範圍第 1 項之半導體記憶體，其中該主位元線對在一摺疊位元線配置中的一相關感測放大器之一側上延伸，且主位元線對在交替行中形成間條方式之配置。
20. 如申請專利範圍第 1 項之半導體記憶體，其中以開位元線構形配置該主位元線，各主位元線對包含一在相關之感測放大器一側上延伸的真主位元線，及在相關感測放大器之反側上延伸的互補主位元線。
21. 一種半導體記憶體，其特徵為其包含：

六、申請專利範圍

多個形成多行及多列配置的記憶體晶胞以儲存資料

;

各行包含：

(i) 至少一感測放大器；

(ii) 以摺疊位元線構形配置的一對主位元線，且以可操作方式耦合該行中各感測放大器中至少一側；

(iii) 在感測放大器之一側上耦合記憶體晶胞之兩對局部位元線，各局部位元線對選擇性地耦合該感測放大器，兩局部位元線對中至少一項選擇性地經主位元線對耦合該感測放大器；

其中主位元線對的長度約等於各局部位元線對的長度，主位元線間距約為局部位元線間距的兩倍，且以間條構形配置主位元線對。

22. 一種半導體記憶體，其特徵為其包含：

多個形成多行及多列配置的記憶體晶胞以儲存資料

;

各行包含：

(i) 至少一感測放大器；

(ii) 以開位元線構形配置的一對主位元線，以可操作方式耦合一相關的感測放大器，各對包含在相關感測放大器之一側上延伸的真主位元線，

六、申請專利範圍

且在相關感測放大器之反側上延伸的一互補主位元線；

(iii) 在感測放大器各側上耦合記憶體晶胞的兩局部位元線，各局部位元線選擇性地耦合相關的感測放大器，其中兩局部位元線中至少一項視需要經一主位元線耦合相關的感測放大器；

其中各主位元線的長度比行長度短，主位元線間距約為局部位元線間距的兩倍，該間修構形配置該主位元線。

23. 一種半導體記憶體，其特徵為其包含：

多個形成多行及多列配置的記憶體晶胞以儲存資料；

各行具有至少一感測放大器，其包含一相關的參考晶胞以提供參考電壓，該主位元線以可操作方式耦合其第一側上的感測放大器，兩局部位元線位在該感測放大器的第一側上，該感測放大器耦合該記憶體晶胞，且選擇性地耦合該感測放大器，其中至少一局部位元線選擇性地經主位元線耦合該感測放大器；

其中各主位元線具有比行長度短，主位元線電路大於局部位元線電路，且以間條構形配置該主位元線。

24. 如申請專利範圍第23項之半導體記憶體，其中各主位元線的長度約在感測放大器一側之記憶體晶胞行之共

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

同長度之半，且在交替的行中主位元線形成間條型式的配置。

25. 如申請專利範圍第23項之半導體記憶體，其中主位元線間距約為局部位元線間距的兩倍。

26. 如申請專利範圍第23項之半導體記憶體，其中該感測放大器以共用構形配置，該第一主位元線以可操作方式耦合該第一側，且第二主位元線以可操作方式耦合該第二側。

27. 如申請專利範圍第23項之半導體記憶體，其中多個主位元線以可操作方式經多工器耦合多個感測放大器中各感測放大器的一側。

28. 如申請專利範圍第27項之半導體記憶體，其中以共用構形配置該多個感測放大器，該第一多工器位在各感測放大器的第一側，且第二多工器位在各感測放大器的第二側。

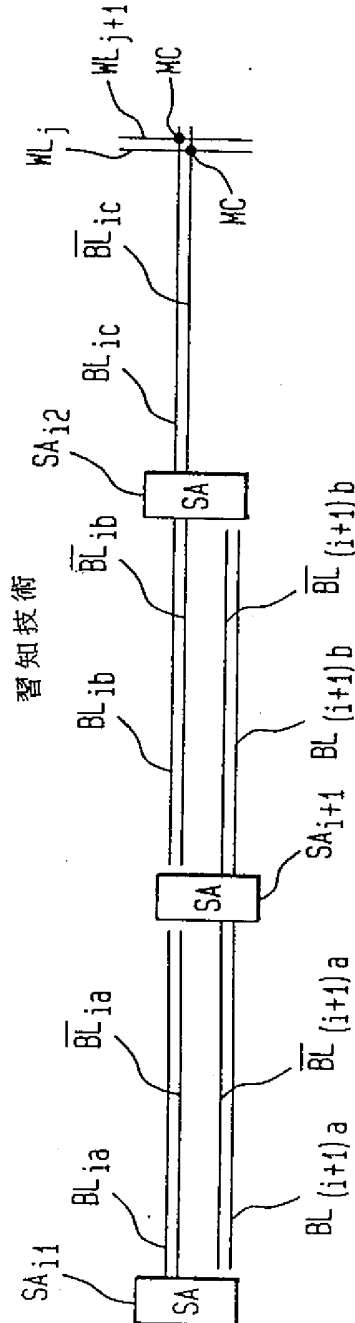
(請先閱讀背面之注意事項再填寫本頁)

裝

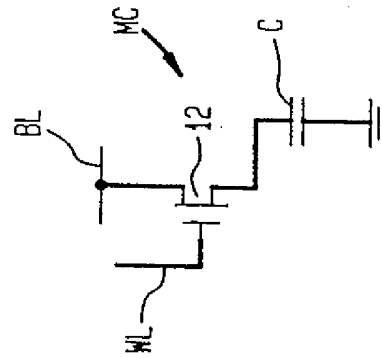
訂

線

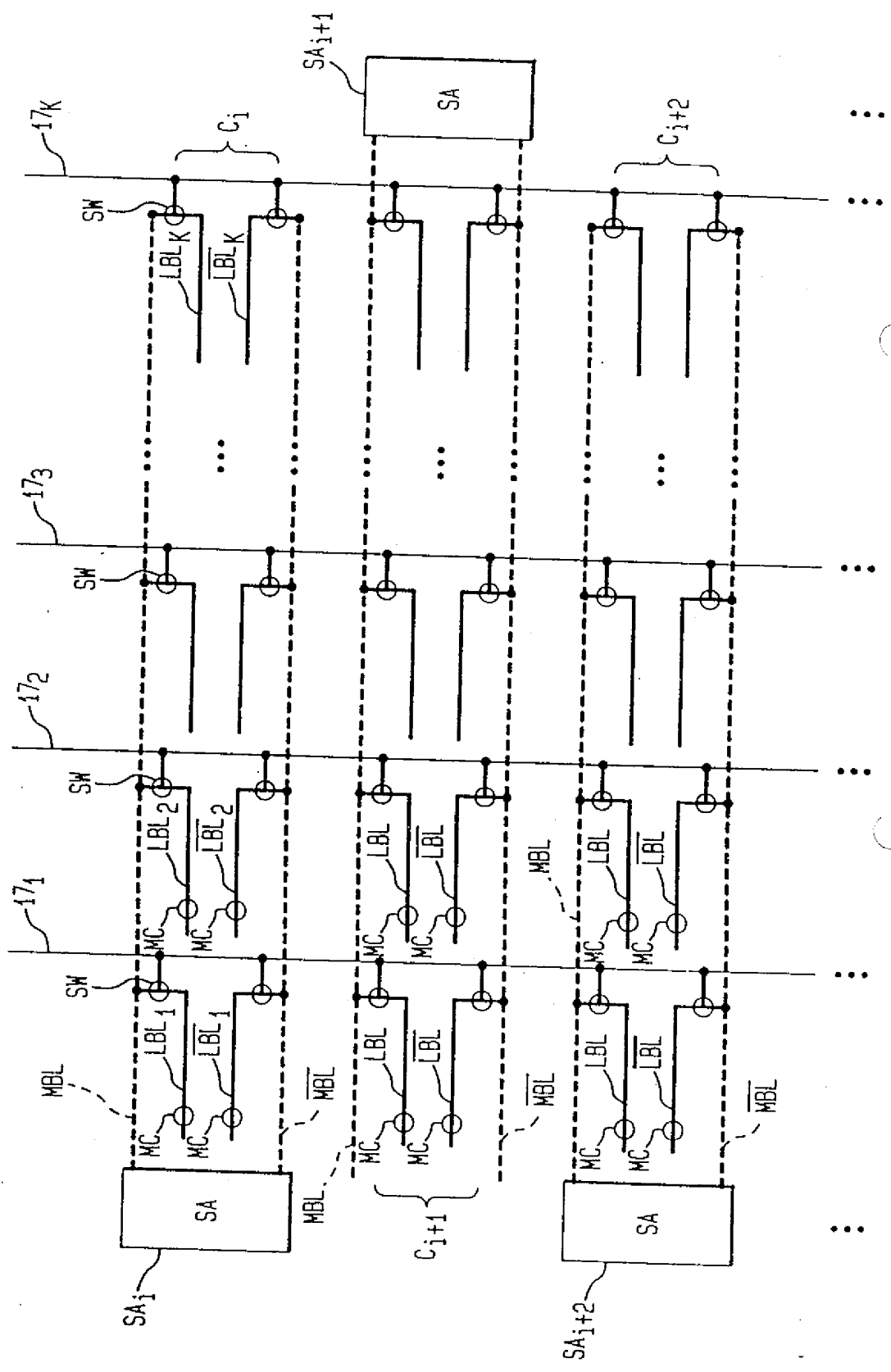
第1圖



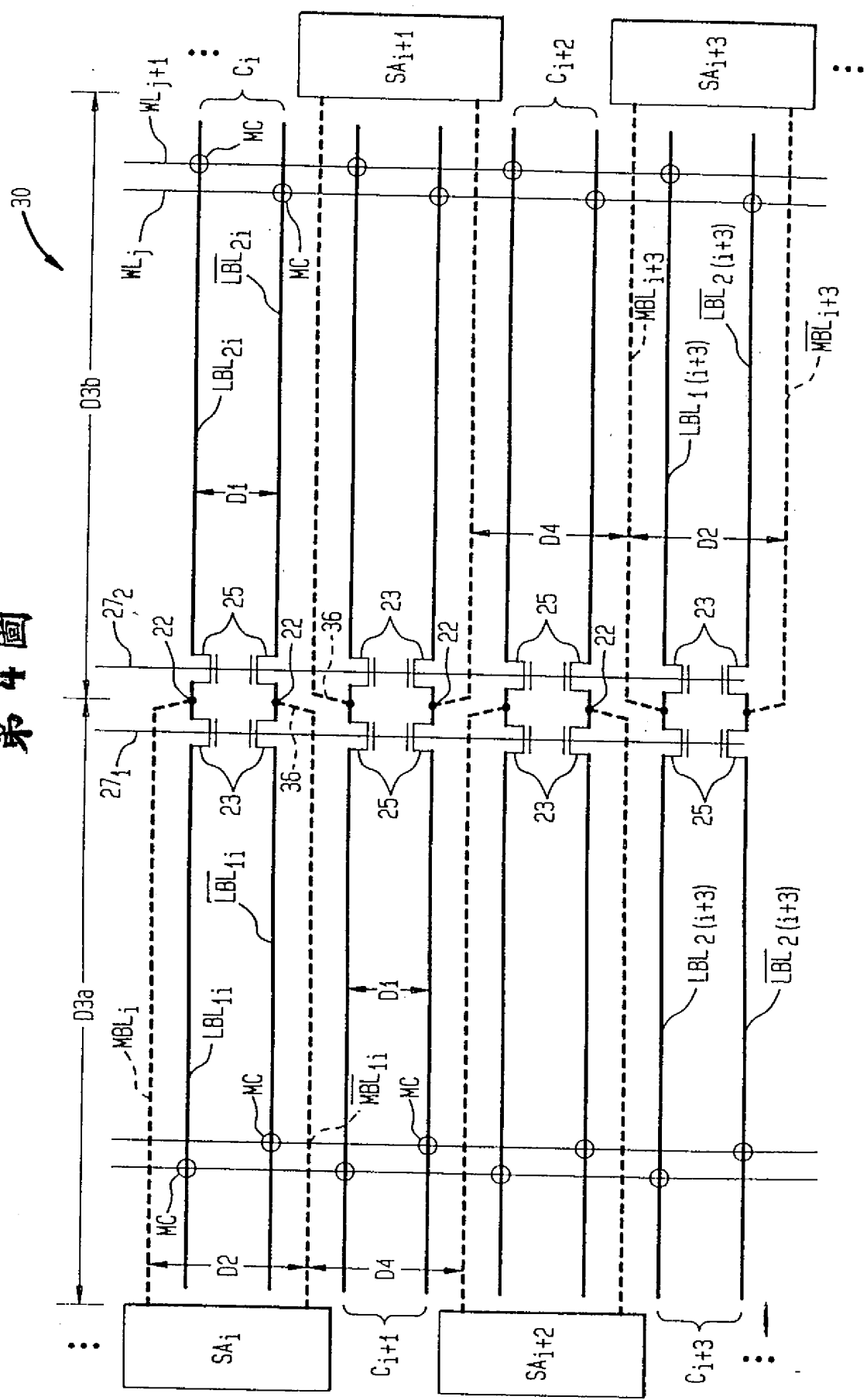
第2圖



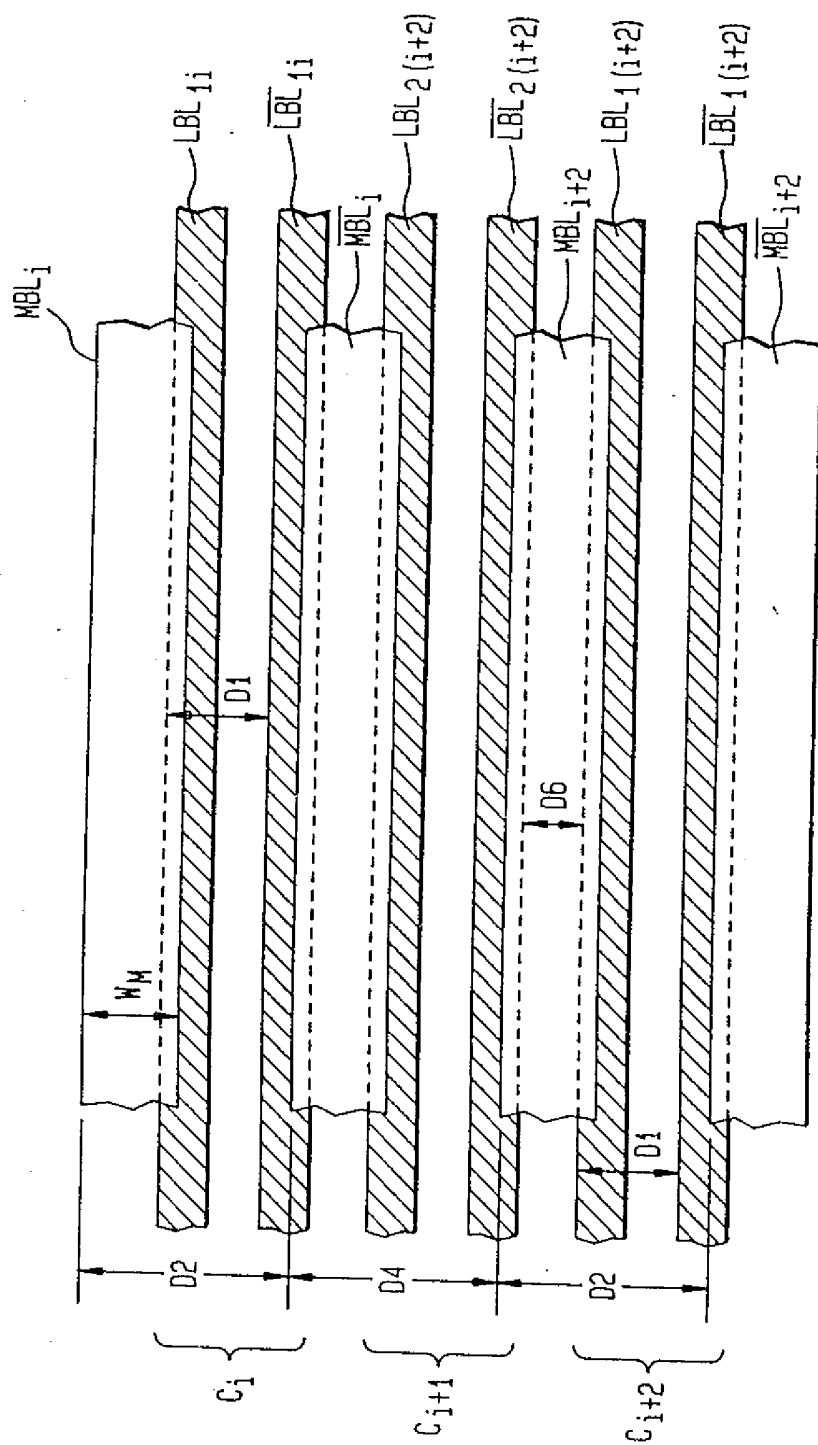
第 3 圖



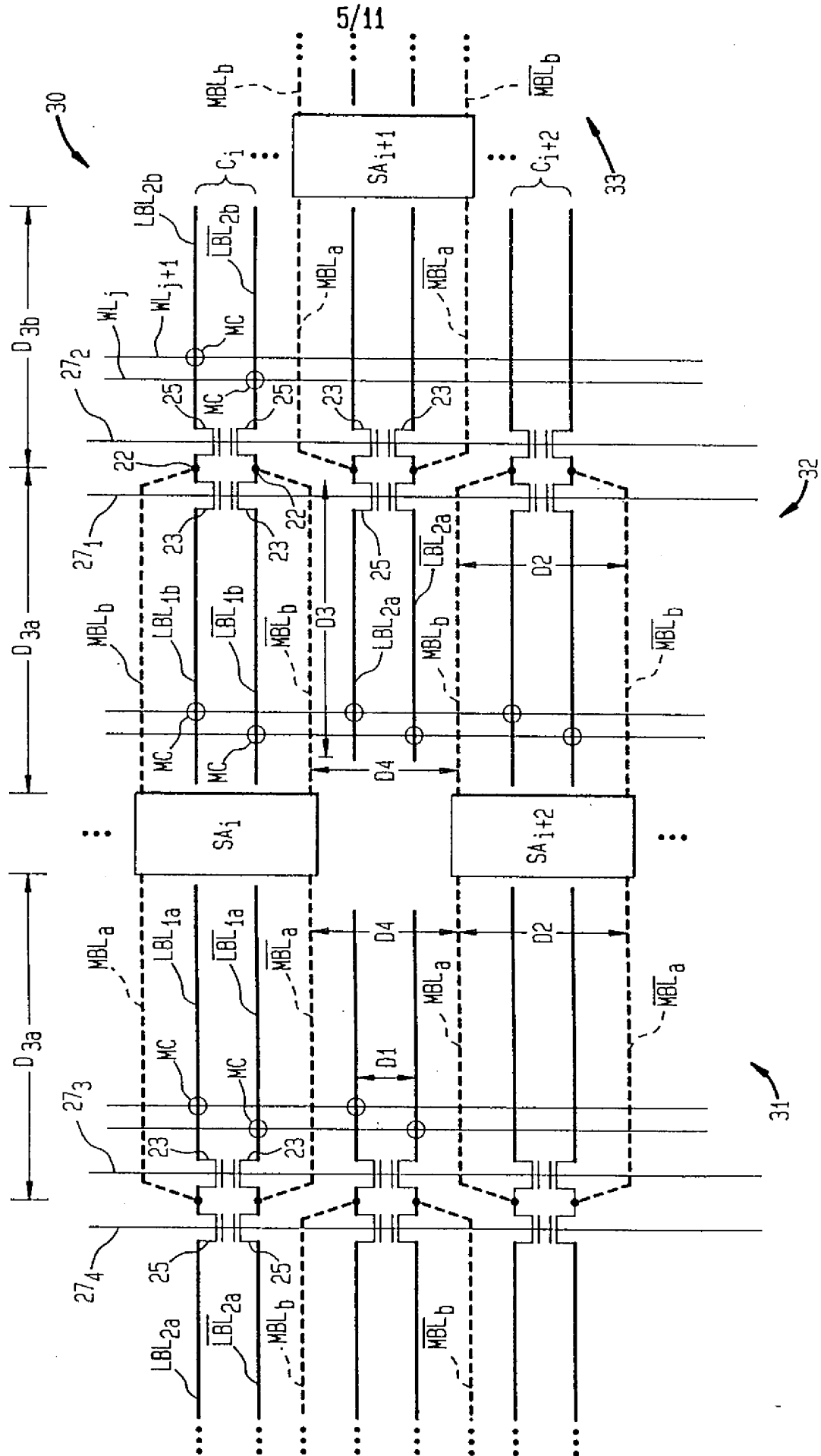
第4圖



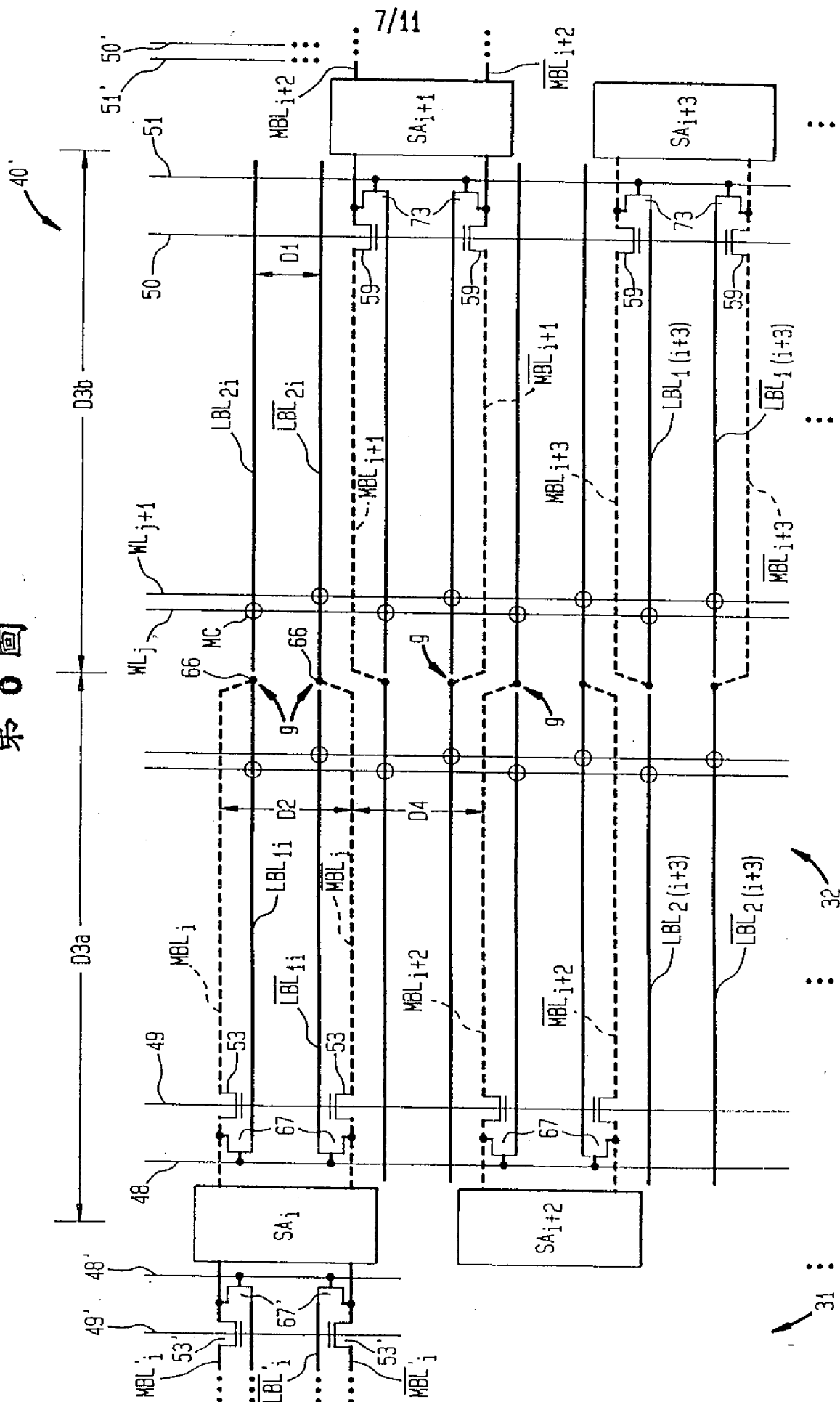
第5圖



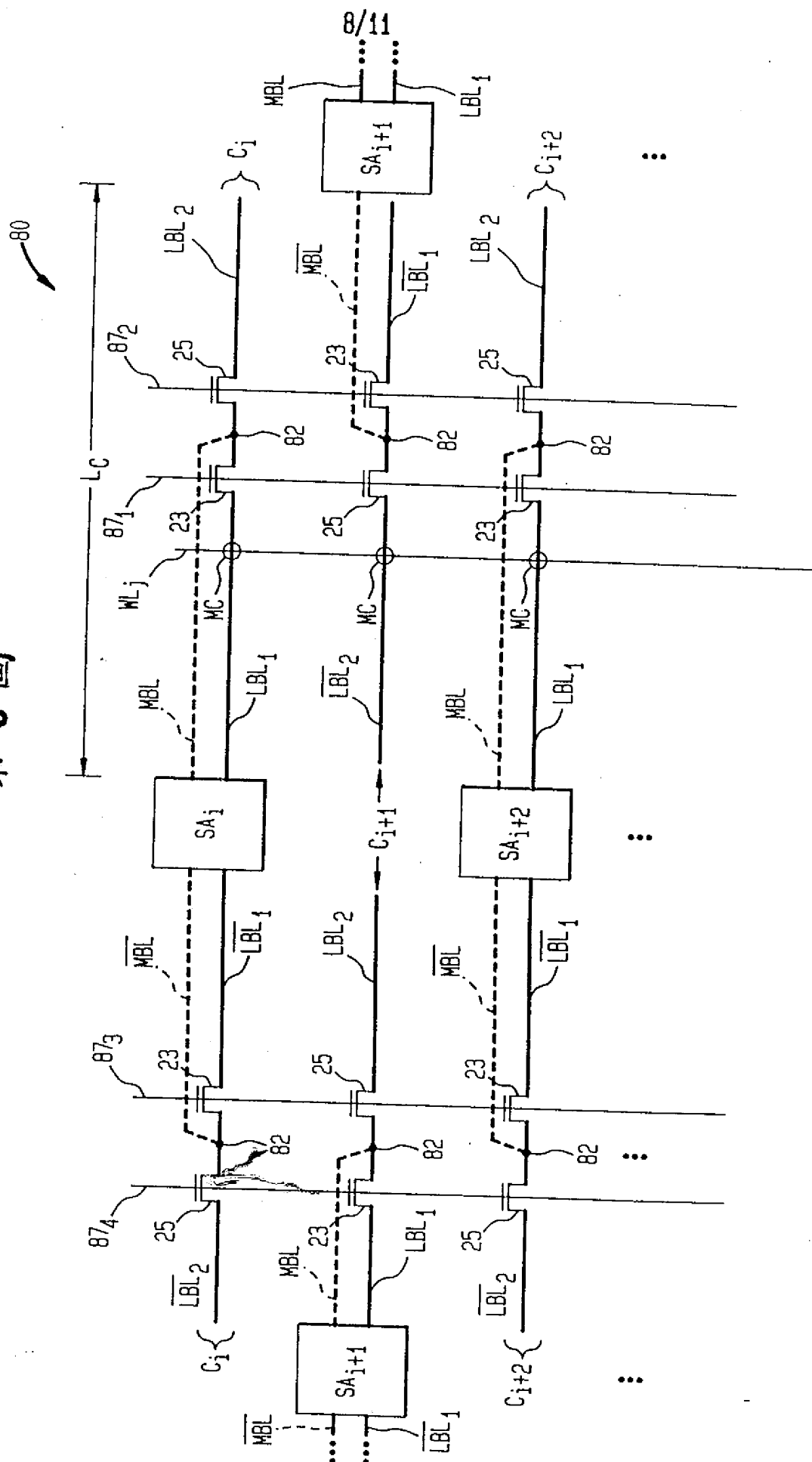
第 6 圖



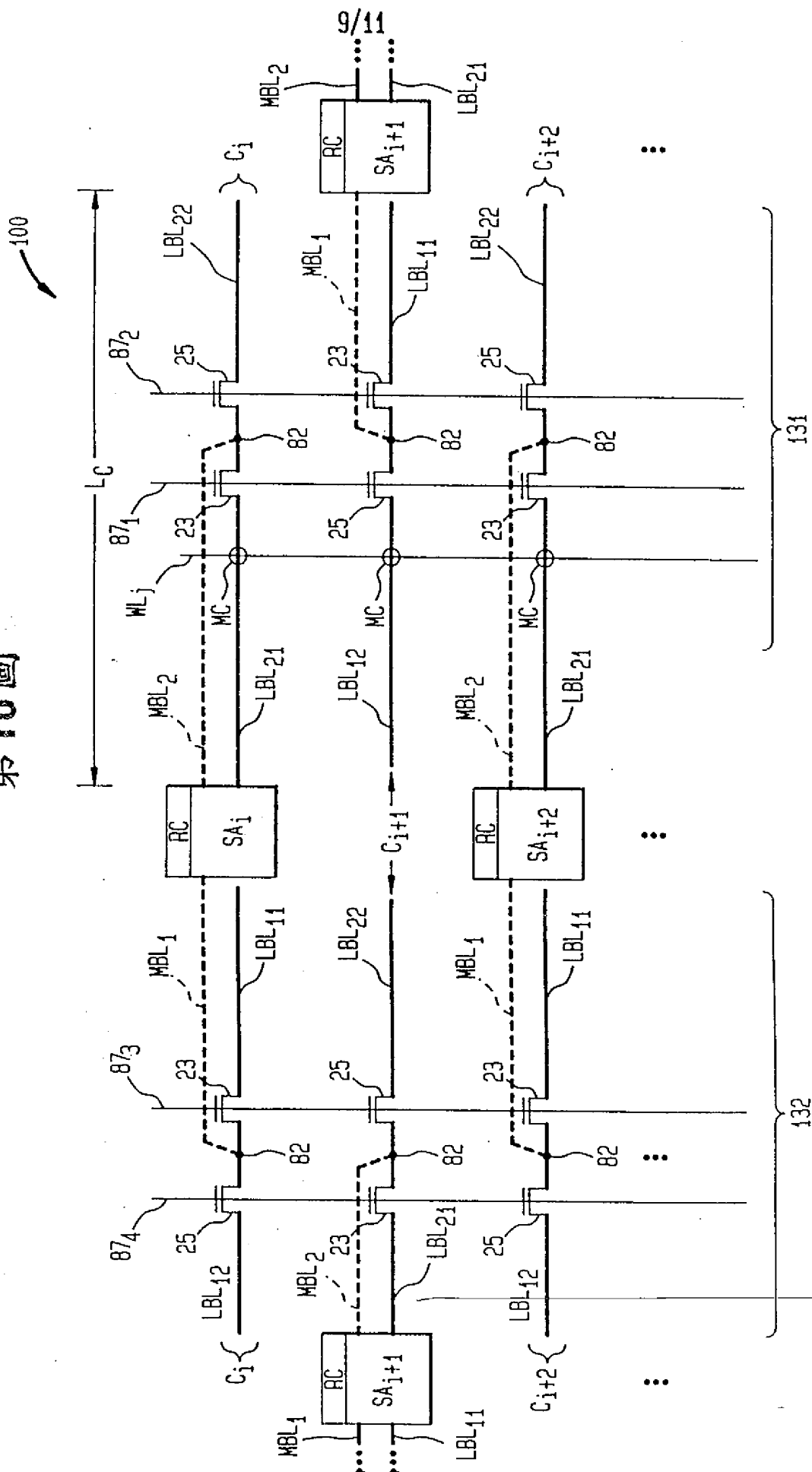
第 8 圖



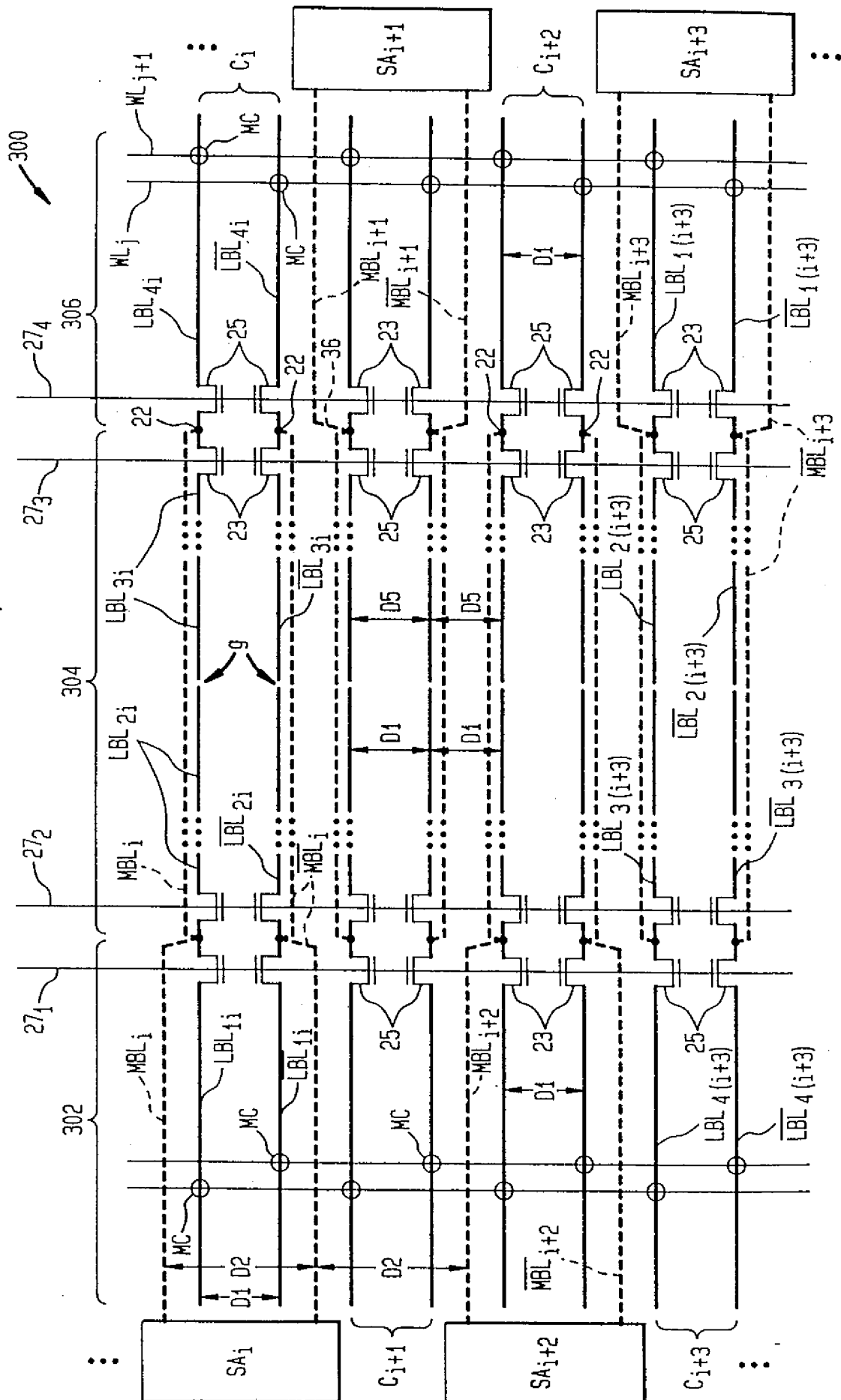
第 9 圖



第10圖



第12圖



公告本

89.10.16 修正
年 月 日 補充

A4
C4

434565
434565

申請日期	87.10.27
案 號	87117795
類 別	G11C506, 11/34

(以上各欄由本局填註)

發明專利說明書 (89年10月修正)

一、發明 名稱	中 文	具有間條主位元線之分層位元線架構的半導體記憶體
	英 文	Semiconductor Memory Having Hierarchical Bitline Architecture with Interleaved Master Bitlines
二、發明 創作人	姓 名	1. 葛哈德慕勒 (Gerhard Mueller) 2. 桐畑俊明 (Toshiaki Kirihata)
	國 籍	1. 美國 2. 日本
	住、居所	1. 美國紐約州12590瓦賓格爾斯瀑布觀城路168號 2. 美國紐約州12603包包基普塞米斯帝里基廣場10號
三、申請人	姓 名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
	國 籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國紐約州10504艾蒙克新橡路
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt) 3. 傑佛瑞L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

六、申請專利範圍

(89年10月修正)

1. 一種半導體記憶體，其特徵為其包含：

多個形成多行及多列配置的記憶體晶胞以儲存資料；

各行包含至少一感測放大器，至少一對操作上耦合該感測放大器的主位元線，及至少兩對耦合記憶體晶胞且選擇性地耦合感測放大器的局部位元線，其中至少一局部位元線對選擇性地經主位元線對耦合感測放大器；

其中各主位元線的長度比行長度短，且在記憶體晶胞上至少某些主位元線的至少一部份的間距比局部位元線的間距大。

2. 如申請專利範圍第1項之半導體記憶體，其中以間條構形配置該主位元線。

3. 如申請專利範圍第1項之半導體記憶體，其中該主位元線的間距約為局部位元線間距的兩倍。

4. 如申請專利範圍第1項之半導體記憶體，其中各主位元線的寬度約為主位元線間之間距寬度之半。

5. 如申請專利範圍第1項之半導體記憶體，其中各主位元線的長度與各局部位元線的長度相同，且約為間隔之感測放大器之間行長度之半，且主位元線在交替行中呈間條構形。

6. 如申請專利範圍第1項之半導體記憶體，其中該感測放大器中至少有某些感測放大器配置成共用構形。