



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I875646 B

(45)公告日：中華民國 114 (2025) 年 03 月 01 日

(21)申請案號：113129437

(22)申請日：中華民國 100 (2011) 年 01 月 21 日

(51)Int. Cl. : *H10D30/60 (2025.01)**H10D64/00 (2025.01)*

(30)優先權：2010/01/22 日本

2010-012540

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；鄉戶宏充 GODO, HIROMICHI (JP)；須澤
英臣 SUZAWA, HIDEOMI (JP)；笹川慎也 SASAGAWA, SHINYA (JP)；倉田求
KURATA, MOTOMU (JP)；三上真弓 MIKAMI, MAYUMI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200935593A

US 2007/0281400A1

US 2008/0203477A1

審查人員：許勝宗

申請專利範圍項數：2 項 圖式數：13 共 85 頁

(54)名稱

半導體裝置

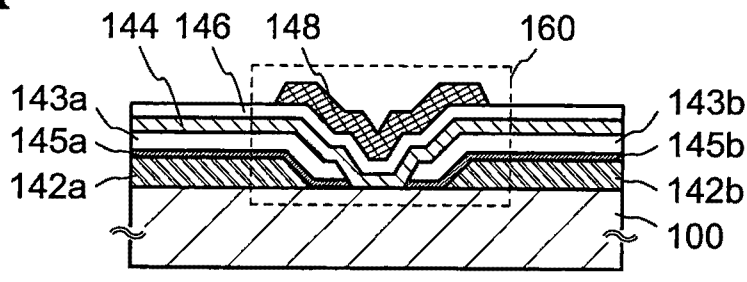
(57)摘要

本發明的目的之一是提供一種維持良好的特性並實現微細化的使用氧化物半導體的半導體裝置。一種半導體裝置，包括：氧化物半導體層；與所述氧化物半導體層接觸的源極電極及汲極電極；與所述氧化物半導體層重疊的閘極電極；以及設置在所述氧化物半導體層和所述閘極電極之間的閘極絕緣層，其中，所述源極電極及所述汲極電極包括第一導電層和具有從所述第一導電層的端部向通道長度方向延伸的區域的第二導電層。

An object is to provide a semiconductor device including an oxide semiconductor, which maintains favorable characteristics and achieves miniaturization. The semiconductor device includes an oxide semiconductor layer, a source electrode and a drain electrode in contact with the oxide semiconductor layer, a gate electrode overlapping with the oxide semiconductor layer, and a gate insulating layer provided between the oxide semiconductor layer and the gate electrode, in which the source electrode and the drain electrode each include a first conductive layer, and a second conductive layer having a region which extends in a channel length direction from an end portion of the first conductive layer.

指定代表圖：

圖 1A



符號簡單說明：

- 100:基板
- 142a:第一導電層
- 142b:第一導電層
- 143a:絕緣層
- 143b:絕緣層
- 144:氧化物半導體層
- 145a:第二導電層
- 145b:第二導電層
- 146:閘極絕緣層
- 148:閘極電極
- 160:電晶體

I875646

【發明摘要】**【中文發明名稱】**

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

本發明的目的之一是提供一種維持良好的特性並實現微細化的使用氧化物半導體的半導體裝置。一種半導體裝置，包括：氧化物半導體層；與所述氧化物半導體層接觸的源極電極及汲極電極；與所述氧化物半導體層重疊的閘極電極；以及設置在所述氧化物半導體層和所述閘極電極之間的閘極絕緣層，其中，所述源極電極及所述汲極電極包括第一導電層和具有從所述第一導電層的端部向通道長度方向延伸的區域的第二導電層。

【 英文 】

An object is to provide a semiconductor device including an oxide semiconductor, which maintains favorable characteristics and achieves miniaturization. The semiconductor device includes an oxide semiconductor layer, a source electrode and a drain electrode in contact with the oxide semiconductor layer, a gate electrode overlapping with the oxide semiconductor layer, and a gate insulating layer provided between the oxide semiconductor layer and the gate electrode, in which the source electrode and the drain electrode each include a first conductive layer, and a second conductive layer having a region which extends in a channel length direction from an end portion of the first conductive layer.

【代表圖】

【本案指定代表圖】：圖 1A

【本代表圖之符號簡單說明】：

100：基板

142a：第一導電層

142b：第一導電層

143a：絕緣層

143b：絕緣層

144：氧化物半導體層

145a：第二導電層

145b：第二導電層

146：閘極絕緣層

148：閘極電極

160：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

本發明的技術領域係關於一種半導體裝置。在此，半導體裝置是指藉由利用半導體特性工作的所有元件及裝置。

【先前技術】

金屬氧化物的種類繁多且用途廣。例如，氧化銦是公知的材料，並已經被用作液晶顯示裝置等所需的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知一種將這種金屬氧化物用作通道形成區的薄膜電晶體（例如，參照專利文獻 1 至專利文獻 4、非專利文獻 1 等）。

另外，作為金屬氧化物，不僅已知一元氧化物，而且還已知多元氧化物。例如，作為具有 In、Ga 及 Zn 的多元氧化物半導體，具有同系物（homologous phase）的

$\text{InGaO}_3 (\text{ZnO})_m$ (m 為自然數) 是周知的 (例如, 參照非專利文獻 2 至 4 等)。

並且, 已經確認到可以將包括上述那樣的 In-Ga-Zn 類氧化物的氧化物半導體也應用於薄膜電晶體的通道形成區 (例如, 參照專利文獻 5、非專利文獻 5 及 6 等)。

[專利文獻 1] 日本專利申請公開昭 60-198861 號公報

[專利文獻 2] 日本專利申請公開平 8-264794 號公報

[專利文獻 3] PCT 國際申請日本翻譯平 11-505377 號公報

[專利文獻 4] 日本專利申請公開第 2000-150900 號公報

[專利文獻 5] 日本專利申請公開第 2004-103957 號公報

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor" (透明鐵電薄膜電晶體), *Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350°C " (In_2O_3 - Ga_2ZnO_4 - ZnO 類在 1350°C 時的相位關係), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻 3] N. Kimizuka, M. Isobe, and M.

Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3 (\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3 (\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3 (\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System" (同系物の合成和單晶資料, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 類的 $\text{In}_2\text{O}_3 (\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3 (\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3 (\text{ZnO})_m$ ($m=7, 8, 9$, and 16)), *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[非專利文獻 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3 (\text{ZnO})_m$) (m :natural number) and related compounds", KOTAI BUTSURI (同系物、銦鐵鋅氧化物 ($\text{InFeO}_3 (\text{ZnO})_m$) (m 為自然数) 及其同型化合物的合成以及結晶結構), *固体物理 (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors

using amorphous oxide semiconductors" (在室溫下製造使用非晶氧化物半導體的透明撓性薄膜電晶體), *NATURE*, 2004, Vol. 432 p. 488-492

為了實現電晶體的工作的高速化、電晶體的低耗電量化、低價格化等，必須要實現電晶體的微細化。

在使電晶體微細化時，在製造製程中產生的不良現象成為很大的問題。例如，源極電極及汲極電極與通道形成區電連接，但是起因於由微細化引起的覆蓋率的降低等會產生斷線、連接不良等。

另外，在使電晶體微細化時，也發生短通道效應的問題。短通道效應是指隨著電晶體的微細化（通道長度（ L ）的縮短）顯現出來的電特性的退化。短通道效應因汲極電極的電場的效果影響到源極電極而發生。作為短通道效應的具體例子，有臨界值電壓的降低、 S 值的增大、洩漏電流的增大等。已知在室溫下與使用矽形成的電晶體相比，尤其是使用氧化物半導體形成的電晶體的截止電流小，這可認為是因為因熱激發而產生的載子少，即載子密度小。像這樣的使用載子密度小的材料的電晶體有容易顯現臨界值電壓的降低等的短通道效應的傾向。

【發明內容】

本發明所公開的發明的一個實施例的目的之一是提供抑制不良現象並實現微細化的半導體裝置。或者，所公開的發明的一個實施例的目的之一是提供維持良好的特性並

實現微細化的半導體裝置。

所公開的發明的一個實施例是一種半導體裝置，包括：氧化物半導體層；與所述氧化物半導體層接觸的源極電極及汲極電極；與所述氧化物半導體層重疊的閘極電極；以及設置在所述氧化物半導體層和所述閘極電極之間的閘極絕緣層，其中，所述源極電極及所述汲極電極包括第一導電層和具有從所述第一導電層的端部向通道長度方向延伸的區域的第二導電層。

在上述半導體裝置中，所述第一導電層及所述第二導電層最好具有錐形形狀。

在上述半導體裝置中，最好在所述第二導電層的所述區域上具有側壁絕緣層。

所公開的發明的其他一個實施例是一種半導體裝置，包括：氧化物半導體層；與所述氧化物半導體層接觸的源極電極及汲極電極；與所述氧化物半導體層重疊的閘極電極；以及設置在所述氧化物半導體層和所述閘極電極之間的閘極絕緣層，其中，所述源極電極及所述汲極電極包括第一導電層和其電阻比所述第一導電層高的第二導電層，並且，在所述源極電極及所述汲極電極中所述第二導電層與所述氧化物半導體層接觸。

所公開的發明的其他一個實施例是一種半導體裝置，包括：氧化物半導體層；與所述氧化物半導體層接觸的源極電極及汲極電極；與所述氧化物半導體層重疊的閘極電極；以及設置在所述氧化物半導體層和所述閘極電極之間

的閘極絕緣層，其中，所述源極電極及所述汲極電極包括第一導電層和其電阻比所述第一導電層高的第二導電層，並且，在所述源極電極及所述汲極電極中所述第二導電層和所述第一導電層與所述氧化物半導體層接觸。

在上述半導體裝置中，所述第二導電層最好為金屬氮化物。

在上述半導體裝置中，所述第二導電層的厚度最好為5nm至15nm。

所公開的發明的其他一個實施例是一種半導體裝置，包括：包括通道形成區的氧化物半導體層；與所述通道形成區接觸的源極電極及汲極電極；與所述通道形成區重疊的閘極電極；以及設置在所述氧化物半導體層和所述閘極電極之間的閘極絕緣層，其中，在所述源極電極及所述汲極電極中與所述氧化物半導體層的所述通道形成區接觸的區域的電阻比其他區域高。

在上述半導體裝置中，最好使所述源極電極或所述汲極電極的端部與所述氧化物半導體層接觸，並且，在所述源極電極或所述汲極電極和所述氧化物半導體層之間具有絕緣層。

在此，半導體裝置是指能夠藉由利用半導體特性工作的所有裝置。例如，顯示裝置、儲存裝置、積體電路等都包括在半導體裝置的範疇內。

另外，在本說明書等中，術語“上”或“下”不侷限於構成要素的位置關係為“直接在…之上”或“直接在…

之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。另外，術語“上”或“下”只是為了便於說明而使用的辭彙，在沒有特別的說明時，還包括將其上下顛倒的情況。

另外，在本說明書等中，術語“電極”或“佈線”不在功能上限定其構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，術語“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，在使用極性不同的電晶體的情況或在電路工作中電流方向變化的情況等下，“源極電極”和“汲極電極”的功能有時互相調換。因此，在本說明書中，“源極電極”和“汲極電極”可以互相調換。

另外，在本說明書等中，“電連接”包括隔著“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要能夠進行連接物件間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

根據所公開的發明的一個實施例，能夠得到以下所示的任一方或兩者的效果。

第一效果是：藉由作為源極電極及汲極電極採用第一導電層和第二導電層的疊層結構，在第二導電層中設置從

第一導電層的端部向通道長度方向延伸的區域，可以提高在源極電極及汲極電極上形成半導體層時的覆蓋性。由此，可以抑制產生連接不良等。

第二效果是：藉由使源極電極或汲極電極中的與通道形成區接觸的區域附近為高電阻區域，可以使在源極電極和汲極電極之間電場緩和。由此，可以抑制臨界值電壓下降等的短通道效應。

藉由像這樣的效果，可以解決微細化所導致的問題，其結果是可以使電晶體的尺寸充分地縮小。藉由使電晶體的尺寸充分地縮小，使用電晶體的半導體裝置所占的面積縮小，利用一個基板得到的半導體裝置的個數增大。由此，可以抑制每半導體裝置的製造成本。另外，由於使半導體裝置小型化，所以可以實現幾乎相同的尺寸的其功能進一步得到提高的半導體裝置。另外，藉由通道長度的縮小可以得到工作的高速化、低耗電量化等的效果。換言之，藉由根據所公開的發明的一個實施例實現使用氧化物半導體的電晶體的微細化，可以得到微細化帶來的各種各樣的效果。

像這樣，根據所公開的發明的一個實施例，可以提供抑制不良或維持良好的特性並實現微細化的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1A 至圖 1D 是半導體裝置的截面圖；

圖 2A 至圖 2F 是根據半導體裝置的製造製程的截面圖；

圖 3A 至圖 3F 是根據半導體裝置的製造製程的截面圖；

圖 4 是半導體裝置的截面圖；

圖 5A 至圖 5F 是根據半導體裝置的製造製程的截面圖；

圖 6A1、圖 6A2 及圖 6B 是半導體裝置的電路圖的例子；

圖 7A 和圖 7B 是半導體裝置的電路圖的例子；

圖 8A 至圖 8C 是半導體裝置的電路圖的例子；

圖 9A 至圖 9F 是電子設備的例子；

圖 10A 和圖 10B 是示出用於計算的電晶體的模型的截面圖；

圖 11A 和圖 11B 是示出通道長度 L (nm) 和臨界值電壓的偏移量 ΔV_{th} (V) 的關係的圖；

圖 12A 和圖 12B 是示出通道長度 L (nm) 和臨界值電壓的偏移量 ΔV_{th} (V) 的關係的圖；以及

圖 13 是示出通道長度 L (nm) 和臨界值電壓的偏移量 ΔV_{th} (V) 的關係的圖。

【實施方式】

下面，參照附圖說明本發明的實施例。所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和

詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在以下實施例所記載的內容中。

注意，為了容易理解內容，附圖等所示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，所公開的發明不一定侷限於附圖等所示出的位置、大小和範圍等。

另外，本說明書等中使用的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混同而附加的，而不是為了限定數目而附加的。

實施例 1

在本實施例中，參照圖 1A 至圖 3F 說明根據所公開的發明的一個實施例的半導體裝置的結構及其製造製程的例子。

〈半導體裝置的結構例子〉

在圖 1A 至圖 1D 中作為半導體裝置的例子示出電晶體的截面結構。在圖 1A 至圖 1D 中作為根據所公開的發明的一個實施例的電晶體示出頂閘型的電晶體。

圖 1A 所示的電晶體 160 在基板 100 上包括：依次層疊有第一導電層 142a、第二導電層 145a 的源極電極；依次層疊有第一導電層 142b、第二導電層 145b 的汲極電極；設置在源極電極上的絕緣層 143a；設置在汲極電極

上的絕緣層 143b；設置在絕緣層 143a 及絕緣層 143b 上的氧化物半導體層 144；設置在氧化物半導體層 144 上的閘極絕緣層 146；以及設置在閘極絕緣層 146 上的閘極電極 148。

在圖 1A 所示的電晶體 160 中，第二導電層 145a 具有從第一導電層 142a 的端部向通道長度方向（載子流過的方向）延伸的區域，並且第二導電層 145a 至少與氧化物半導體層 144 的通道形成區接觸。另外，第二導電層 145b 具有從第一導電層 142b 的端部向通道長度方向延伸的區域，並且第二導電層 145b 至少與氧化物半導體層 144 的通道形成區接觸。

更明確而言，第二導電層 145a 具有在通道長度方向（載子流過的方向）上從第一導電層 142a 的端部向汲極電極延伸的區域。另外，第二導電層 145b 具有在通道長度方向上從第一導電層 142b 的端部向源極電極延伸的區域。

圖 1B 所示的電晶體 170 和圖 1A 所示的電晶體 160 的不同之處之一在於是否有絕緣層 143a、143b。在圖 1B 所示的電晶體 170 中與第二導電層 145a 及第二導電層 145b 的上表面及端部接觸地設置有氧化物半導體層 144。

在圖 1B 所示的電晶體 170 中，與電晶體 160 同樣地，第二導電層 145a 具有從第一導電層 142a 的端部向通道長度方向延伸的區域，而第二導電層 145b 具有從第一導電層 142b 的端部向通道長度方向延伸的區域。

圖 1C 所示的電晶體 180 和圖 1A 所示的電晶體 160 的不同之處之一在於第一導電層 142a 和第二導電層 145a 的疊層順序以及第一導電層 142b 和第二導電層 145b 的疊層順序。圖 1C 所示的電晶體 180 包括依次層疊有第二導電層 145a 和第一導電層 142a 的源極電極以及依次層疊有第二導電層 145b 和第一導電層 142b 的汲極電極。

另外，在圖 1C 所示的電晶體 180 中，第二導電層 145a 具有從第一導電層 142a 的端部向通道長度方向延伸的區域，而第二導電層 145b 具有從第一導電層 142b 的端部向通道長度方向延伸的區域。從而，絕緣層 143a 以與第二導電層 145a 中的從第一導電層 142a 的端部向通道長度方向延伸的區域及第一導電層 142a 接觸的方式設置。另外，絕緣層 143b 以與第二導電層 145b 中的從第一導電層 142b 的端部向通道長度方向延伸的區域及第一導電層 142b 接觸的方式設置。

圖 1D 所示的電晶體 190 和圖 1C 所示的電晶體 180 的不同之處之一在於是否有絕緣層 143a、143b。在圖 1D 所示的電晶體 190 中，以與第一導電層 142a、第一導電層 142b、第二導電層 145a 中的從第一導電層 142a 的端部向通道長度方向延伸的區域和第二導電層 145b 中的從第一導電層 142b 的端部向通道長度方向延伸的區域接觸的方式設置有氧化物半導體層 144。

在圖 1D 所示的電晶體 190 中，第二導電層 145a 具有從第一導電層 142a 的端部向通道長度方向延伸的區域，

並且第二導電層 145a 至少與氧化物半導體層 144 的通道形成區接觸。另外，第二導電層 145b 具有從第一導電層 142b 的端部向通道長度方向延伸的區域，並且第二導電層 145b 至少與氧化物半導體層 144 的通道形成區接觸。

〈電晶體的製造製程的例子〉

以下參照圖 2A 至圖 2F 及圖 3A 至圖 3F 說明圖 1A 至圖 1D 所示的電晶體的製造製程的例子。

<電晶體 160 或電晶體 170 的製造製程>

首先，參照圖 2A 至圖 2F 說明圖 1A 所示的電晶體 160 的製造製程的一個例子。另外，圖 1B 所示的電晶體 170 除了不設置絕緣層 143a、143b 以外可以參考電晶體 160 的製造製程，所以省略詳細說明。

在具有絕緣表面的基板 100 上形成第一導電膜，對該導電膜選擇性地進行蝕刻形成第一導電層 142a、142b（參照圖 2A）。第一導電膜的厚度例如為 50nm 至 500nm。

另外，雖然對可用於基板 100 的基板沒有很大的限制，但是至少需要具有能夠承受後面的加熱處理程度的耐熱性。例如，基板 100 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，只要具有絕緣表面，就也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可

以在這些基板上設置有半導體元件。另外，在基板 100 上也可以設置有基底膜。

第一導電膜可以使用以濺射法為典型的 PVD 法或電漿 CVD 法等的 CVD 法而形成。另外，作為第一導電膜的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬和鎢中的元素、上述元素的氮化物或以上述元素為成分的合金等。也可以使用選自錳、鎂、鋅、鈹中的一種或組合上述元素的多種的材料。另外，也可以使用組合鋁與選自鈦、鈹、鎢、鉬、鉻、鈷和鈳中的一種元素或多種元素而成的材料。

第一導電膜既可為單層結構，又可為兩層以上的疊層結構。例如，可以舉出鈦膜的單層結構、包含矽的鋁膜的單層結構、在鋁膜上層疊有鈦膜的兩層結構以及層疊有鈦膜、鋁膜和鈦膜的三層結構等。另外，當第一導電膜為單層結構時，有對具有錐形形狀的源極電極及汲極電極容易進行加工的優點。

另外，第一導電膜也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或在這些金屬氧化物材料中含有矽或氧化矽的材料。

第一導電膜的蝕刻最好以所形成的第一導電層 142a 及第一導電層 142b 的端部具有錐形形狀的方式進行。在

此，錐形角 $\alpha 1$ 是基板面與第一導電層142a的端部的側面成的角度，並且錐形角 $\beta 1$ 是基板面與第一導電層142b的端部的側面成的角度。例如錐形角 $\alpha 1$ 及錐形角 $\beta 1$ 最好成 30° 以上且 60° 以下（參照圖2A）。

接著，覆蓋第一導電層142a、142b及基板100地形成第二導電膜145。第二導電膜145的厚度為3nm至30nm、最好為5nm至15nm。

第二導電膜145可以使用與第一導電膜同樣的材料、同樣的成膜方法形成。換言之，作為第二導電膜的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬和鎢中的元素、上述元素的氮化物、以上述元素為成分的合金等。也可以使用選自錳、鎂、鋅、銻中的一種或組合上述元素的多種的材料。另外，也可以使用組合鋁與選自鈦、鈹、鎢、鉬、鉻、釷和釷中的一種元素或多種元素而成的材料。另外，也可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或在這些金屬氧化物材料中含有矽或氧化矽的導電金屬氧化物。

另外，作為第二導電膜145的材料，最好使用其電阻比第一導電層142a、142b高的材料。這是因為在所製造的電晶體160的源極電極及汲極電極中與氧化物半導體層的通道形成區接觸的區域的電阻比其他區域高，可以使在源極電極和汲極電極之間的電場緩和來抑制短通道效應的緣故。作為用於第二導電膜145的導電材料，例如可以最

好使用氮化鈦、氮化鎢、氮化鉬、氮化鋁等的金屬氮化物。另外，由於第二導電膜 145 成為源極電極或汲極電極的一部分並與氧化物半導體層接觸，所以第二導電膜 145 最好使用不與氧化物半導體層接觸而引起化學反應的材料。上述金屬氮化物從這觀點來看也是較佳的。

接著，在第二導電膜 145 上形成 50nm 至 300nm，較佳的是 100nm 至 200nm 的絕緣膜 143（參照圖 2A）。在本實施例中，絕緣膜 143 使用氧化矽膜形成。另外，在圖 1B 中，如電晶體 170 所示那樣，不一定必須要形成絕緣膜 143。然而，當設置絕緣膜 143 時，容易控制後面形成的源極電極或汲極電極與氧化物半導體層的接觸區域（接觸面積等）。換言之，容易控制源極電極或汲極電極的電阻，可以效果好地抑制短通道效應。另外，藉由設置絕緣膜 143，可以降低在後面形成的閘極電極和源極電極及汲極電極之間的寄生電容。

接著，在絕緣膜 143 上形成掩模，使用該掩模對絕緣膜 143 進行蝕刻，從而形成絕緣層 143a、143b（參照圖 2B）。作為絕緣膜 143 的蝕刻可以使用濕蝕刻或乾蝕刻，也可以組合濕蝕刻和乾蝕刻使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將絕緣膜蝕刻成所希望的形狀。但是，為了對電晶體的通道長度（L）進行微細加工，最好使用乾蝕刻。作為用於乾蝕刻的蝕刻氣體，例如可以使用六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等的含氟的氣體或四氟

化碳（ CF_4 ）和氫的混合氣體等，也可以對蝕刻氣體添加稀有氣體（氦（ He ）、氬（ Ar ）、氙（ Xe ））、一氧化碳或二氧化碳等。

接著，藉由使用用於絕緣膜 143 的蝕刻的掩模，對第二導電膜 145 進行蝕刻，從而形成第二導電層 145a、145b（參照圖 2C）。另外，也可以在對第二導電膜 145 進行蝕刻之前去除掩模，將絕緣層 143a 及絕緣層 143b 用作掩模並對第二導電膜 145 進行蝕刻。另外，如圖 1B 的電晶體 170 所示那樣，在不設置絕緣層的情況下，在第二導電膜 145 上直接形成掩模並對第二導電膜進行蝕刻即可。另外，第二導電膜 145 的蝕刻最好以第二導電層 145a 及第二導電層 145b 的端部具有錐形形狀的方式進行。在設置絕緣膜 143 的情況下，最好以絕緣層 143a 及絕緣層 143b 的端部也同樣地具有錐形形狀的方式進行。在此，錐形角 α_2 是基板面與第二導電層 145a 及絕緣層 143a 的端部的側面成的角度，並且錐形角 β_2 是基板與第二導電層 145b 及絕緣層 143b 的端部的側面成的角度。例如錐形角 α_2 及錐形角 β_2 最好成 30° 以上且 60° 以下。

作為第二導電膜 145 的蝕刻可以使用濕蝕刻或乾蝕刻，也可以組合濕蝕刻和乾蝕刻使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將導電膜蝕刻成所希望的形狀。但是，為了對電晶體的通道長度（ L ）進行微細加工，最好使用乾蝕刻。作為用於第二導電膜 145 的蝕刻的蝕刻氣體，例如可以使用氯

(Cl_2)、三氯化硼 (BCl_3)、四氯化矽 (SiCl_4)、四氟化碳 (CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3) 等，也可以使用選自這些氣體中的多種的混合氣體。另外，也可以對蝕刻氣體添加稀有氣體 (氦 (He)、氬 (Ar)) 或氧等。另外，第二導電膜 145 的蝕刻也可以使用與絕緣膜 143 的蝕刻相同的氣體連續進行。

藉由該蝕刻製程，形成層疊有第一導電層 142a 及第二導電層 145a 的源極電極以及層疊有第一導電層 142b 及第二導電層 145b 的汲極電極。藉由適當地調整用於蝕刻的掩模，可以形成具有從第一導電層 142a 的端部向通道長度方向延伸的區域的第二導電層 145a 以及具有從第一導電層 142b 的端部向通道長度方向延伸的區域的第二導電層 145b。

另外，電晶體 160 的通道長度 (L) 根據第二導電層 145a 的下端部和第二導電層 145b 的下端部之間的距離來決定。通道長度 (L) 根據電晶體 160 的用途不同，例如可以設定為 10nm 至 1000nm，最好設定為 20nm 至 400nm。

另外，在形成通道長度 (L) 短於 25nm 的電晶體的情況下，當進行用於絕緣膜 143 及第二導電膜 145 的蝕刻的形成掩模的曝光時，最好使用波長短，即幾 nm 至幾十 nm 的超紫外線 (Extreme Ultraviolet)。利用超紫外線的曝光具有如下特點，即解析度高且焦點深度也大。因此，也可以使後面形成的電晶體的通道長度 (L) 充分縮小，

而可以提高電路的工作速度。另外，藉由實現微細化，可以降低半導體裝置的耗電量。

另外，在第二導電層中，從第一導電層的端部向通道長度方向延伸的區域具有在後面形成氧化物半導體層及閘極絕緣層的製程中提高覆蓋性的效果。在第二導電層 145a 中從第一導電層 142a 的端部向通道長度方向延伸的區域的通道長度方向上的長度 (L_s) 和在第二導電層 145b 中從第一導電層 142b 的端部向通道長度方向延伸的區域的通道長度方向上的長度 (L_D) 不一定相同。但是，例如在同一基板上設置多個電晶體 160 時，各電晶體中的 L_s 和 L_D 的總和值大致一定。

接著，在絕緣層 143a、143b 以及基板 100 上藉由濺射法形成氧化物半導體層 144（參照圖 2D）。氧化物半導體層 144 的厚度例如設定為 3nm 至 30nm，最好為 5nm 至 15nm。形成了的氧化物半導體層 144 至少在通道形成區中與第二導電層 145a 及第二導電層 145b 接觸。

在此，藉由第二導電層 145a、145b 具有從第一導電層 142a、142b 的端部向通道長度方向延伸的區域，可以使源極電極及汲極電極的端部的水平差緩和。由此，可以提高氧化物半導體層 144 的覆蓋性並防止膜的斷開。

另外，製造的電晶體 160 中的源極電極及汲極電極僅在第二導電層 145a 及第二導電層 145b 的端部與氧化物半導體層 144 接觸。由此，與源極電極及汲極電極的上表面也與氧化物半導體層接觸的情況相比，可以大幅度地縮減

接觸面積。像這樣，藉由縮減源極電極及汲極電極與氧化物半導體層 144 的接觸面積，可以增大接觸介面中的接觸電阻，並可以緩和源極電極和汲極電極之間的電場。另外，由於所公開的發明的技術思想在於在源極電極及汲極電極中形成高電阻的區域，所以不嚴格地要求源極電極及汲極電極僅在第二導電層 145a 及第二導電層 145b 的端部與氧化物半導體層 144 接觸。例如，也可以使第二導電層 145a 及第二導電層 145b 的上表面的一部分與氧化物半導體層 144 接觸。

氧化物半導體層 144 可以使用如下金屬氧化物形成：四元類金屬氧化物的 In-Sn-Ga-Zn-O 類、三元類金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、二元類金屬氧化物的 In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類、以及一元類金屬氧化物的 In-O 類、Sn-O 類、Zn-O 類等。

因為尤其是 In-Ga-Zn-O 類的氧化物半導體材料的無電場時的電阻充分高而可以使截止電流足夠小，並且，其電場效應遷移率也高，所以 In-Ga-Zn-O 類的氧化物半導體材料適合用作用於半導體裝置的半導體材料。

作為 In-Ga-Zn-O 類的氧化物半導體材料的典型例子，有表示為 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$ 、 m ：非自然數) 的氧化物半導體材料。此外，還有使用 M 代替 Ga，且被表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 、 m ：非自然數) 的氧化物半

導體材料。在此，M 表示選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）等中的一種金屬元素或者多種金屬元素。例如，作為 M，可以應用 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等。注意，上述組成根據結晶結構得出，只是結晶結構的一個例子而已。

作為藉由濺射法製造氧化物半導體層 144 的靶材，最好使用由 $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$ （ x 是 0 以上、 y 是 0.5 以上且 5 以下）的組成比表示的靶材。例如，可以使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 〔mol 數比〕的組成比的金屬氧化物靶材等。另外，也可以使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 〔mol 數比〕的組成比的金屬氧化物靶材、具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ 〔mol 數比〕的組成比的金屬氧化物靶材、具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 0 : 2$ 〔mol 數比〕的組成比的金屬氧化物靶材。

在本實施例中藉由使用 In-Ga-Zn-O 類的金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 144。

將金屬氧化物靶材中的金屬氧化物的相對密度設定為 80%以上，最好為 95%以上，更最好為 99.9%以上。藉由使用相對密度高的金屬氧化物靶材，可以形成具有緻密的結構的氧化物半導體層 144。

形成氧化物半導體層 144 的氣圍最好為稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確而言，例如，最好使用氬、水、羥基或氫化

物等的雜質的濃度降低到 1ppm 以下（最好為 10ppb 以下）的高純度氣體氣圍。

當形成氧化物半導體層 144 時，例如在保持為減壓狀態的處理室內保持被處理物（在此，包括基板 100 的結構體），並且以使被處理物的溫度為 100℃ 以上且低於 550℃，最好為 200℃ 以上且 400℃ 以下的方式對被處理物進行加熱。或者，形成氧化物半導體層 144 時的被處理物的溫度也可以是室溫。然後，邊去除處理室內的水分，邊引入氫或水等被去除的濺射氣體，使用上述靶材形成氧化物半導體層 144。藉由邊對被處理物進行加熱邊形成氧化物半導體層 144，可以減少包含在氧化物半導體層 144 中的雜質。另外，可以減輕由濺射導致的損傷。最好使用吸附型真空泵，以去除處理室內的水分。例如，可以使用低溫泵、離子泵或鈦昇華泵等。另外，也可以使用具有冷阱的渦輪泵。由於藉由使用低溫泵等排氣，可以從處理室去除氫或水等，所以可以降低氧化物半導體層 144 中的雜質濃度。

作為氧化物半導體層 144 的形成條件，例如，可以應用如下條件：被處理物和靶材之間的距離為 170mm，壓力為 0.4Pa，直流（DC）電力為 0.5kW，並且氣圍為氧（氧為 100%）氣圍或氫（氫為 100%）氣圍或氧和氫的混合氣圍。另外，藉由使用脈衝直流（DC）電源，可以減少在進行成膜時產生的粉狀物質（也稱為微粒、塵屑等），並且膜厚分佈也變得均勻，所以這是較佳的。氧化物半導體

層 144 的厚度例如設定為 3nm 至 30nm，最好為 5nm 至 15nm。藉由使用這樣的厚度的氧化物半導體層 144，可以抑制因微細化導致的短通道效應。但是，因為氧化物半導體層的適當的厚度根據使用的氧化物半導體材料或半導體裝置的用途等而不同，所以可以根據使用的材料或用途等適當地選擇其厚度。

另外，最好在藉由濺射法形成氧化物半導體層 144 之前進行引入氬氣體來產生電漿的反濺射，以去除附著在形成表面（例如絕緣層 143a、143b 的表面）的附著物。在此，通常的濺射是指將離子碰撞到濺射靶材，而反濺射是指將離子碰撞到處理表面來改變其表面的性質。作為將離子碰撞到處理表面的方法，有在氬氣圍下將高頻電壓施加到處理表面一側而在被處理物附近生成電漿的方法等。另外，也可以使用氮、氦、氧等代替氬氣圍。

然後，最好對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由該第一熱處理可以去除在氧化物半導體層 144 中的過剩的氫（包含水或羥基），調整氧化物半導體層的結構，降低能隙中的缺陷能級。第一熱處理的溫度例如設定為 300℃ 以上且低於 550℃，最好為 400℃ 以上且 500℃ 以下。

例如，將被處理物引入到使用電阻發熱體等的電爐中，在氮氣圍下且在 450℃ 的溫度下進行 1 小時的熱處理。在該期間，不使氧化物半導體層 144 接觸大氣，而避免水或氫的再混入。

熱處理裝置不侷限於電爐，也可以為利用來自被進行了加熱的氣體等介質的熱傳達或熱輻射來對被處理物進行加熱的裝置。例如，可以使用 LRTA（燈快速熱退火）裝置或 GRTA（氣體快速熱退火）裝置等 RTA（快速熱退火）裝置。LRTA 裝置是藉由鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發出的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是利用高溫氣體進行熱處理的裝置。作為氣體，使用氬等稀有氣體或氮等即使藉由熱處理也不與被處理物起反應的惰性氣體。

例如，作為第一熱處理，也可以進行如下 GRTA 處理，即將被處理物引入到被加熱的惰性氣體氣圍中，進行加熱幾分鐘，然後從該惰性氣體氣圍中抽出被處理物。藉由使用 GRTA 處理，可以在短時間內進行高溫熱處理。另外，即使在超過被處理物的耐熱溫度的溫度條件下也可以使用 GRTA 處理。另外，在處理中，也可以將惰性氣體轉換為包含氧的氣體。這是因為藉由在包含氧的氣圍下進行第一熱處理，可以降低起因於氧缺陷的能隙中的缺陷能級。

另外，作為惰性氣體氣圍，最好應用以氮或稀有氣體（氮、氬或氫等）為主要成分且不包含水或氫等的氣圍。例如，最好將引入熱處理裝置中的氮或氮、氬、氫等的稀有氣體的純度設定為 6N（99.9999%）以上，最好設定為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，最好為 0.1ppm 以下）。

無論在任何情況下，藉由第一熱處理降低雜質，形成 i 型（本徵半導體）或無限趨近於 i 型的氧化物半導體層 144，可以形成具有非常優良的特性的電晶體。

由於上述熱處理（第一熱處理）具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。該脫水化處理、脫氫化處理可以在如下時機進行：氧化物半導體層的形成後；閘極絕緣層的形成後；閘極電極的形成後等。另外，這樣的脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，形成與氧化物半導體層 144 接觸的閘極絕緣層 146（參照圖 2E）。在此，藉由第二導電層 145a、145b 具有從第一導電層 142a、142b 的端部向通道長度方向延伸的區域，可以使源極電極及汲極電極的端部的水平差緩和。由此，可以提高閘極絕緣層 146 的覆蓋性並防止膜的斷開。

閘極絕緣層 146 可以藉由 CVD 法或濺射法等形成。另外，閘極絕緣層 146 最好包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉬、氧化鉛、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等形成。閘極絕緣層 146 可以為單層結構或者疊層結構。另外，對其厚度沒有特別的限制，但是當使半導體裝置微細化時，為了確保電晶體的工作最好將閘極絕緣層 146 形成得薄。例如，當使

用氧化矽時，可以將其厚度設定為 1nm 以上且 100nm 以下，最好為 10nm 以上且 50nm 以下。

如上述那樣，若使閘極絕緣層減薄，則出現起因於隧道效應等的閘極洩露的問題。為了解決閘極洩露的問題，作為閘極絕緣層 146，最好使用氧化鉛、氧化鉭、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等高介電常數（high-k）材料。藉由將 high-k 材料用於閘極絕緣層 146，可以確保電特性，並可以使其厚度增大以抑制閘極洩露。另外，也可以採用包含 high-k 材料的膜和包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等的任一個的膜的疊層結構。

在形成閘極絕緣層 146 之後，最好在惰性氣體氣圍下或在氧氣圍下進行第二熱處理。熱處理的溫度設定為 200℃ 以上且 450℃ 以下，最好為 250℃ 以上且 350℃ 以下。例如，在氮氣圍下以 250℃ 進行 1 小時的熱處理即可。藉由進行第二熱處理，可以減少電晶體的電特性的偏差。另外，當閘極絕緣層 146 包含氧時，對氧化物半導體層 144 供應氧，而補償該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本徵半導體）或無限趨近於 i 型的氧化物半導體層。

另外，雖然在本實施例中在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時機不侷限於此。例

如，也可以在形成閘極電極之後進行第二熱處理。另外，也可以在進行第一熱處理之後繼續進行第二熱處理，也可以將第一熱處理兼作第二熱處理，並也可以將第二熱處理兼作第一熱處理。

如上述那樣，藉由應用第一熱處理和第二熱處理中的至少一方，可以使氧化物半導體層 144 儘量不包含其主要成分以外的雜質而高純度化。由此，可以使氧化物半導體層 144 中的氫濃度為 5×10^{19} 原子/cm³ 以下，較佳為 5×10^{18} 原子/cm³ 以下，更佳為 5×10^{17} 原子/cm³ 以下。另外，與一般的矽晶圓的載子密度（ 1×10^{14} /cm³ 左右）相比，可以使氧化物半導體層 144 的載子密度為充分小的值（例如，小於 1×10^{12} /cm³，更佳小於 1.45×10^{10} /cm³）。由此，其截止電流充分變小。例如，電晶體 160 的室溫下的截止電流（在此，每單位通道寬度（1μm）的值）為 100zA/μm（1zA（zeptoampere）是 1×10^{-21} A）以下，最好為 10zA/μm 以下。

接著，在閘極絕緣層 146 上的重疊於氧化物半導體層 144 的通道形成區的區域中形成閘極電極 148（參照圖 2F）。閘極電極 148 可以在閘極絕緣層 146 上形成導電膜之後對該導電膜選擇性地進行蝕刻來形成。成為閘極電極 148 的導電膜可以使用以濺射法為典型的 PVD 法或電漿 CVD 法等 CVD 法而形成。詳細說明與源極電極或汲極電極等的情況相同，可以參考這些說明。但是，如果閘極電極 148 的材料的功函數與氧化物半導體層 144 的電子親

和力相同或比該電子親和力更小，則當使電晶體微細化時，該臨界值電壓有時偏移負一側。由此，閘極電極 148 最好使用具有比氧化物半導體層 144 的電子親和力大的功函數的材料。作為這種材料例如有鎢、鉑、金、賦予 p 型的導電性的矽等。

藉由上述步驟，完成使用氧化物半導體層 144 的電晶體 160。

<電晶體 180 或電晶體 190 的製造製程>

接著，使用圖 3A 至 3F 說明圖 1C 所示的電晶體 180 的製造製程的一個例子。另外，圖 1D 所示的電晶體 190 除了沒有絕緣層 143a、143b 以外，可以參考電晶體 180 的製造製程，所以可以省略詳細說明。

在基板 100 上形成第二導電膜 145。第二導電膜 145 的厚度為 3nm 至 30nm，最好為 5nm 至 15nm。接著，在第二導電膜 145 上形成第一導電膜，對該第一導電膜選擇性地進行蝕刻，從而形成第一導電層 142a、142b。然後，在第一導電層 142a、142b 及第二導電膜 145 上形成絕緣膜 143（參照圖 3A）。

另外，在第二導電膜上形成第一導電膜的情況下，第二導電膜和第一導電膜分別選擇能夠獲得蝕刻選擇比的材料。另外，第二導電膜最好使用其電阻比第一導電膜高的材料。在本實施例中，作為第二導電膜 145 形成氮化鈦膜，作為第一導電膜形成鎢膜或鉬膜，使用四氟化碳

(CF_4)、氯(Cl_2)、氧(O_2)的混合氣體、四氟化碳(CF_4)、氧(O_2)的混合氣體、六氟化硫(SF_6)、氯(Cl_2)、氧(O_2)的混合氣體或六氟化硫(SF_6)、氧(O_2)的混合氣體對第一導電膜進行蝕刻，從而形成第一導電層 142a、142b。

另外，在圖 1D 中電晶體 190 所示那樣，不一定必須形成絕緣膜 143，但是藉由設置絕緣膜 143，可以減少在後面形成的閘極電極和源極電極及汲極電極之間的寄生電容。

接著，與圖 2B 所示的製程同樣，在絕緣膜 143 上形成掩模，使用該掩模對絕緣膜 143 進行蝕刻，從而形成絕緣層 143a、143b（參照圖 3B）。

接著，與圖 2C 所示的製程同樣，藉由使用用於絕緣層 143a 及絕緣層 143b 的蝕刻的掩模，對第二導電膜 145 進行蝕刻，從而形成第二導電層 145a、145b（參照圖 3C）。另外，也可以在對第二導電膜 145 進行蝕刻之前去除掩模，將絕緣層 143a 及絕緣層 143b 用作掩模並對第二導電膜 145 進行蝕刻。作為用於第二導電膜 145 的蝕刻的蝕刻氣體，例如可以使用氯(Cl_2)、三氯化硼(BCl_3)、四氯化矽(SiCl_4)、四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)等，也可以使用選自這些氣體中的多種的混合氣體。另外，也可以對蝕刻氣體添加稀有氣體（氦(He)、氬(Ar)）。另外，如圖 1D 的電晶體 190 所示那樣，當不設置絕緣層時，在第二導電膜

145 上直接形成掩模並對第二導電膜進行蝕刻即可。

接著，與圖 2D 所示的製程同樣地，在絕緣層 143a、143b 以及基板 100 上藉由濺射法形成氧化物半導體層 144（參照圖 3D）。形成了的氧化物半導體層 144 至少在通道形成區中與第二導電層 145a 及第二導電層 145b 接觸。另外，最好對氧化物半導體層 144 進行熱處理（第一熱處理）。

接著，與圖 2E 所示的製程同樣地，形成與氧化物半導體層 144 接觸的閘極絕緣層 146（參照圖 3E）。在形成閘極絕緣層 146 之後，最好進行熱處理（第二熱處理）。

接著，與圖 2F 所示的製程同樣地，在閘極絕緣層 146 上的重疊於氧化物半導體層 144 的通道形成區的區域中形成閘極電極 148（參照圖 3F）。

藉由上述步驟，完成使用氧化物半導體層 144 的電晶體 180。

本實施例所示的電晶體 160、170、180、190 包括層疊有第一導電層及第二導電層的源極電極及汲極電極，第二導電層 145a、145b 分別具有從第一導電層 142a、142b 的端部向通道長度方向延伸的區域。由此，由於可以使源極電極及汲極電極的端部的水平差緩和，所以可以提高氧化物半導體層 144 及閘極絕緣層 146 的覆蓋性並抑制連接不良的發生。

另外，在本實施例所示的電晶體 160、170、180、190 中，藉由使源極電極或汲極電極的與通道形成區接觸

的區域附近為高電阻區域，可以緩和源極電極和汲極電極之間的電場，從而可以抑制電晶體尺寸的縮小所引起的短通道效應。

像這樣，在所公開的發明的一個實施例中，可以解決微細化所導致的問題，其結果是可以使電晶體的尺寸充分地縮小。藉由使電晶體的尺寸充分地縮小，使用電晶體的半導體裝置所占的面積縮小，利用一個基板得到的半導體裝置的個數增大。由此，可以抑制每半導體裝置的製造成本。另外，由於使半導體裝置小型化，所以可以實現幾乎相同的尺寸的其功能進一步得到提高的半導體裝置。另外，藉由通道長度的縮小也可以得到工作的高速化、低耗電量化等的效果。換言之，藉由根據所公開的發明的一個方式實現使用氧化物半導體的電晶體的微細化，可以得到微細化帶來的各種各樣的效果。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 2

在本實施例中，參照圖 4 及圖 5A 至圖 5F 說明與實施例 1 不同的根據所公開的發明的一個實施例的半導體裝置的結構及其製造製程。

<半導體裝置的結構例子>

圖 4 所示的電晶體 280 是半導體裝置的結構例子。電

晶體 280 的疊層順序對應於圖 1C 所示的電晶體 180 的疊層順序。電晶體 280 和電晶體 180 的不同之處在於在第二導電層 245a 中的從第一導電層 242a 的端部向通道長度方向延伸的區域上設置有側壁絕緣層 252a，並且在第二導電層 245b 中的從第一導電層 242b 的端部向通道長度方向延伸的區域上設置有側壁絕緣層 252b。

圖 4 所示的電晶體 280 在基板 200 上包括：依次層疊有第二導電層 245a 及第一導電層 242a 的源極電極；依次層疊有第二導電層 245b 及第一導電層 242b 的汲極電極；設置在源極電極上的絕緣層 243a；設置在汲極電極上的絕緣層 243b；設置在絕緣層 243a 及絕緣層 243b 上的氧化物半導體層 244；設置在氧化物半導體層 244 上的閘極絕緣層 246；以及設置在閘極絕緣層 246 上的閘極電極 248。

在圖 4 所示的電晶體 280 中，第二導電層 245a 具有從第一導電層 242a 的端部向通道長度方向延伸的區域，並且第二導電層 245a 至少與氧化物半導體層 244 的通道形成區接觸。另外，第二導電層 245b 具有從第一導電層 242b 的端部向通道長度方向延伸的區域，並且第二導電層 245b 至少與氧化物半導體層 244 的通道形成區接觸。

更明確而言，第二導電層 245a 具有在通道長度方向（載子流過的方向）上從第一導電層 242a 的端部向汲極電極延伸的區域。另外，第二導電層 245b 具有在通道長度方向上從第一導電層 242b 的端部向源極電極延伸的區

域。

再者，在圖 4 所示的電晶體 280 中，在第二導電層 245a 中的從第一導電層 242a 的端部向通道長度方向延伸的區域上設置有側壁絕緣層 252a，並且在第二導電層 245b 中的從第一導電層 242b 的端部向通道長度方向延伸的區域上設置有側壁絕緣層 252b。側壁絕緣層 252a 至少與氧化物半導體層 244 的通道形成區、第二導電層 245a、第一導電層 242a 以及絕緣層 243a 接觸地設置。此外，在側壁絕緣層 252a 中與氧化物半導體層 244 接觸的區域的至少一部分具有彎曲形狀。側壁絕緣層 252b 至少與氧化物半導體層 244 的通道形成區、第二導電層 245b、第一導電層 242b 以及絕緣層 243b 接觸地設置。此外，在側壁絕緣層 252b 中與氧化物半導體層 244 接觸的區域的至少一部分具有彎曲形狀。

<電晶體 280 的製造製程的例子>

下面，參照圖 5A 至 5F 說明上述電晶體 280 的製造製程的例子。

首先，在基板 200 上形成第二導電膜 245。接著，在第二導電膜 245 上形成第一導電膜 242，在該第一導電膜 242 上形成絕緣膜 243（參照圖 5A）。

在此，基板 200 可以使用與實施例 1 所示的基板 100 同樣的材料。另外，第二導電膜 245 可以使用與實施例 1 所示的第二導電膜 145 同樣的材料、成膜方法形成。另

外，第一導電膜 242 可以使用與實施例 1 所示的第一導電膜同樣的材料、成膜方法形成。以上的詳細說明可以參考實施例 1 所記載的內容。

但是，第一導電膜 242 和第二導電膜 245 使用能夠確保蝕刻選擇比的材料。在本實施例中，作為第二導電膜 245 形成氮化鈦膜，作為第一導電膜 242 形成鎢膜或鉕膜。

接著，在絕緣膜 243 上形成掩模，使用該掩模對絕緣膜 243 進行蝕刻，從而形成絕緣層 243a、243b。作為絕緣膜 243 的蝕刻可以使用濕蝕刻或乾蝕刻，也可以組合濕蝕刻和乾蝕刻使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將絕緣膜蝕刻成所希望的形狀。但是，為了對電晶體的通道長度（L）進行微細加工，最好使用乾蝕刻。作為用於乾蝕刻的蝕刻氣體，例如可以使用六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等的含氟的氣體或四氟化碳（ CF_4 ）和氫的混合氣體等，也可以對蝕刻氣體添加稀有氣體（氦（ He ）、氬（ Ar ）、氙（ Xe ））、一氧化碳或二氧化碳等。

接著，藉由使用用於絕緣膜 243 的蝕刻的掩模，對第一導電膜 242 進行蝕刻，形成第一導電層 242a、242b（參照圖 5B）。另外，當對第一導電膜 242 進行蝕刻時，使用能夠確保第一導電膜 242 和第二導電膜 245 的蝕刻選擇比的蝕刻材料。另外，也可以在對第一導電膜 242

進行蝕刻之前去除掩模，將絕緣層 243a 及絕緣層 243b 用作掩模並對第一導電膜 242 進行蝕刻。

在本實施例中，作為用來對第一導電膜 242 進行蝕刻的蝕刻氣體，使用四氟化碳（ CF_4 ）、氯（ Cl_2 ）、氧（ O_2 ）的混合氣體、四氟化碳（ CF_4 ）、氧（ O_2 ）的混合氣體、六氟化硫（ SF_6 ）、氯（ Cl_2 ）、氧（ O_2 ）的混合氣體或六氟化硫（ SF_6 ）、氧（ O_2 ）的混合氣體。

藉由設置絕緣層 243a、絕緣層 243b，容易控制後面形成的源極電極及汲極電極與氧化物半導體層的接觸區域（接觸面積等）。換言之，容易控制源極電極及汲極電極的電阻，可以效果好地抑制短通道效應。另外，藉由設置絕緣層 243a、絕緣層 243b，可以降低在後面形成的閘極電極和源極電極及汲極電極之間的寄生電容。

接著，覆蓋絕緣層 243a、243b 以及露出的第二導電膜 245 地形成絕緣膜 252（參照圖 5C）。絕緣膜 252 可以使用 CVD 法或濺射法形成。另外，絕緣膜 252 最好包含氧化矽、氮化矽、氧氮化矽、氧化鋁等形成。另外，絕緣膜 252 既可以為單層結構又可以為疊層結構。

接著，在第二導電膜 245 的露出的區域（在第一導電層 242a 和第一導電層 242b 之間的區域）上形成側壁絕緣層 252a、252b（參照圖 5D）。側壁絕緣層 252a、252b 藉由對絕緣膜 252 進行各向異性高的蝕刻處理，以自對準的方式形成。在此，作為各向異性高的蝕刻，最好使用乾蝕刻，例如，作為蝕刻氣體，可以使用三氟甲烷（ CHF_3 ）

等的含氟的氣體，也可以對蝕刻氣體添加氦（He）或氬（Ar）等的稀有氣體。再者，作為乾蝕刻，最好使用對基板施加高頻電壓的反應離子蝕刻法（RIE法）。

接著，將側壁絕緣層 252a、252b 用作掩模對第二導電膜 245 選擇性地進行蝕刻，從而形成第二導電層 245a、245b（參照圖 5E）。藉由該蝕刻製程，形成層疊有第二導電層 245a 及第一導電層 242a 的源極電極以及層疊有第二導電層 245b 及第一導電層 242b 的汲極電極。另外，第二導電膜 245 的蝕刻除了將側壁絕緣層 252a、252b 用作掩模以外，可以與實施例 1 的圖 2C 所示的方法同樣的方法進行。

電晶體 280 的通道長度（L）根據第二導電層 245a 的下端部和第二導電層 245b 的下端部之間的距離來決定。通道長度（L）根據電晶體 280 的用途不同，例如可以設定為 10nm 至 1000nm，最好設定為 20nm 至 400nm。

另外，本實施例所示的電晶體的製造製程使用側壁絕緣層 252a 或 252b 對第二導電膜 245 進行蝕刻。由此，第二導電層 245a 中的從第一導電層 242a 的端部向通道長度方向延伸的區域的通道長度方向上的長度（ L_s ）和側壁絕緣層 252a 的底面的通道長度方向上的長度大致一致。同樣地，第二導電層 245b 中的從第一導電層 242b 的端部向通道長度方向延伸的區域的通道長度方向上的長度（ L_D ）和側壁絕緣層 252b 的底面的通道長度方向上的長度大致一致。由於側壁絕緣層 252a、252b 對絕緣膜 252 進行蝕

刻處理以自對準的方式形成，所以根據絕緣膜 252 的厚度決定上述 (L_s) 或 (L_D)。換言之，藉由控制絕緣膜 252 的厚度，可以微細調整電晶體 280 的通道長度 (L)。例如，可以將電晶體 280 的通道長度 (L) 調整為比用來形成掩模的曝光裝置的最小加工尺寸更微細。由此，根據電晶體 280 所希望的通道長度 (L) 及用於第一導電層 242a、242b 的加工的曝光裝置的解析度等決定絕緣膜 252 的厚度既可。

接著，覆蓋絕緣層 243a、243b、側壁絕緣層 252a、252b 且與第二導電層 245a 及第二導電層 245b 接觸地形成氧化物半導體層 244，並且在氧化物半導體層 244 上形成閘極絕緣層 246。然後，在閘極絕緣層 246 上的與成為電晶體 280 的通道形成區的區域重疊的區域中形成閘極電極 248 (參照圖 5F)。

氧化物半導體層 244 可以使用與實施例 1 所示的氧化物半導體層 144 同樣的材料、方法形成。另外，最好對氧化物半導體層 244 進行熱處理 (第一熱處理)。詳細說明可以參考實施例 1 所記載的內容。

閘極絕緣層 246 可以使用與實施例 1 所示的閘極絕緣層 146 同樣的材料、方法形成。另外，在形成閘極絕緣層 246 之後，最好在惰性氣體氣圍下或在氧氣圍下進行熱處理 (第二熱處理)。詳細說明可以參考實施例 1 所記載的內容。

閘極電極 248 可以在閘極絕緣層 246 上形成導電膜之

後對該導電膜選擇性地進行蝕刻來形成。閘極電極 248 可以使用與實施例 1 所示的閘極電極 148 同樣的材料、方法形成。

另外，電晶體 280 的源極電極在第二導電層 245a 中的從第一導電層 242a 的端部向通道長度方向延伸的區域的端部與氧化物半導體層 244 接觸。另外，汲極電極在第二導電層 245b 中的從第一導電層 242b 的端部向通道長度方向延伸的區域的端部與氧化物半導體層 244 接觸。像這樣，藉由其厚度比第一導電層 242a、242b 薄的第二導電層 245a、245b 的端部與氧化物半導體層 244 接觸，可以減少源極電極及汲極電極與氧化物半導體層 244 的接觸面積，所以可以增大接觸介面的接觸電阻。由此，即使使電晶體 280 的通道長度（L）縮短，也可以緩和源極電極和汲極電極之間的電場並可以抑制短通道效果。另外，藉由第二導電層使用其電阻比第一導電層高的材料製造，可以更效果好地提高接觸電阻，因此是較佳的。另外，由於所公開的發明的技術思想在於在源極電極及汲極電極中形成高電阻區域，所以源極電極及汲極電極不嚴格地要求僅在第二導電層 245a 及第二導電層 245b 的端部接觸於氧化物半導體層 244。

藉由上述步驟，可以製造使用氧化物半導體層 244 的電晶體 280。

本實施例所示的電晶體 280 的通道長度（L）可以根據用來形成側壁絕緣層 252a、252b 的絕緣膜 252 的厚度

微細控制。由此，藉由適當地設定該絕緣膜 252 的厚度，縮小電晶體 280 的通道長度（L），而容易實現半導體裝置的微細化。

在本實施例所示的電晶體 280 中，在第二導電層 245a 中的從第一導電層 242a 的端部向通道長度方向延伸的區域上及在第二導電層 245b 中的從第一導電層 242b 的端部向通道長度方向延伸的區域上分別設置側壁絕緣層 252a 及側壁絕緣層 252b。由此，可以提高氧化物半導體層 244、閘極絕緣層 246 的覆蓋性，並可以抑制連接不良等的發生。

再者，在本實施例所示的電晶體 280 中，在第二導電層 245a 中設置從第一導電層 242a 的端部向通道長度方向延伸的區域，並且在第二導電層 245b 中設置從第一導電層 242b 的端部向通道長度方向延伸的區域，從而使與氧化物半導體層 244 的通道形成區接觸的區域附近為高電阻區。由此，藉由緩和源極電極和汲極電極之間的電場，可以抑制臨界值電壓的降低等的短通道效應。

像這樣，在所公開的發明的一個實施例中，可以解決因微細化所導致的問題，其結果是可以使電晶體的尺寸充分地縮小。藉由使電晶體的尺寸充分地縮小，使用電晶體半導體裝置所占的面積縮小，利用一個基板得到的半導體裝置的個數增大。由此，可以抑制每半導體裝置的製造成本。另外，由於使半導體裝置小型化，所以可以實現幾乎相同的尺寸的其功能進一步得到提高的半導體裝置。另

外，藉由通道長度的縮小也可以得到工作的高速化、低耗電量化等的效果。換言之，藉由根據所公開的發明的一個實施例實現使用氧化物半導體的電晶體的微細化，可以得到微細化帶來的各種各樣的效果。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 3

在本實施例中，參照圖 6A1 及 6A2 和 6B 說明根據所公開的發明的一個實施例的半導體裝置的應用例。這裏，說明儲存裝置的一個例子。另外，在電路圖中，有時追加 OS 的符號以表示使用氧化物半導體的電晶體。

在圖 6A1 所示的半導體裝置中，第一佈線（1st Line）與電晶體 300 的源極電極電連接，第二佈線（2nd Line）與電晶體 300 的汲極電極電連接。另外，第三佈線（3rd Line）與電晶體 310 的源極電極和汲極電極中的一方電連接，第四佈線（4th Line）與電晶體 310 的閘極電極電連接。並且，電晶體 300 的閘極電極、電晶體 310 的源極電極和汲極電極中的另一方與電容元件 320 的電極中的一方電連接，第五佈線（5th Line）與電容元件 320 的電極中的另一方電連接。

這裏，將實施例 1 及實施例 2 的使用氧化物半導體的電晶體應用於電晶體 310。使用氧化物半導體的電晶體具有截止電流極小的特徵。因此，藉由使電晶體 310 成為截

止狀態，可以在極長時間內保持電晶體 300 的閘極電極的電位。另外，藉由具有電容元件 320，可以容易保持施加到電晶體 300 的閘極電極的電荷，並容易讀出被保持的資料。

另外，對電晶體 300 沒有特別的限制。從提高資料的讀出速度的觀點來看，例如，最好應用使用單晶矽的電晶體等開關速度快的電晶體。

另外，如圖 6B 所示，也可以採用不設置電容元件 320 的結構。

在圖 6A1 所示的半導體裝置中，藉由發揮可以保持電晶體 300 的閘極電極的電位的特徵，如下所述那樣可以進行資料寫入、保持以及讀出。

首先，說明資料的寫入及保持。首先，藉由將第四佈線的電位設定為使電晶體 310 成為導通狀態的電位，使電晶體 310 成為導通狀態。由此，將第三佈線的電位施加到電晶體 300 的閘極電極和電容元件 320。就是說，將預定的電荷施加到電晶體 300 的閘極電極（寫入）。這裏，施加兩個不同的電位的電荷（以下，施加低電位的電荷稱為電荷 Q_L ，而施加高電位的電荷稱為電荷 Q_H ）中的任何一種被施加。另外，也可以應用施加三個或三個以上不同的電位的電荷以提高儲存容量。然後，藉由將第四佈線的電位設定為使電晶體 310 成為截止狀態的電位，使電晶體 310 成為截止狀態，而保持施加到電晶體 300 的閘極電極的電荷（保持）。

因為電晶體 310 的截止電流極小，所以在長時間內保持電晶體 300 的閘極電極的電荷。

下面，說明資料的讀出。藉由在對第一佈線施加了預定的電位（恒定電位）的狀態下將適當的電位（讀出電位）施加到第五佈線，第二佈線根據保持在電晶體 300 的閘極電極中的電荷量而取不同的電位。一般來說，這是因為如下緣故：在電晶體 300 為 n 通道型時，對電晶體 300 的閘極電極施加了 Q_H 的情況下的表觀（apparent）臨界值電壓 V_{th_H} 低於對電晶體 300 的閘極電極施加了 Q_L 的情況下的表觀臨界值電壓 V_{th_L} 。這裏，表觀臨界值電壓是指當使電晶體 300 成為“導通狀態”時需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 與 V_{th_L} 的中間的電位 V_0 ，可以辨別施加到電晶體 300 的閘極電極的電荷。例如，在寫入時施加了 Q_H 的情況下，在第五佈線的電位成為 $V_0 (>V_{th_H})$ 時，電晶體 300 成為“導通狀態”。在施加了 Q_L 的情況下，即使在第五佈線的電位成為 $V_0 (<V_{th_L})$ 時，電晶體 300 也處於“截止狀態”。因此，可以根據第二佈線的電位而讀出被保持的資料。

另外，在將儲存單元配置為陣列狀的情況下，需要唯讀出所希望的儲存單元的資料。像這樣，為了讀出預定的儲存單元的資料，而不讀出除此以外的儲存單元的資料，在電晶體 300 分別並聯連接於各儲存單元間的情況下，只要對讀出物件以外的儲存單元的第五佈線施加無論閘極電極的狀態如何都使電晶體 300 成為“截止狀態”的電位，

即小於 V_{th_H} 的電位，即可。另一方面，在電晶體 300 分別串聯連接於各儲存單元間的情況下，只要對讀出物件以外的儲存單元的第五佈線施加無論閘極電極的狀態如何都使電晶體 300 成為“導通狀態”的電位，即大於 V_{th_L} 的電位，即可。

下面，說明資料的重寫。與上述資料的寫入及保持同樣，進行資料的重寫。就是說，藉由將第四佈線的電位設定為使電晶體 310 成為導通狀態的電位，使電晶體 310 成為導通狀態。由此，將第三佈線的電位（根據新的資料的電位）施加到電晶體 300 的閘極電極和電容元件 320。然後，藉由將第四佈線的電位設定為使電晶體 310 成為截止狀態的電位，使電晶體 310 成為截止狀態，而使電晶體 300 的閘極電極成為被施加了根據新的資料的電荷的狀態。

如上所述，根據所公開的發明的半導體裝置可以藉由再次進行資料的寫入而直接重寫資料。由此，不需要快閃記憶體等所需要的利用高電壓從浮動閘極抽出電荷的工作，而可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。

另外，藉由將電晶體 310 的源極電極或汲極電極電連接於電晶體 300 的閘極電極，起到與用作非易失性記憶元件的浮動閘極型電晶體的浮動閘極相同的作用。因此，在附圖中，有時將電晶體 310 的源極電極或汲極電極與電晶體 300 的閘極電極電連接的部分稱為浮動閘極部 FG。在

電晶體 310 處於截止時，該浮動閘極部 FG 被看作埋在絕緣體中，而在浮動閘極部 FG 中保持電荷。因為使用氧化物半導體的電晶體 310 的截止電流為由矽半導體等形成的電晶體的十萬分之一以下，所以可以忽視由電晶體 310 的洩漏導致的積聚在浮動閘極部 FG 中的電荷的消失。就是說，藉由利用使用氧化物半導體的電晶體 310，可以實現即使沒有電力供給也能夠保持資料的非易失性儲存裝置。

例如，在電晶體 310 的室溫下的截止電流為 10zA (1zA 為 $1 \times 10^{-21}\text{A}$) 以下，並且電容元件 320 的電容值為 10fF 左右的情況下，可以至少在 10^4 秒以上保持資料。另外，當然，該保持時間根據電晶體特性或電容值而變動。

另外，在此情況下，不存在現有的浮動閘極型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的退化的問題。就是說，可以解決現有問題，即將電子注入到浮動閘極時閘極絕緣膜退化的問題。這意味著不存在原理上的寫入次數的限制。另外，不需要現有的浮動閘極型電晶體在寫入或擦除時所需要的高電壓。

包括在圖 6A1 所示的半導體裝置中的電晶體等的要素可以認為圖 6A2 所示那樣包括電阻器和電容器。就是說，在圖 6A2 中，電晶體 300 和電容元件 320 分別包括電阻器和電容器。 $R1$ 和 $C1$ 分別為電容元件 320 的電阻值和電容值，其中電阻值 $R1$ 相當於由構成電容元件 320 的絕緣層而起的電阻值。另外， $R2$ 和 $C2$ 分別為電晶體 300 的電阻值和電容值，其中電阻值 $R2$ 相當於由電晶體 300 處於導

通狀態時的閘極絕緣層而起的電阻值，電容值 $C2$ 相當於所謂的閘極電容（形成在閘極電極與源極電極或汲極電極之間的電容、形成在閘極電極與通道形成區域之間的電容）的電容值。

如果以電晶體 310 處於截止狀態時的源極電極與汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} ，在電晶體 310 的閘極洩漏電流十分小的條件下， $R1$ 及 $R2$ 滿足 $R1 \geq R_{OS}$ （ $R1$ 為 R_{OS} 以上）、 $R2 \geq R_{OS}$ （ $R2$ 為 R_{OS} 以上），則電荷的保持期間（可以說是資料的保持期間）主要取決於電晶體 310 的截止電流。

與此相反，在不滿足該條件的情況下，即使電晶體 310 的截止電流十分小，也難以確保充分的保持期間。這是因為電晶體 310 的截止電流以外的洩漏電流（例如，發生在源極電極與閘極電極之間的洩漏電流等）大的緣故。由此可知，本實施例所公開的半導體裝置最好滿足上述關係。

另一方面， $C1$ 和 $C2$ 最好滿足 $C1 \geq C2$ （ $C1$ 為 $C2$ 以上）的關係。這是因為如下緣故：藉由增大 $C1$ ，可以在由第五佈線控制浮動閘極部 FG 的電位時（例如，讀出時）抑制第五佈線的電位的變動。

藉由滿足上述關係，可以實現更合適的半導體裝置。另外， $R1$ 及 $R2$ 由電晶體 300 的閘極絕緣層或電容元件 320 的絕緣層控制。 $C1$ 及 $C2$ 的情況與上述情況同樣。因此，最好適當地設定閘極絕緣層的材料或厚度等，而滿足

上述關係。

在本實施例所示的半導體裝置中，浮動閘極部 FG 起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極相等的作用，但是，本實施例的浮動閘極部 FG 具有與快閃記憶體等的浮動閘極本質上不同的特徵。因為在快閃記憶體中施加到控制閘極的電壓高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。這是阻礙半導體裝置的高集成化的主要原因之一。該原因起因於施加高電場而發生隧道電流的快閃記憶體的根本原理。

另外，由快閃記憶體的上述原理導致絕緣膜的退化的進展，而還導致重寫次數的界限（ 10^4 至 10^5 次左右）的另一問題。

根據所公開的發明的半導體裝置根據使用氧化物半導體的電晶體的開關而工作，而不根據如上所述的由隧道電流而起的電荷注入的原理而工作。就是說，不需要如快閃記憶體那樣的用來注入電荷的高電場。由此，因為不需要考慮到控制閘極帶給相鄰的單元的高電場的影響，所以容易實現高集成化。

另外，因為不利用由隧道電流而起的電荷的注入，所以不存在儲存單元的退化的原因。就是說，與快閃記憶體相比，具有高耐久性和高可靠性。

另外，不需要高電場、不需要大型週邊電路（升壓電路等）這一點也優越於快閃記憶體。

另外，在使構成電容元件 320 的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體 300 的閘極電容的絕緣層的相對介電常數 ϵ_{r2} 不同的情況下，在構成電容元件 320 的絕緣層的面積 $S1$ 和構成電晶體 300 的閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ ($2 \cdot S2$ 為 $S1$ 以上) (最好為 $S2 \geq S1$ ($S2$ 為 $S1$ 以上)) 的同時，容易實現 $C1 \geq C2$ ($C1$ 為 $C2$ 以上)。換言之，邊縮小 $S1$ ，邊容易使 $C1$ 為 $C2$ 以上。明確地說，例如，在構成電容元件 320 的絕緣層中，藉由採用由氧化鉛等 high-k 材料構成的膜或由氧化鉛等 high-k 材料構成的膜與由氧化物半導體構成的膜的疊層結構，可以將 ϵ_{r1} 設定為 10 以上，最好為 15 以上，在構成電晶體 300 的閘極電容的絕緣層中，藉由採用氧化矽，可以將 ϵ_{r2} 設定為 3 至 4。

藉由追加這種結構，可以使根據所公開的發明的半導體裝置進一步高集成化。

另外，上述說明關於使用以電子為多數載子的 n 型電晶體 (n 通道型電晶體) 的情況，但是，當然可以使用以電洞為多數載子的 p 型電晶體代替 n 型電晶體。

如上所述，所公開的發明的一個實施例的半導體裝置具有非易失性儲存單元，該非易失性儲存單元包括截止狀態下的源極電極與汲極電極之間的洩漏電流 (截止電流) 少的寫入用電晶體、使用與該寫入用電晶體不同的半導體材料的讀出用電晶體以及電容元件。

寫入用電晶體的截止電流在使用儲存單元時的溫度

(例如， 25°C) 下為 100zA ($1\times 10^{-19}\text{A}$) 以下，較佳為 10zA ($1\times 10^{-20}\text{A}$) 以下，更佳為 1zA ($1\times 10^{-21}\text{A}$) 以下。在通常的矽半導體中難以得到如上所述的低截止電流，但是在以適當的條件加工氧化物半導體而得到的電晶體中能夠得到如上所述的低截止電流。因此，作為寫入用電晶體，最好使用包含氧化物半導體的電晶體。

再者，因為使用氧化物半導體的電晶體的亞臨界值擺幅值 (S 值) 小，所以即使遷移率比較低，也可以使開關速度十分增高。因此，藉由將該電晶體用於寫入用電晶體，可以使施加到浮動閘極部 FG 的寫入脈衝的上升極為陡峭。另外，因為截止電流小，所以可以減少使浮動閘極部 FG 保持的電荷量。就是說，藉由將使用氧化物半導體的電晶體應用於寫入用電晶體，可以進行高速的資料重寫。

雖然讀出用電晶體沒有對截止電流的限制，但是最好使用進行高速工作的電晶體，以提高讀出速度。例如，作為讀出用電晶體，最好使用開關速度為 1 奈秒以下的電晶體。

對儲存單元的資料寫入使用如下方法：藉由使寫入用電晶體成為導通狀態，將電位提供給與寫入用電晶體的源極電極和汲極電極中的一方、電容元件的電極中的一方以及讀出用電晶體的閘極電極電連接的浮動閘極部 FG，然後，藉由使寫入用電晶體成為截止狀態，使浮動閘極部 FG 保持預定量的電荷。這裏，因為寫入用電晶體的截止

電流極小，所以在長時間內保持提供給浮動閘極部 FG 的電荷。例如，在截止電流實際上為 0 時，不需要進行現有的 DRAM 所需要的刷新工作，或者，可以將刷新工作的頻度降到極低（例如，一個月至一年中的一次左右），而可以充分降低半導體裝置的耗電量。

另外，藉由對儲存單元再次寫入資料，可以直接重寫資料。由此，不需要快閃記憶體等所需要的擦除工作，而可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。另外，因為不需要現有的浮動閘極型電晶體在寫入或擦除時需要的高電壓，所以可以進一步降低半導體裝置的耗電量。在寫入兩個步驟（1 位元）的資料的情況下，在一個儲存單元中，施加到根據本實施例的儲存單元的電壓（同時施加到儲存單元的各端子的電位中的最大的與最小的之間的差異）的最大值為 5V 以下，最好為 3V 以下。

配置在根據所公開的發明的半導體裝置中的儲存單元只要至少包括寫入用電晶體、讀出用電晶體以及電容元件，即可，另外，即使電容元件的面積小，也可以進行工作。因此，例如，與每個儲存單元需要六個電晶體的 SRAM 相比，可以十分減小每個儲存單元的面積，而可以在半導體裝置中以高密度配置儲存單元。

另外，在現有的浮動閘極型電晶體中，因為在寫入時電荷在閘極絕緣膜（隧道絕緣膜）中遷移，所以不可避免該閘極絕緣膜（隧道絕緣膜）的退化。但是，在根據本發

明的一個實施例的儲存單元中，因為根據寫入用電晶體的開關工作而寫入資料，所以不存在閘極絕緣膜的退化的問題。這意味著不存在原理上的寫入次數的限制，並且對重寫的耐性極高。例如，根據本發明的一個實施例的儲存單元即使在寫入 1×10^9 次（10 億次）以上之後，其電流-電壓特性也未退化。

再者，在將使用氧化物半導體的電晶體應用於儲存單元的寫入用電晶體的情況下，因為通常的氧化物半導體的能隙大（例如，In-Ga-Zn-O 類氧化物半導體的能隙為 3.0eV 至 3.5eV ），熱激發載子也極少，所以例如即使在 150°C 的高溫環境下，儲存單元的電流-電壓特性也不退化。

本發明人在進行深入研究後，發現使用氧化物半導體的電晶體具有如下優良特性：即使在 150°C 的高溫下其特性也不退化，並且在 150°C 的溫度下截止電流極小，即 100zA 以下。在本實施例中，將具有該優良特性的電晶體應用於儲存單元的寫入用電晶體，而提供一種具有從來沒有的特徵的半導體裝置。

根據所公開的發明的一個實施例，在使用氧化物半導體的電晶體中，可以在抑制缺陷的同時或者在維持良好特性的同時，實現微細化。藉由使用這種電晶體，可以對上述優良的儲存裝置進行高度的集成化。

如上所述，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 4

在本實施例中，參照圖 7A 和 7B、圖 8A 至 8C 說明根據所公開的發明的一個實施例的半導體裝置的應用例。

圖 7A 和 7B 是使用圖 6A1 所示的多個半導體裝置（以下，也稱為儲存單元 400）而形成的半導體裝置的電路圖。圖 7A 是儲存單元 400 串聯連接的所謂的 NAND 型半導體裝置的電路圖，而圖 7B 是儲存單元 400 並聯連接的所謂的 NOR 型半導體裝置的電路圖。

在圖 7A 所示的半導體裝置中，源極電極線 SL、位元線 BL、第一信號線 S1、m 個第二信號線 S2、m 個字線 WL 以及多個儲存單元 400 (1, 1) 至 400 (m, 1) 配置為 m 個（列）（在垂直方向）×1 個（行）（在水平方向）。另外，圖 7A 示出具有有一個源極電極線 SL 及一個位元線 BL 的結構，但是本發明不侷限於此。藉由具有 n 個源極電極線 SL 及 n 個位元線 BL，可以採用具有縱 m 個（行）×橫 n 個（列）的儲存單元陣列的結構。

在各儲存單元 400 中，電晶體 300 的閘極電極與電晶體 310 的源極電極和汲極電極中的一方與電容元件 320 的電極中的一方彼此電連接。另外，第一信號線 S1 與電晶體 310 的源極電極和汲極電極中的另一方電連接，並且第二信號線 S2 與電晶體 310 的閘極電極電連接。另外，字線 WL 與電容元件 320 的電極中的另一方電連接。

另外，儲存單元 400 所具有的電晶體 300 的源極電極

與相鄰的儲存單元 400 所具有的電晶體 300 的汲極電極電連接，而儲存單元 400 所具有的電晶體 300 的汲極電極與相鄰的儲存單元 400 所具有的電晶體 300 的源極電極電連接。另外，串聯連接的多個儲存單元中的設置在一端的儲存單元 400 所具有的電晶體 300 的汲極電極與位線電連接。另外，串聯連接的多個儲存單元中的設置在另一端的儲存單元 400 所具有的電晶體 300 的源極電極與源極電極線電連接。

在圖 7A 所示的半導體裝置中，按每個行進行寫入工作及讀出工作。使用如下方法進行寫入工作。藉由將使電晶體 310 成為導通狀態的電位施加到被進行寫入的列的第二信號線 S2，使被進行寫入的列的電晶體 310 成為導通狀態。由此，將第一信號線 S1 的電位施加到指定的列的電晶體 300 的閘極電極，而將預定的電荷施加到該電晶體 300 的閘極電極。像這樣，可以將資料寫入到指定的列的儲存單元。

另外，使用如下方法進行讀出工作。首先，藉由將無論施加到電晶體 300 的閘極電極的電荷如何都使電晶體 300 成為導通狀態的電位施加到被進行讀出的列以外的字線 WL，使被進行讀出的列以外的電晶體 300 成為導通狀態。接著，將根據電晶體 300 的閘極電極所具有的電荷而選擇電晶體 300 的導通狀態或截止狀態的電位（讀出電位）施加到被進行讀出的列的字線 WL。然後，將恒定電位施加到源極電極線 SL，使連接於位元線 BL 的讀出電路

（未圖示）成為工作狀態。這裏，因為源極電極線 SL-位元線 BL 之間的多個電晶體 300 在被進行讀出的列中以外都處於導通狀態，所以源極電極線 SL-位元線 BL 之間的導電率取決於被進行讀出的列的電晶體 300 的狀態（導通狀態或截止狀態）。因為電晶體的導電率根據被進行讀出的列的電晶體 300 的閘極電極所具有的電荷而不同，所以位元線 BL 的電位相應地取不同的數值。藉由由讀出電路讀出位元線的電位，可以從指定的列的儲存單元讀出資料。

圖 7B 所示的半導體裝置具有 n 個源極電極線 SL、 n 個位元線 BL 以及 n 個第一信號線 S1、 m 個第二信號線 S2、 m 個字線 WL 以及多個儲存單元 400 (1, 1) 至 400 (m , n) 配置為 m 個（列）（在垂直方向） $\times n$ 個（行）（在水平方向）的矩陣狀的儲存單元陣列 410。各電晶體 300 的閘極電極、電晶體 310 的源極電極和汲極電極中的一方以及電容元件 320 的電極中的一方電連接。另外，源極電極線 SL 與電晶體 300 的源極電極電連接，並且位元線 BL 與電晶體 300 的汲極電極電連接。另外，第一信號線 S1 與電晶體 310 的源極電極和汲極電極中的另一方電連接，並且第二信號線 S2 與電晶體 310 的閘極電極電連接。另外，字線 WL 與電容元件 320 的電極中的另一方電連接。

在圖 7B 所示的半導體裝置中，按每個列進行寫入工作及讀出工作。使用與上述圖 7A 所示的半導體裝置同樣的方法進行寫入工作。另外，使用如下方法進行讀出工

作。首先，藉由將無論施加到電晶體 300 的閘極電極的電荷如何都使電晶體 300 成為截止狀態的電位施加到被進行讀出的列以外的字線 WL，使被進行讀出的列以外的電晶體 300 成為截止狀態。接著，將根據電晶體 300 的閘極電極所具有的電荷而選擇電晶體 300 的導通狀態或截止狀態的電位（讀出電位）施加到被進行讀出的列的字線 WL。然後，將恒定電位施加到源極電極線 SL，使連接於位元線 BL 的讀出電路（未圖示）成為工作狀態。這裏，因為源極電極線 SL-位元線 BL 之間的導電率取決於被進行讀出的列的電晶體 300 的狀態（導通狀態或截止狀態）。就是說，位元線 BL 的電位根據被進行讀出的列的電晶體 300 的閘極電極所具有的電荷而取不同的數值。藉由由讀出電路讀出位元線的電位，可以從指定的列的儲存單元讀出資料。

另外，在上述結構中，使各儲存單元 400 保持的資料量為 1 位元，但是，本實施例所示的儲存裝置的結構不侷限於此。也可以準備三個以上的施加到電晶體 300 的閘極電極的電位，以增加各儲存單元 400 所保持的資料量。例如，在施加到電晶體 300 的閘極電極的電位為四種的情況下，可以使各儲存單元保持 2 位元的資料。

接著，參照圖 8A 至 8C 說明可以應用於圖 7A 和 7B 所示的半導體裝置等的讀出電路的一個例子。

圖 8A 示出讀出電路的概略。該讀出電路具有電晶體和讀出放大器電路。

在讀出資料時，將端子 A 連接於連接有被進行資料讀出的儲存單元的位元線。另外，將偏置電位 V_{bias} 施加到電晶體的閘極電極，而控制端子 A 的電位。

儲存單元 400 根據所儲存的資料而取不同的電阻值。明確地說，在所選擇的儲存單元 400 的電晶體 300 處於導通狀態時，儲存單元處於低電阻狀態，而在所選擇的儲存單元 400 的電晶體 300 處於截止狀態時，儲存單元處於高電阻狀態。

在儲存單元處於高電阻狀態的情況下，端子 A 的電位高於參考電位 V_{ref} ，讀出放大器輸出對應於端子 A 的電位的電位。另一方面，在儲存單元處於低電阻狀態的情況下，端子 A 的電位低於參考電位 V_{ref} ，讀出放大器電路輸出對應於端子 A 的電位的電位。

像這樣，藉由使用讀出電路，可以從儲存單元讀出資料。另外，本實施例的讀出電路只是一個例子。也可以使用其他電路。另外，讀出電路也可以具有預充電電路。也可以採用連接有參考用位線代替參考電位 V_{ref} 的結構。

圖 8B 示出讀出放大器電路的一個例子的差分型讀出放大器。差分型讀出放大器具有輸入端子 $V_{in}(+)$ 、 $V_{in}(-)$ 和輸出端子 V_{out} ，而放大 $V_{in}(+)$ 和 $V_{in}(-)$ 之間的差異。在 $V_{in}(+) > V_{in}(-)$ 時， V_{out} 大概成為 High 輸出，在 $V_{in}(+) < V_{in}(-)$ 時， V_{out} 大概成為 Low 輸出。在將該差分型讀出放大器應用於讀出電路的情況下， $V_{in}(+)$ 和 $V_{in}(-)$ 中的一方連接於輸入端子

A，對 $V_{in}(+)$ 和 $V_{in}(-)$ 中的另一方施加參考電位 V_{ref} 。

圖 8C 示出讀出放大器電路的一個例子的鎖存型讀出放大器。鎖存型讀出放大器具有輸入輸出端子 V1 及 V2、控制用信號 S_p 及 S_n 的輸入端子。首先，將信號 S_p 設定為 High，將信號 S_n 設定為 Low，遮斷電源電位 (V_{dd})。接著，將被進行比較的電位施加到 V1 及 V2。然後，將信號 S_p 設定為 Low，將信號 S_n 設定為 High，提供電源電位 (V_{dd})，如果被進行比較的電位 V_{1in} 和 V_{2in} 的關係為 $V_{1in} > V_{2in}$ ，則 V1 的輸出成為 High, V2 的輸出成為 Low，如果被進行比較的電位 V_{1in} 和 V_{2in} 的關係為 $V_{1in} < V_{2in}$ ，則 V1 的輸出成為 Low, V2 的輸出成為 High。藉由利用這種關係，可以放大 V_{1in} 和 V_{2in} 之間的差異。在將該鎖存型讀出放大器應用於讀出電路的情況下，V1 和 V2 中的一方隔著開關連接於端子 A 和輸出端子，對 V1 和 V2 中的另一方施加參考電位 V_{ref} 。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 5

在本實施例中，參照圖 9A 至 9F 說明將實施例 1 至實施例 4 所示的半導體裝置應用於電子設備的情況。在本實施例中，說明將實施例 1 至實施例 4 所示的半導體裝置應用於如下電子設備的情況：電腦；行動電話機（也稱為

行動電話、行動電話裝置)；可攜式資訊終端(包括可攜式遊戲機、音頻再現裝置等)；數位相機；數位攝像機；電子紙；電視裝置(也稱為電視機或電視接收機)；等等。

圖 9A 示出筆記本電腦，包括框體 601、框體 602、顯示部 603 以及鍵盤 604 等。在框體 601 和 602 內設置有上述實施例所示的被微細化的半導體裝置。因此，實現具備小型、高速工作以及低耗電量的特徵的筆記本電腦。

圖 9B 示出可攜式資訊終端(PDA)，在主體 611 中設置有顯示部 613、外部介面 615 以及操作按鈕 614 等。另外，還具備操作可攜式資訊終端的觸屏筆 612 等。在主體 611 內設置有上述實施例所示的被微細化的半導體裝置。因此，實現具備小型、高速工作以及低耗電量的特徵的可攜式資訊終端。

圖 9C 示出安裝有電子紙的電子書閱讀器 620，其由兩個框體，即框體 621 及框體 623 構成。在框體 621 及框體 623 中分別設置有顯示部 625 及顯示部 627。框體 621 及框體 623 由軸部 637 相連接，且可以以該軸部 637 為軸進行開閉動作。另外，框體 621 具備電源 631、操作鍵 633 以及揚聲器 635 等。在框體 621 和框體 623 中的至少一個中設置有上述實施例所示的被微細化的半導體裝置。因此，實現具備小型、高速工作以及低耗電量的特徵的電子書閱讀器。

圖 9D 示出行動電話機，其由框體 640 和框體 641 的

兩個框體構成。再者，框體 640 和框體 641 滑動而可以處於如圖 9D 那樣的展開狀態和重疊狀態，可以進行適於攜帶的小型化。另外，框體 641 具備顯示面板 642、揚聲器 643、麥克風 644、操作鍵 645、定位裝置 646、照相用透鏡 647 以及外部連接端子 648 等。此外，框體 640 具備對行動電話機進行充電的太陽能電池單元 649 和外部儲存槽 650 等。另外，將天線內置於框體 641 中。在框體 640 和框體 641 中的至少一個中設置有上述實施例所示的被微細化的半導體裝置。因此，實現具備小型、高速工作以及低耗電量的特徵的行動電話機。

圖 9E 示出數位相機，其由主體 661、顯示部 667、取景器 663、操作開關 664、顯示部 665 以及電池 666 等構成。在主體 661 內設置有上述實施例所示的被微細化的半導體裝置。因此，實現具備小型、高速工作以及低耗電量的特徵的數位相機。

圖 9F 示出電視裝置 670，其由框體 671、顯示部 673 以及支架 675 等構成。可以藉由利用框體 671 所具備的開關、遙控操作機 680 進行電視裝置 670 的操作。在框體 671 及遙控操作機 680 內設置有上述實施例所示的被微細化的半導體裝置。因此，實現具備高速工作和低耗電量的特徵的電視裝置。

如上所述，在本實施例所示的電子設備中安裝有根據上述實施例的半導體裝置。因此，實現具備小型、高速工作以及低耗電量的特徵的電子設備。

範例 1

在本範例中，參照圖 10A 至圖 13，對使用電腦驗證根據發明的一個實施例的半導體裝置的特性的結果進行說明。明確而言，對具有不同通道長度 L 的電晶體的特性進行比較。另外，在計算中，使用裝置模擬軟體 Atlas（Silvaco Data Systems 公司製造）。

圖 10A 和圖 10B 示出用於計算的電晶體的結構。圖 10A 示出根據本發明的一個實施例的結構（使源極電極或汲極電極的一部分延伸的結構），並且圖 10B 示出用於比較的結構（不使源極電極或汲極電極的一部分延伸的結構）。

對用於計算的電晶體進行詳細說明。圖 10A 所示的電晶體包括：依次層疊有第一導電層 742a（材料：鈦、厚度：100nm）及第二導電層 745a（材料：氮化鈦、厚度：任意）的源極電極；依次層疊有第一導電層 742b（材料：鈦、厚度：100nm）及第二導電層 745b（材料：氮化鈦、厚度：任意）的汲極電極；設置在源極電極上的絕緣層 743a（材料：氧化矽、厚度：100nm）；設置在汲極電極上的絕緣層 743b（材料：氧化矽、厚度：100nm）；設置在絕緣層 743a 及絕緣層 743b 上的氧化物半導體層 744（材料：In-Ga-Zn-O 類氧化物半導體、厚度：10nm）；設置在氧化物半導體層 744 上的閘極絕緣層 746（材料：氧化鉛、厚度：10nm）；以及設置在閘極絕緣層 746 上

的閘極電極 748（材料：鎢）。

在圖 10A 所示的電晶體中，第二導電層 745a 具有從第一導電層 742a 的端部向通道長度方向延伸的區域（換言之，第二導電層 745a 的端部比第一導電層 742a 的端部更接近通道形成區），並且第二導電層 745a 的端部與氧化物半導體層 744 的通道形成區接觸。同樣地，第二導電層 745b 具有從第一導電層 742b 的端部向通道長度方向延伸的區域（換言之，第二導電層 745b 的端部比第一導電層 742b 的端部更接近通道形成區），並且第二導電層 745b 的端部與氧化物半導體層 744 的通道形成區接觸。

圖 10B 所示的電晶體包括：包括導電層 752a 的源極電極（材料：氮化鈦、厚度：100nm）及包括導電層 752b 的汲極電極（材料：氮化鈦、厚度：100nm）；設置在源極電極及汲極電極上的氧化物半導體層 744（材料：In-Ga-Zn-O 類氧化物半導體、厚度：10nm）；設置在氧化物半導體層 744 上的閘極絕緣層 746（材料：氧化鉛、厚度：10nm）；以及設置在閘極絕緣層 746 上的閘極電極 748（材料：鎢）。

圖 10A 和圖 10B 的不同之處在於是否有上述的第二導電層 745a 中的從第一導電層 742a 的端部向通道長度方向延伸的區域、第二導電層 745b 中的從第一導電層 742b 的端部向通道長度方向延伸的區域、源極電極上的絕緣層及汲極電極上的絕緣層。

在圖 10A 中，第二導電層 745a 中的從第一導電層

742a 的端部向通道長度方向延伸的區域（由第二導電層形成的區域）的厚度比與其他區域（由第一導電層和第二導電層的疊層形成的區域）薄。換言之，垂直於電荷的流過的截面的面積小。由於電阻和截面積成反比，所以可以說第二導電層 745a 中的從第一導電層 742a 的端部向通道長度方向延伸的區域的電阻比其他區域高。第二導電層 745b 也可以援用上述說明。以下，在本實施例中，將第二導電層 745a 中的從第一導電層 742a 的端部向通道長度方向延伸的區域及第二導電層 745b 中的從第一導電層 742b 的端部向通道長度方向延伸的區域記為高電阻區（HRR：High-Resistance Region）。

另外，在圖 10A 中，由於絕緣層 743a 覆蓋源極電極的上部，絕緣層 743b 覆蓋汲極電極的上部，所以源極電極及汲極電極與氧化物半導體層 744 的接觸面積非常小（在此，僅第二導電層的端部與氧化物半導體層 744 接觸）。換言之，源極電極及汲極電極的與通道形成區接觸的區域附近的電阻比其他區域高。

在上述結構（圖 10A 及圖 10B）中，改變通道長度 L ，而檢驗了電晶體的臨界值電壓 V_{th} 的動態。作為通道長度 L ，採用了 20nm、30nm、50nm、100nm、200nm、400nm 的六個條件。

另外，改變第二導電層的厚度而檢驗了電晶體的臨界值電壓 V_{th} 的動態。作為第二導電層的厚度，採用了 3nm、10nm、50nm、100nm 的四個條件。

將源極電極和汲極電極之間的電壓 V_{ds} 設定為 $1V$ 。
另外，將高電阻區域的通道長度方向上的長度設定為 $0.3\mu m$ 。

用於計算的參數是如下。

1. In-Ga-Zn-O 類的氧化物半導體（氧化物半導體層的材料）

帶隙 E_g ： $3.15eV$ 、電子親和力 χ ： $4.3eV$ 、相對介電常數： 15 、電子遷移率： $10cm^2/Vs$ 、導帶的有效狀態密度： $5 \times 10^{18}cm^{-3}$

2. 氮化鈦（源極電極及汲極電極的材料）

功函數 ϕ_M ： $3.9eV$ 、電阻率 ρ ： $2.2 \times 10^{-4}\Omega \cdot cm$

3. 氧化鈺（閘極絕緣層的材料）

相對介電常數： 15

4. 鎢（閘極電極的材料）

功函數 ϕ_M ： $4.9eV$

圖 11A 至圖 13 示出計算結果。在圖 11A 至圖 13 中，橫軸示出通道長度 L （nm），縱軸示出臨界值電壓的偏移量 ΔV_{th} （V）。另外， ΔV_{th} 是以通道長度 $L=400nm$ 的臨界值電壓為基準算出的。

圖 11A、圖 11B、圖 12A 以及圖 12B 示出圖 10A 所示的結構的計算結果，圖 11A 示出第二導電層的厚度為 $100nm$ 的情況，圖 11B 示出第二導電層的厚度為 $50nm$ 的情況，圖 12A 示出第二導電層的厚度為 $10nm$ 的情況，圖 12B 示出第二導電層的厚度為 $3nm$ 的情況。另外，圖 13

示出圖 10B 所示的結構的計算結果。

對圖 11A、圖 11B、圖 12A 以及圖 12B 進行比較，而可以知道第二導電層越薄，越抑制臨界值電壓的負偏移。另外，對圖 11A 與圖 13 進行比較，可以知道在設置覆蓋源極電極及汲極電極的絕緣層的情況下可以抑制 V_{th} 的負偏移。這些結果都表示藉由使源極電極及汲極電極與氧化物半導體層的接觸面積縮小，並增大電阻，從而可以抑制短通道效果。

根據上述結果，還可以說如果在與半導體層接觸的區域附近源極電極及汲極電極的電阻高，則可以得到抑制短通道效應的效應。

藉由上述步驟，可以知道藉由使源極電極及汲極電極的與通道形成區接觸的區域附近的電阻高（明確而言，例如，使源極電極及汲極電極的一部分的截面積縮小，形成覆蓋源極電極及汲極電極的上部的絕緣層而使與氧化物半導體層的接觸面積縮小），可以抑制臨界值電壓的負偏移。這是因為源極電極和汲極電極之間的電場強度被緩和的緣故。像這樣，可知根據所公開的發明的一個實施例可以抑制臨界值電壓降低等的短通道效應。

【符號說明】

100：基板

142a：第一導電層

142b：第一導電層

143：絕緣膜

143a：絕緣層

143b：絕緣層

144：氧化物半導體層

145：導電膜

145a：第二導電層

145b：第二導電層

146：閘極絕緣層

148：閘極電極

160：電晶體

170：電晶體

180：電晶體

190：電晶體

200：基板

242：導電膜

242a：第一導電層

242b：第一導電層

243：絕緣膜

243a：絕緣層

243b：絕緣層

244：氧化物半導體層

245：導電膜

245a：第二導電層

245b：第二導電層

246：閘極絕緣層
248：閘極電極
252：絕緣膜
252a：側壁絕緣層
252b：側壁絕緣層
280：電晶體
300：電晶體
310：電晶體
320：電容元件
400：儲存單元
410：儲存單元陣列
601：框體
602：框體
603：顯示部
604：鍵盤
611：主體
612：觸屏筆
613：顯示部
614：操作按鈕
615：外部介面
620：電子書閱讀器
621：框體
623：框體
625：顯示部

627：顯示部
631：電源
633：操作鍵
635：揚聲器
637：軸部
640：框體
641：框體
642：顯示面板
643：揚聲器
644：麥克風
645：操作鍵
646：定位裝置
647：照相用透鏡
648：外部連接端子
649：太陽能電池單元
650：外部儲存槽
661：主體
663：取景器
664：操作開關
665：顯示部
666：電池
667：顯示部
670：電視裝置
671：框體

673：顯示部
675：支架
680：遙控操作機
742a：第一導電層
742b：第一導電層
743a：絕緣層
743b：絕緣層
744：氧化物半導體層
745a：第二導電層
745b：第二導電層
746：閘極絕緣層
748：閘極電極
752a：導電層
752b：導電層

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

氧化物半導體層，包含銦、鎵、鋅；

源極電極，具有與該氧化物半導體層接觸的區域；

汲極電極，具有與該氧化物半導體層接觸的區域；

該氧化物半導體層上的閘極絕緣層；以及

該閘極絕緣層上的閘極電極；

該源極電極包含第二導電層、與該第二導電層上的第一導電層之堆疊結構；

該汲極電極包含第四導電層、與該第四導電層上的第三導電層之堆疊結構；

該第二導電層的端部，自該第一導電層的端部起，沿著通道長度方向延伸；

該第四導電層的端部，自該第三導電層的端部起，沿著通道長度方向延伸；

該第二導電層的膜厚小於該第一導電層的膜厚；

該第四導電層的膜厚小於該第三導電層的膜厚；

該第二導電層包含電阻比該第一導電層還要高的材料；

該第四導電層包含電阻比該第三導電層還要高的材料；

該第二導電層與該第四導電層包含選自於鉭、鈦、鉬、鎢的元素、或是包含以該元素為成分的合金。

【請求項2】一種半導體裝置，包含：

氧化物半導體層，包含銦、鎵、鋅；

源極電極，具有與該氧化物半導體層接觸的區域；

汲極電極，具有與該氧化物半導體層接觸的區域；

該氧化物半導體層上的閘極絕緣層；以及

該閘極絕緣層上的閘極電極；

該源極電極包含第二導電層、與該第二導電層上的第一導電層之堆疊結構；

該汲極電極包含第四導電層、與該第四導電層上的第三導電層之堆疊結構；

位於通道長度方向的該源極電極的端部，也就是距離該閘極電極較近一側的該源極電極的該端部的該第二導電層的端部，自該第一導電層的端部起，沿著通道長度方向延伸；

位於通道長度方向的該汲極電極的端部，也就是距離該閘極電極較近一側的該汲極電極的該端部的該第四導電層的端部，自該第三導電層的端部起，沿著通道長度方向延伸；

該第二導電層的膜厚小於該第一導電層的膜厚；

該第四導電層的膜厚小於該第三導電層的膜厚；

該第二導電層包含電阻比該第一導電層還要高的材料；

該第四導電層包含電阻比該第三導電層還要高的材料；

該第二導電層與該第四導電層包含選自於鉭、鈦、鋁、鎢的元素、或是包含以該元素為成分的合金。

【發明圖式】

圖 1A

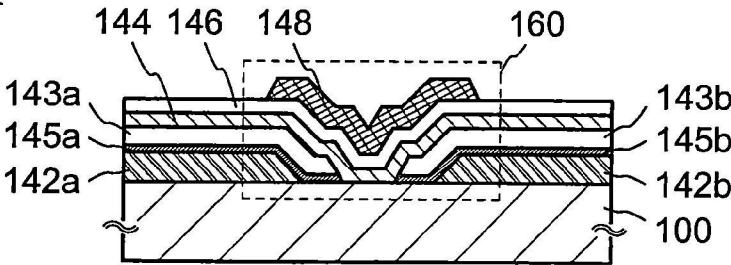


圖 1B

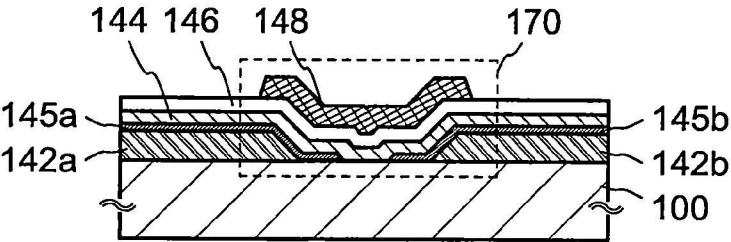


圖 1C

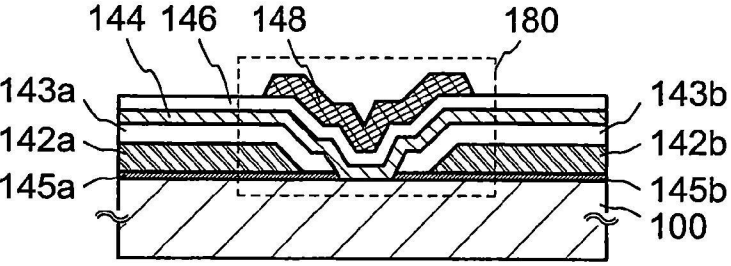


圖 1D

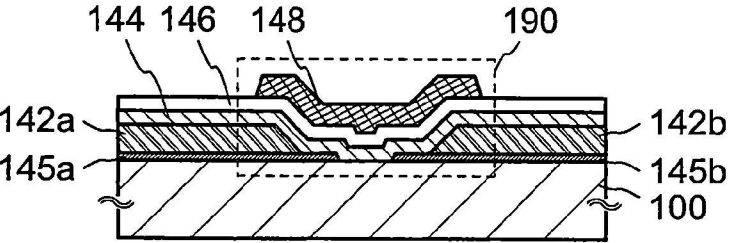


圖 2A

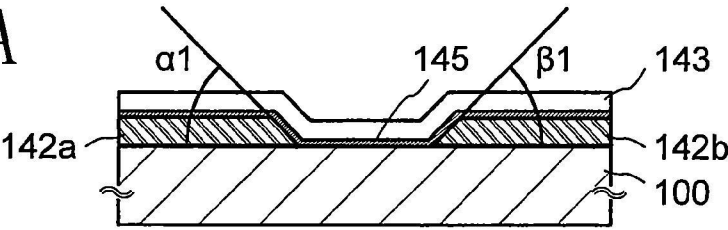


圖 2B

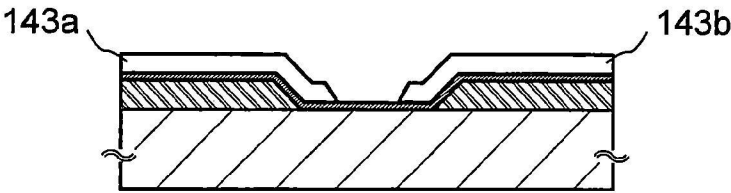


圖 2C

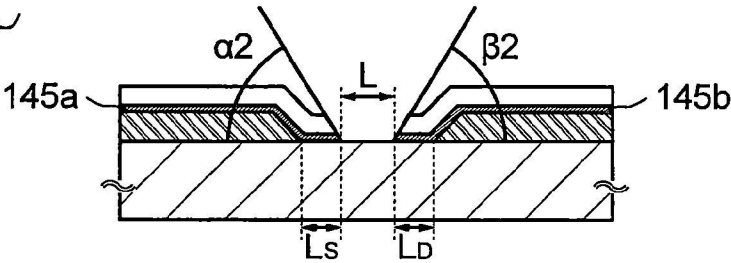


圖 2D

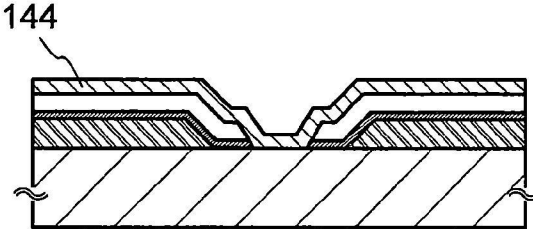


圖 2E

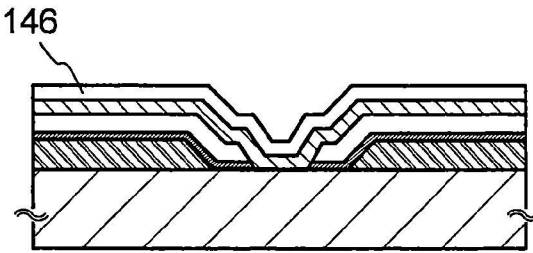


圖 2F

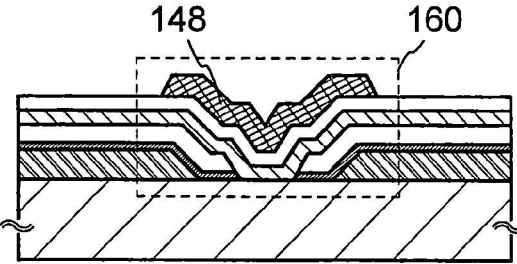


圖 3A

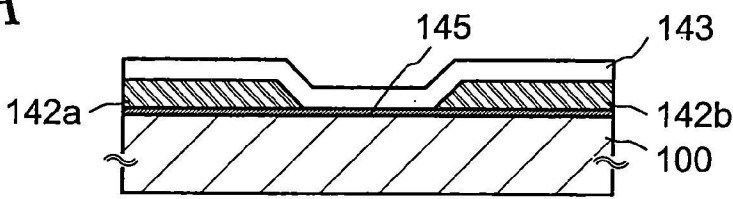


圖 3B

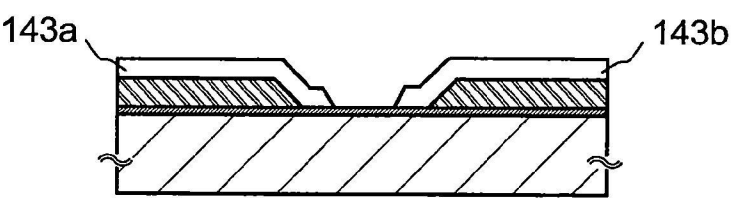


圖 3C

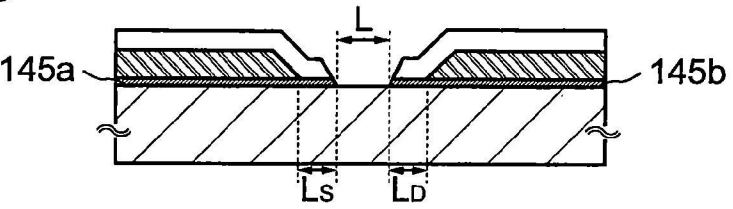


圖 3D

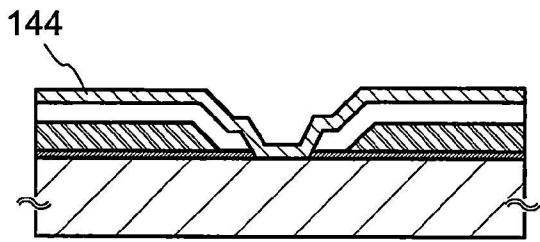


圖 3E

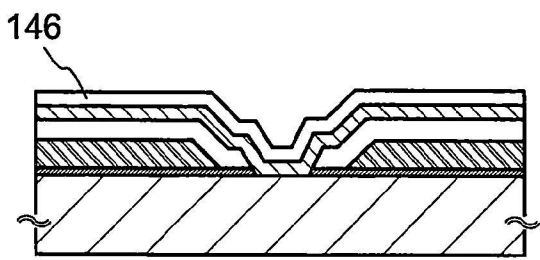


圖 3F

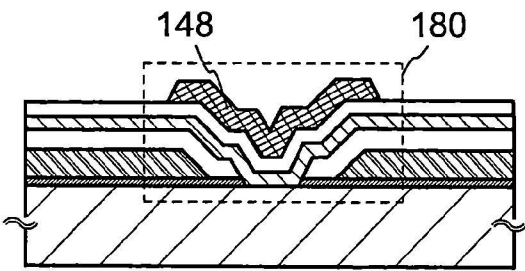


圖 4

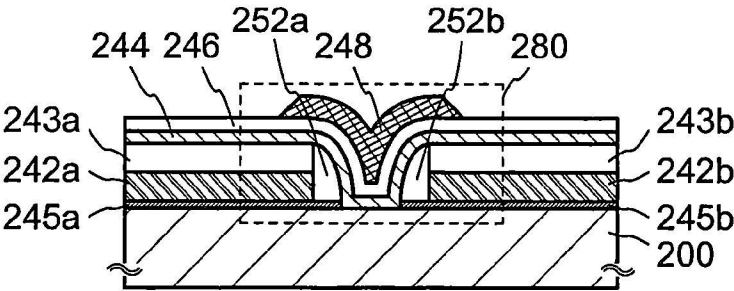


圖 5A

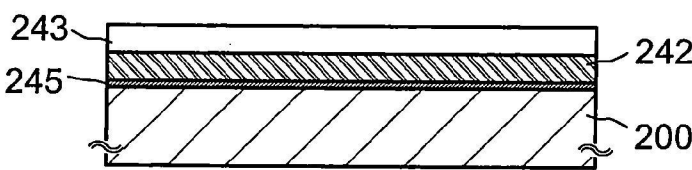


圖 5B

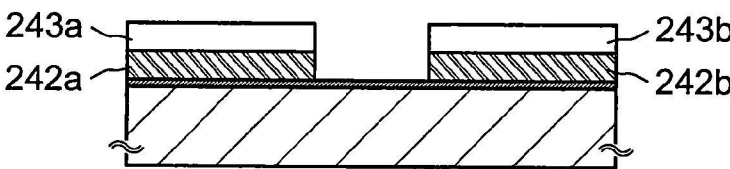


圖 5C

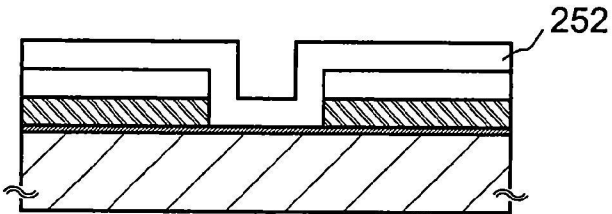


圖 5D

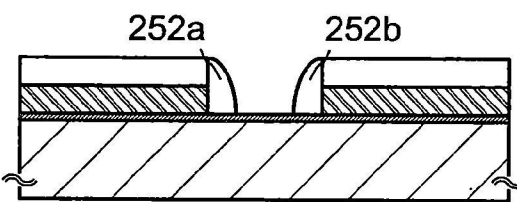


圖 5E

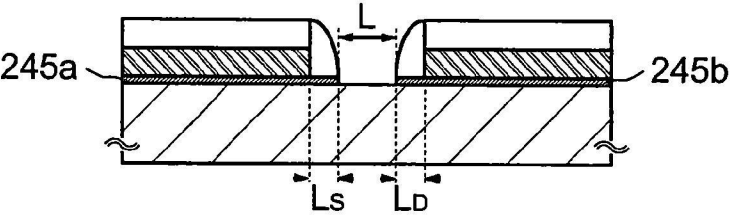


圖 5F

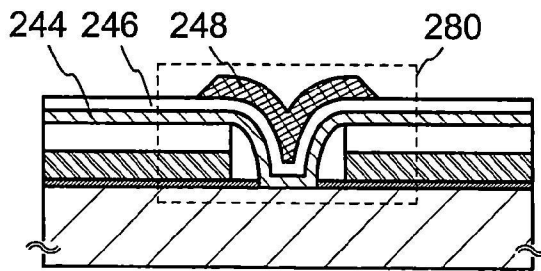


圖 6A1

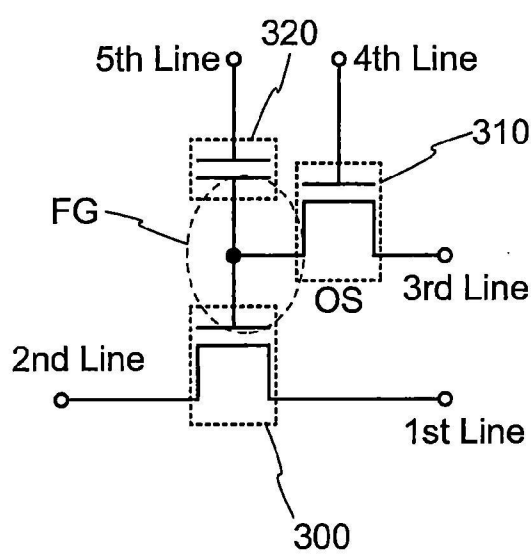


圖 6B

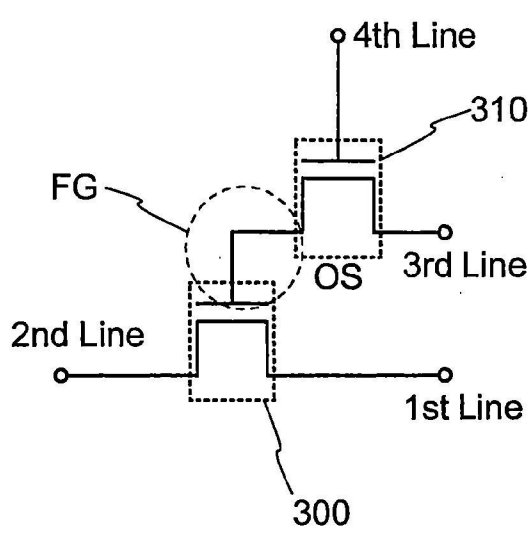


圖 6A2

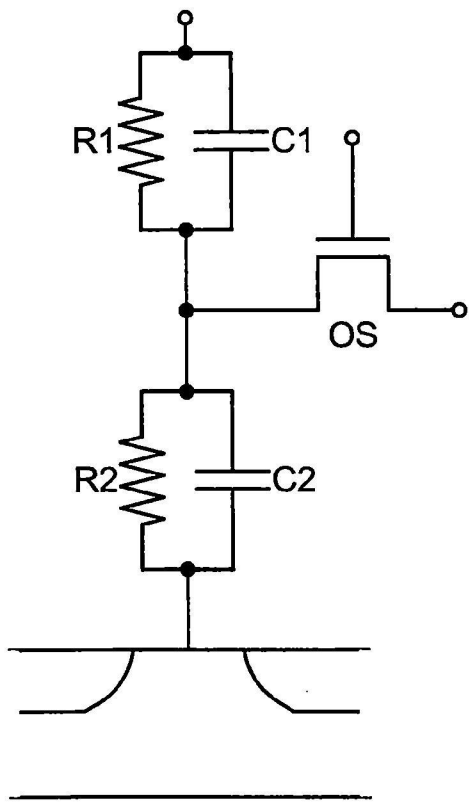


圖 7A

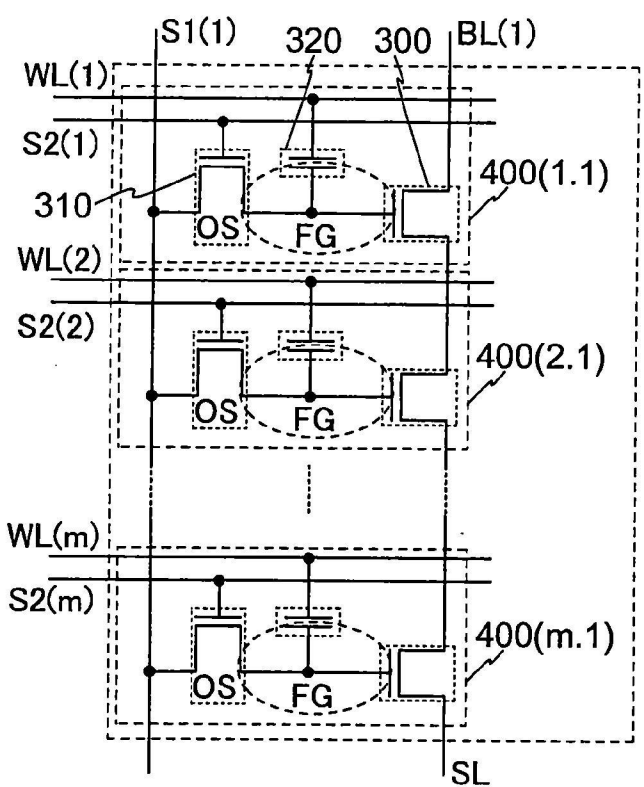


圖 7B

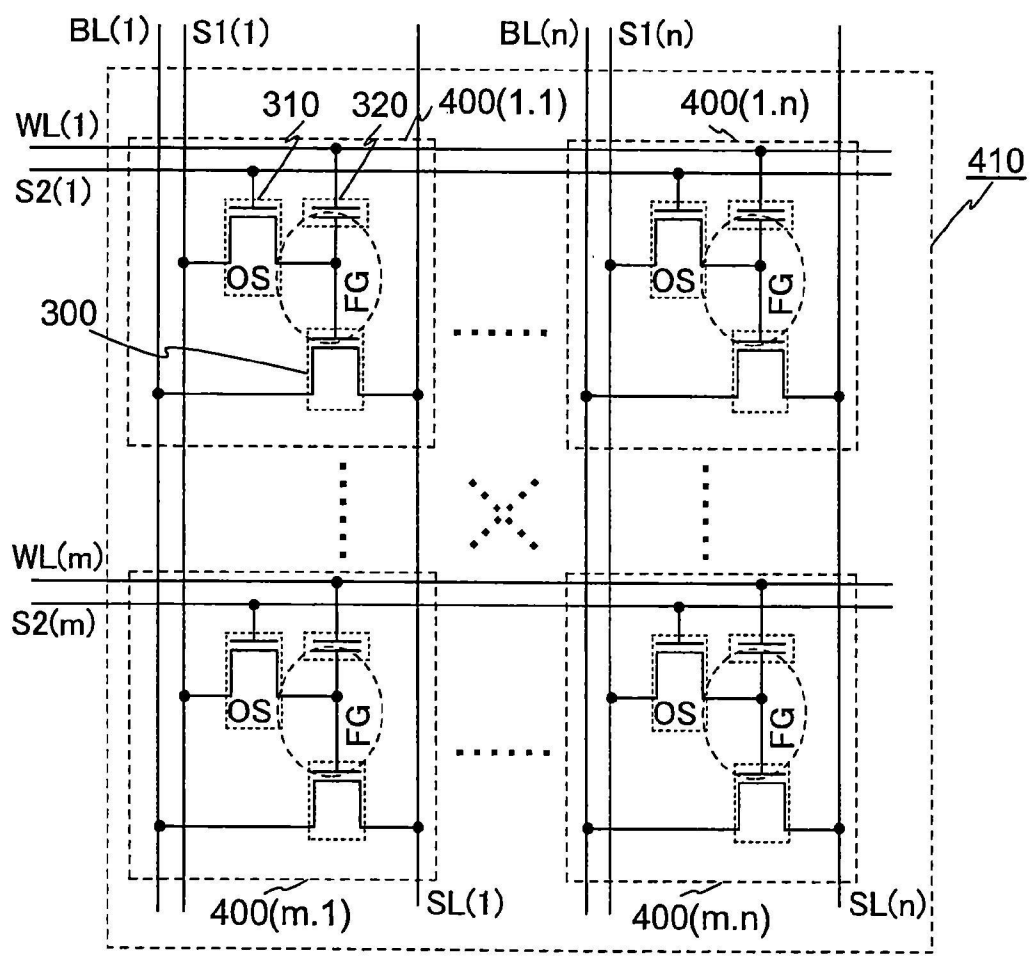


圖 8A

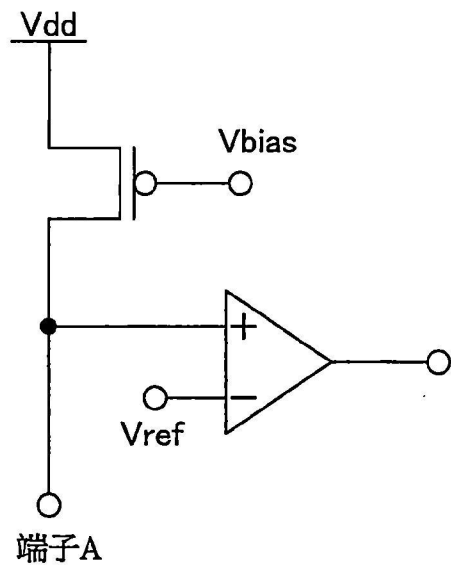


圖 8B

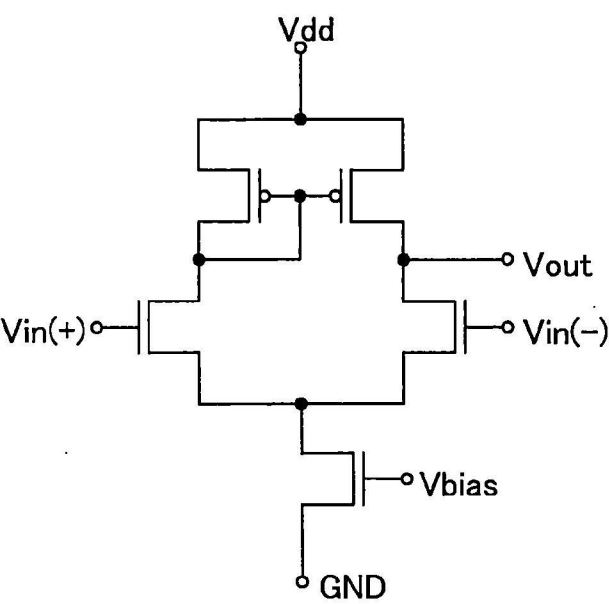


圖 8C

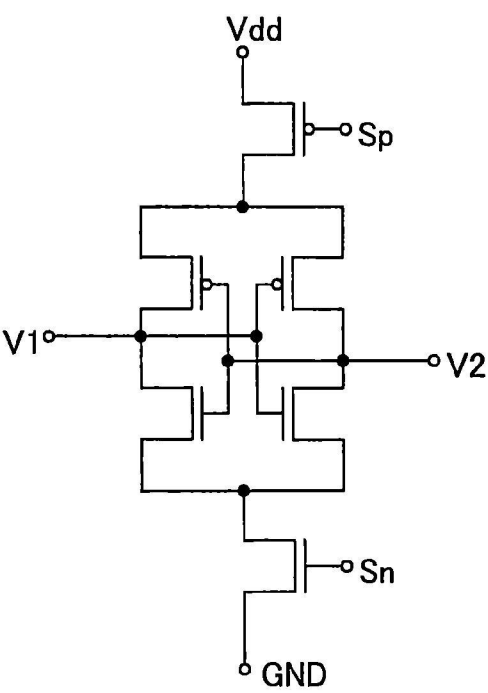


圖 9A

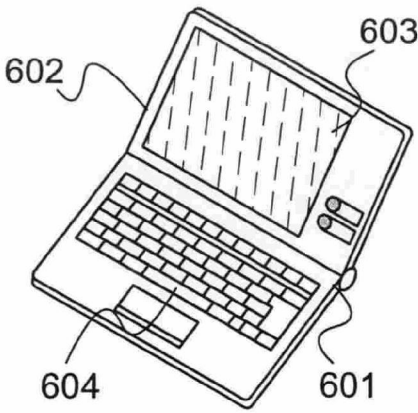


圖 9D

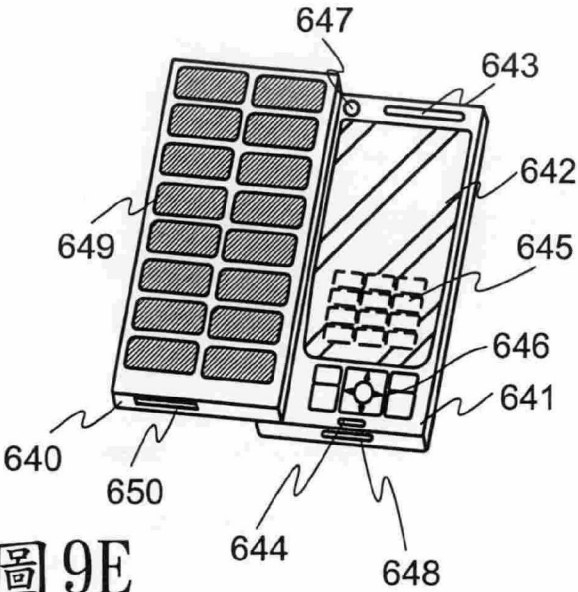


圖 9B

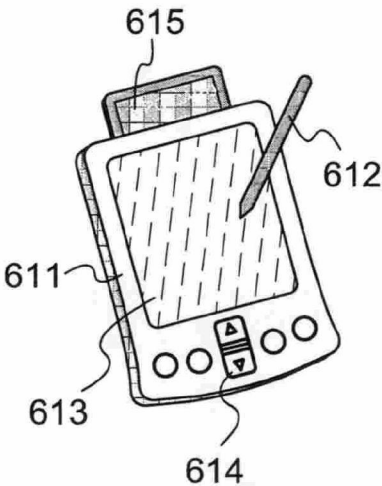


圖 9E

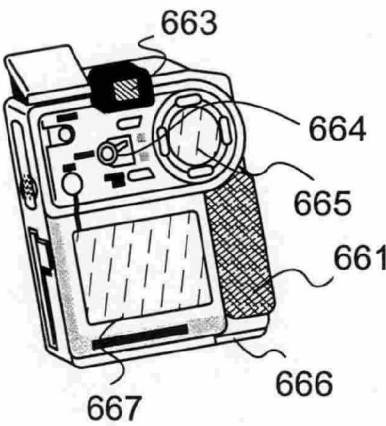


圖 9C

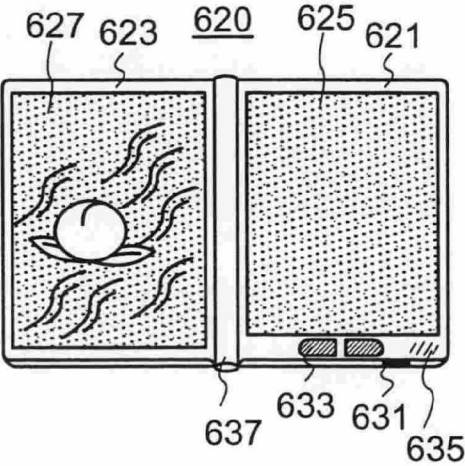


圖 9F

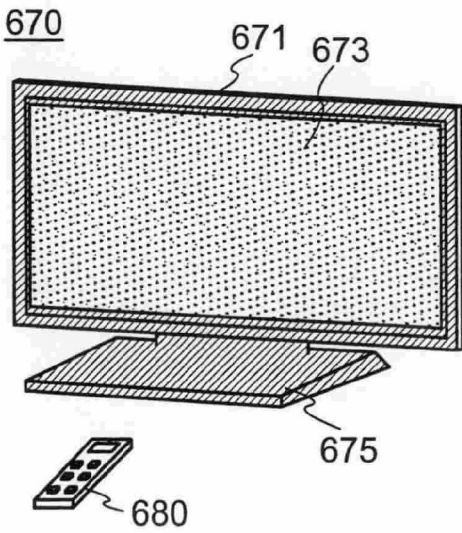


圖 10A

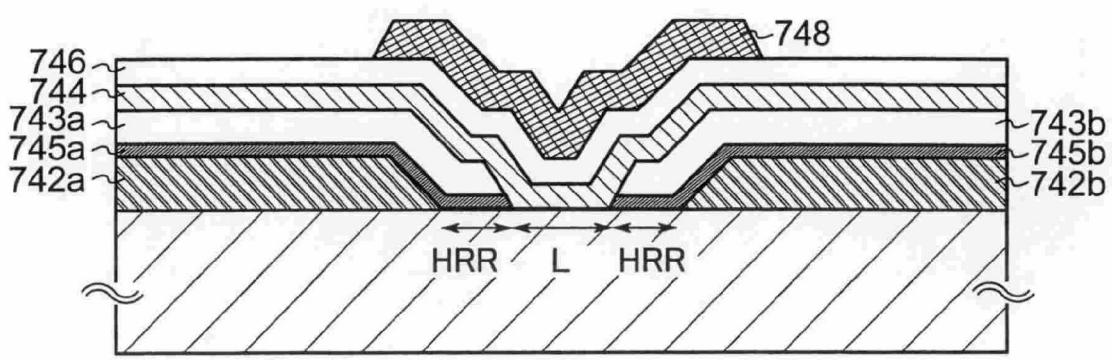


圖 10B

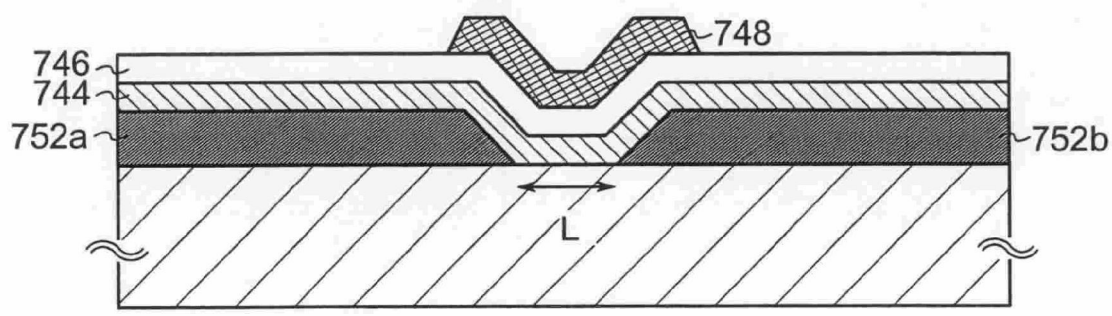


圖 11A

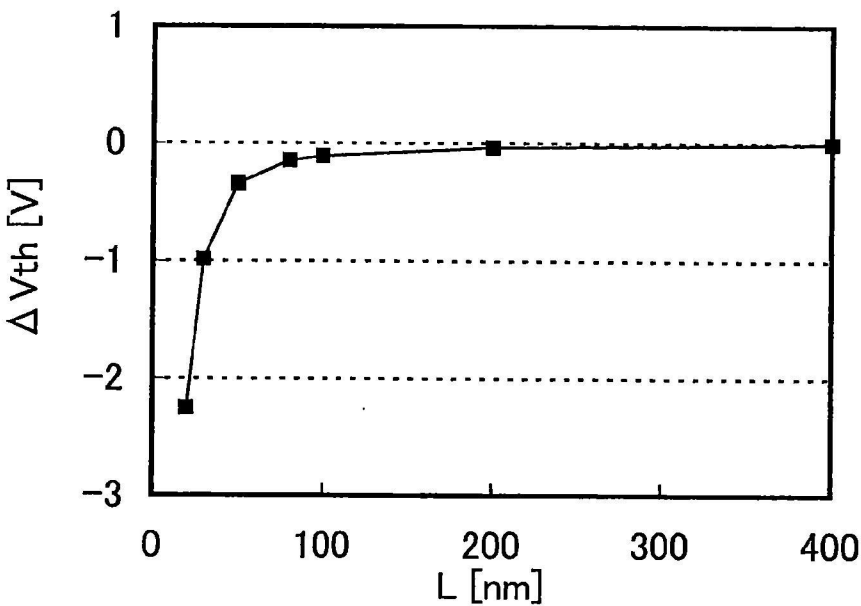


圖 11B

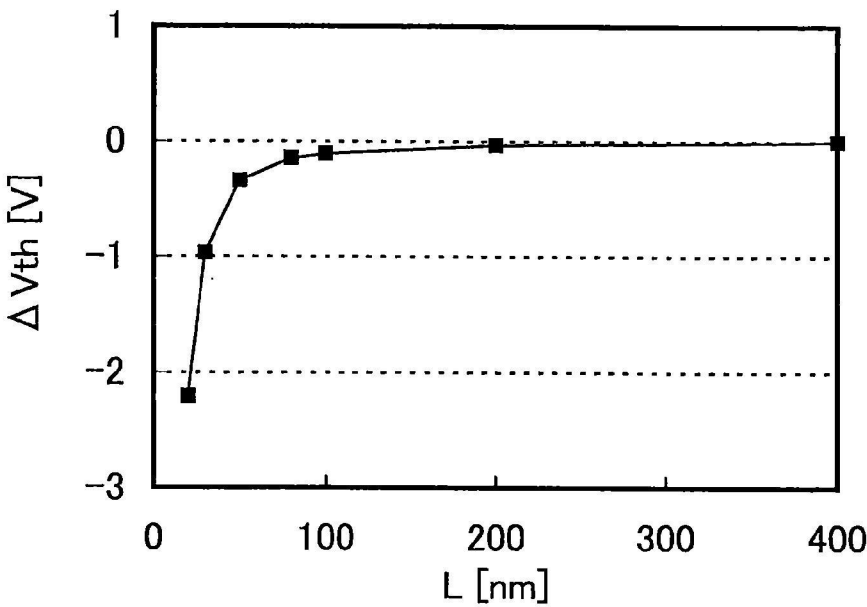


圖 12A

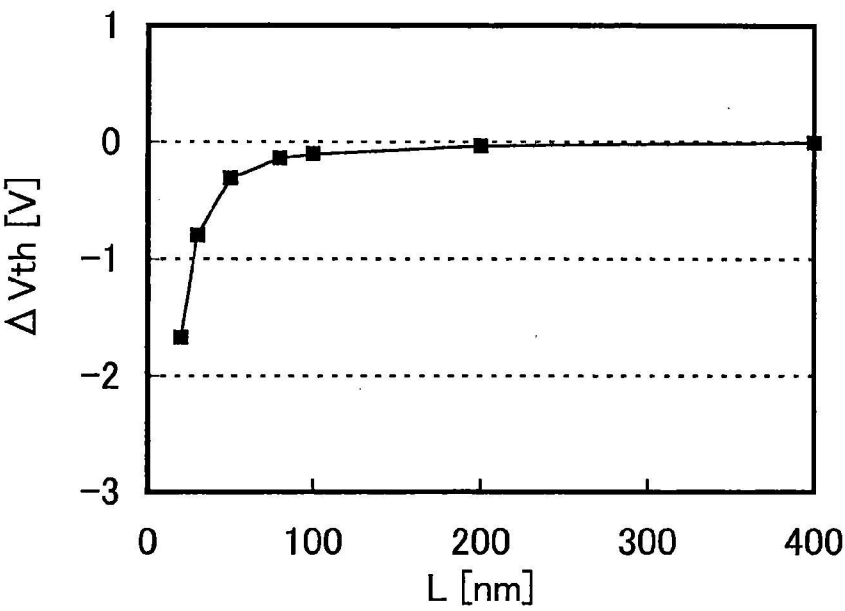


圖 12B

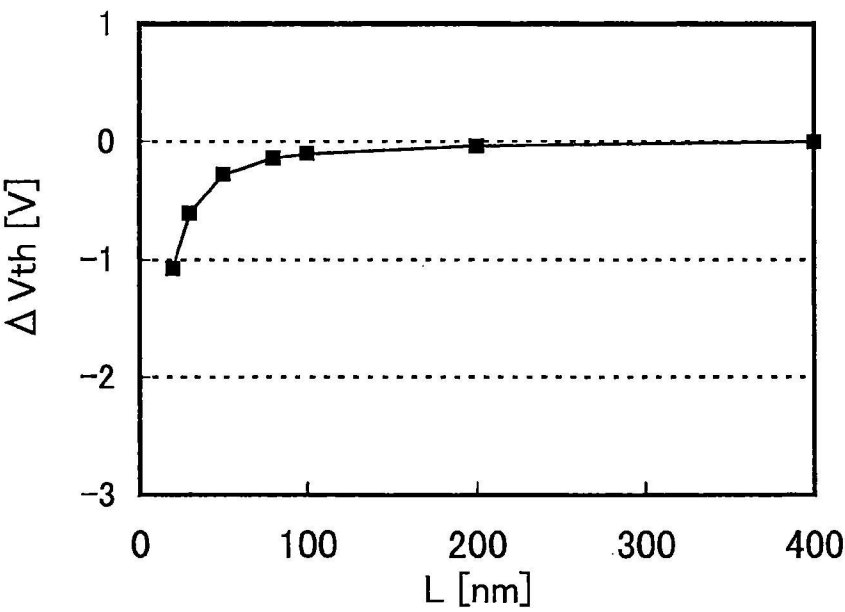


圖 13

