

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02F 1/136	(45) 공고일자 2002년 10월 04일	(11) 등록번호 10-0303446
(21) 출원번호 10-1998-0045710	(24) 등록일자 2001년 07월 11일	(65) 공개번호 특2000-0027712
(22) 출원일자 1998년 10월 29일	(43) 공개일자 2000년 05월 15일	

(73) 특허권자	삼성전자 주식회사
(72) 발명자	경기 수원시 팔달구 매탄3동 416 차종환 부산광역시 동구 좌천2동 812번지 7통 4반 장근하 경기도 용인시 기흥읍 보라리 450번지 신갈삼성아파트 103동 1302호 이대성 서울특별시 강남구 대치1동 주공아파트 305동 505호
(74) 대리인	김원근, 유미특허법인

심사관 : 조경화

(54) 액정표시장치용 박막 트랜지스터 기판의 제조방법

요약

절연 기판 위에 게이트 배선을 형성하고, 그 위에 스퍼터 설비와 화학 기상 증착 설비가 일체로 형성되어 있는 장비를 이용하여 진공 상태에서 게이트 절연막, 비정질 규소층, 도핑된 비정질 규소층 및 크롬막을 연속으로 증착한다. 다음, 크롬막을 패터닝하여 데이터선, 소스 전극, 드레인 전극을 형성한 후, 도핑된 비정질 규소층과 비정질 규소층을 동시에 패터닝하고, 데이터선, 소스 전극, 드레인 전극을 식각 차단막으로 하여 노출되어 있는 도핑된 비정질 규소층을 식각한다. 이어서, 보호막을 증착하고, 접촉구를 형성하고, IT0를 증착하고 패터닝하여 화소 전극을 형성한다. 이렇게 하면, 자연 산화막이 형성되는 것을 방지할 수 있고 따라서 플루오르화 수소를 사용하는 세정 공정을 생략할 수 있어서 산화막이나 불순물로 인한 소스 전극 및 드레인 전극과 도핑된 비정질 규소층 사이의 접촉 불량을 방지하여 박막 트랜지스터의 동작 전류를 증가시킬 수 있음은 물론 공정 단순화에도 기여할 수 있다.

대표도

도 11

명세서

도면의 간단한 설명

- <1> 도 1a 내지 도 1d는 종래의 기술에 따라 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 순서대로 도시한 단면도이고,
- <2> 도 2, 도 4, 도 6, 도 8, 도 10은 본 발명의 실시예에 따라 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 순서대로 도시한 배치도이고,
- <3> 도 3, 도 5, 도 7, 도 9, 도 11은 각각 도 2의 III-III'선, 도 4의 V-V'선, 도 6의 VII-VII'선, 도 8의 IX-IX'선, 도 10의 XI-XI'선을 따라 절단한 단면도이고,
- <4> 도 12는 본 발명의 실시예에서 사용하는 화학 기상 증착 설비를 도시한 모식도이고,
- <5> 도 13은 본 발명의 실시예에 따라 제조된 박막 트랜지스터와 종래의 기술에 따라 제조된 박막 트랜지스터의 동작 전류(Ion)를 비교한 그래프이고,
- <6> 도 14는 본 발명의 실시예에 따라 제조된 박막 트랜지스터와 종래의 기술에 따라 제조된 박막 트랜지스터의 접촉 전압의 차이를 비교한 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- <7> 본 발명은 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법 및 그 장치에 관한 것이다.

- <8> 액정 표시 장치용 박막 트랜지스터 기판은 공정상의 특징에 따라 에치 백 (etch back) 방식과 에치 스타퍼(etch stopper) 방식으로 나뉜다.
- <9> 에치 백 방식은 비정질 규소층과 도핑된 비정질 규소층을 연속으로 증착하고 패터닝(patterning)한 후, 그 위에 형성된 소스 전극 및 드레인 전극을 식각 차단막으로 하여 도핑된 비정질 규소층을 식각하여 제거하는 방식이고, 에치 스타퍼 방식은 도핑된 비정질 규소층과 비정질 규소 사이에 식각 선택비가 큰 에치 스타퍼를 형성하는 방식이다.
- <10> 그러면, 도면을 참고로 하여 종래의 기술에 따라 에치 백 방식의 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법에 대하여 설명한다.
- <11> 도 1a 내지 도 1d는 종래의 기술에 따라 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 순서대로 도시한 단면도이다.
- <12> 먼저, 도 1a에 도시한 바와 같이, 투명한 유리 기판(1) 위에 알루미늄-네오디움막(11)과 몰리브덴막(12)을 차례로 증착한 후 패터닝하여 게이트 전극(10) 등을 포함하는 게이트 배선을 형성한다. 그 위에 게이트 절연막(13), 비정질 규소층(14) 및 도핑된 비정질 규소층(15)을 차례로 증착한다.
- <13> 다음, 도 1b에 도시한 바와 같이, 비정질 규소층(14)과 도핑된 비정질 규소층(15)을 패터닝하여 반도체 패턴을 형성한다. 이 때, 도핑된 비정질 규소층(15) 위에 자연 산화막이 형성되므로 반도체 패턴을 형성한 후 플루오르화 수소(HF)를 사용하는 습식 식각 방법으로 세정하여 도핑된 비정질 규소층(15)에 형성된 자연 산화막을 제거함으로써 소스 전극(16) 및 드레인 전극(17)과 도핑된 비정질 규소층(15) 사이의 접촉 저항(ohmic contact)을 감소시킨다.
- <14> 이어서, 도 1c에 도시한 바와 같이, 도핑된 비정질 규소층(15) 위에 금속막을 증착한 후 패터닝하여 소스 전극(16) 및 드레인 전극(17)을 형성하고 소스 전극(16) 및 드레인 전극(17)을 식각 차단막으로 하여 노출되어 있는 도핑된 비정질 규소층(15)을 식각한다.
- <15> 계속해서, 도 1d에 도시한 바와 같이, 보호막(18)을 증착하고 패터닝하여 드레인 전극(17)을 노출시키는 접촉구(19)를 형성한 다음, IT0(indium tin oxide)층을 증착하고 패터닝하여 화소 전극(20)을 형성한다.
- <16> 그런데 이상과 같은 방법으로 박막 트랜지스터 기판을 제조할 경우, 반도체 패턴을 형성하는 공정 및 플루오르화 수소를 이용한 세정 공정에서 발생하는 불순물이 비정질 규소층(15) 위에 남아있게 되어 도핑된 비정질 규소층(15) 위에 형성되는 소스 전극(16) 및 드레인 전극(17)의 단선을 유발하고, 플루오르화 수소를 이용한 세정 공정을 실시하더라도 잔류하는 자연 산화막과 불순물로 인해 도핑된 비정질 규소층(15)과 소스 전극(16) 및 드레인 전극(17) 사이의 전기적 접촉이 나쁘게 되어 박막 트랜지스터의 동작 전류(I_{on})가 감소한다. 또한 화소 전극(20) 형성 공정에서 데이터선(도시하지 않음)을 사이에 두고 인접한 화소 전극(20) 사이에 IT0가 잔류하여 인접한 화소 전극(20)이 서로 단락되는 문제가 발생할 수 있으며, 비정질 규소층(14) 형성을 위한 노광 공정에서 마스크 오정렬(misalign)이 발생할 경우에는 게이트 전극(10)과 드레인 전극(17) 사이의 기생 전전 용량(Cgd)이 포토 샷(photo shot) 영역별로 차이가 나게 되어 스티치(stitch) 불량 발생한다.

발명이 이루고자 하는 기술적 과제

- <17> 본 발명이 이루고자 하는 과제는 소스 전극 및 드레인 전극의 단선을 방지하는 것이다.
- <18> 본 발명이 이루고자 하는 다른 과제는 소스 전극 및 드레인 전극과 반도체층 사이의 전기적 접촉을 강화하는 것이다.
- <19> 본 발명이 이루고자 하는 또 다른 과제는 인접한 화소 전극간의 단락을 방지하는 것이다.
- <20> 본 발명이 이루고자 하는 또 다른 과제는 스티치 불량을 방지하는 것이다.

발명의 구성 및 작용

- <21> 이러한 기술적 과제를 해결하기 위하여 본 발명에서는 게이트 배선 형성 후에 게이트 절연막, 비정질 규소층, 도핑된 비정질 규소층 및 데이터 금속을 진공 상태에서 연속으로 적층하고, 데이터 금속을 패터닝하여 데이터 배선을 형성한 다음, 비정질 규소층과 도핑된 비정질 규소층을 패터닝한다.
- <22> 구체적으로는, 절연 기판 위에 게이트 배선을 형성하는 단계, 게이트 절연막, 비정질 규소층 및 금속막을 연속으로 적층하는 단계, 금속막을 패터닝하여 데이터선과 소스 전극 및 드레인 전극을 형성하는 단계, 비정질 규소층을 패터닝하는 단계, 드레인 전극의 일부를 노출시키는 접촉구를 가지는 보호막을 형성하는 단계, 접촉구를 통하여 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 공정을 통해 박막 트랜지스터 기판을 제조한다.
- <23> 이 때, 게이트 절연막, 비정질 규소층 및 금속막을 연속으로 적층하는 단계는 진공이 유지되는 상태에서 진행하는 것이 좋다.
- <24> 비정질 규소층과 금속막을 연속으로 적층하는 단계에서 비정질 규소층을 적층한 다음 도핑된 비정질 규소층을 더 적층하고 비정질 규소층을 패터닝하는 단계에서 도핑된 비정질 규소층과 함께 패터닝하며 비정질 규소층을 패터닝하는 단계 다음에 데이터선과 소스 전극 및 드레인 전극을 식각 차단막으로 하여 도핑된 비정질 규소층을 식각하는 단계를 더 포함하도록 하거나, 비정질 규소층과 금속막을 연속으로 적층하는 단계에서 비정질 규소층을 적층한 다음 도핑된 비정질 규소층을 더 적층하고 데이터선과 소스 전극 및 드레인 전극을 형성하는 단계 다음에 데이터선과 소스 전극 및 드레인 전극을 식각 차단막으로 하여 도핑된 비정질 규소층을 식각하는 단계를 더 포함하도록 할 수도 있다. 또, 게이트 절연막, 비정질 규소층, 도핑된 비정질 규소층 및 금속막을 연속으로 적층할 때도 진공이 유지되는 상태에서 진행하는 것

이 좋으며, 이것은 스퍼터 설비와 화학 기상 증착 설비가 일체로 형성되어 있는 설비를 사용하여 진행할 수 있다.

- <25> 또한, 비정질 규소층을 패터닝하는 단계는 감광제를 도포, 노광, 현상하여 감광제 패턴이 소스 전극과 드레인 전극은 완전히 덮고 0.1~0.4 μm 이상 남도록 넓게 형성하고 데이터선과는 일치하거나 그보다 약간 좁게 되도록 형성한 다음 초과 식각하여 비정질 규소층이 데이터선 아래로 0.1~0.4 μm 정도 패이도록 할 수 있다.
- <26> 또, 게이트 배선은 알루미늄 또는 알루미늄 합금, 몰리브덴 또는 몰리브덴 합금, 크롬 또는 크롬 합금, 탈륨 또는 탈륨 합금 중의 어느 하나로 이루어진 단일막 또는 이들 중의 어느 2개의 조합으로 이루어진 이중막으로 형성할 수 있다.
- <27> 그러면, 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다.
- <28> 도 2, 도 4, 도 6, 도 8, 도 10은 본 발명의 실시예에 따라 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 순서대로 도시한 배치도이고, 도 3, 도 5, 도 7, 도 9, 도 11은 각각 도 2의 III-III'선, 도 4의 V-V'선, 도 6의 VII-VII'선, 도 8의 IX-IX'선, 도 10의 XI-XI'선을 따라 절단한 단면도이다.
- <29> 먼저, 도 2 및 도 3에 나타낸 바와 같이, 투명한 절연 기판(100) 위에 알루미늄이나 알루미늄-네오디움 등 알루미늄 합금으로 이루어진 제1 금속막과 몰리브덴, 탈륨, 크롬 또는 이들의 합금으로 이루어진 제2 금속막을 차례로 증착하고 패터닝하여 게이트선(210, 220), 게이트 전극(230), 게이트선 연결부(240, 250)를 형성한다. 따라서, 게이트선(210, 220), 게이트 전극(230), 제1 및 제2 연결부(240, 250)는 모두 하부 금속막(211, 231, 241, 251)과 상부 금속막(212, 232, 242, 252)의 이중막으로 형성된다. 그러나 게이트 배선은 반드시 이중막으로 형성해야 하는 것은 아니고 단일막으로 형성할 수도 있다.
- <30> 다음, 도 4 및 도 5에 나타낸 바와 같이, 게이트 절연막(300), 비정질 규소층(400), 도핑된 비정질 규소층(500)을 화학 기상 증착(CVD : chemical vapor deposition) 방법으로 차례로 증착한다. 이어서, 기판을 대기 중에 노출시키지 않고 진공을 유지한 상태에서 화학 기상 증착 설비와 일체로 형성되어 있는 스퍼터 챔버(sputter chamber)로 이동하여 도핑된 비정질 규소층(500) 위에 연속으로 크롬막(600)을 스퍼터링으로 증착한다. 이와 같이, 게이트 절연막(300), 비정질 규소층(400), 도핑된 비정질 규소층(500) 및 크롬막(600)의 4개 층을 진공이 유지되는 상태에서 연속으로 증착하는 것은 도핑된 비정질 규소층(500) 및 크롬막(600) 사이에 자연 산화막이 생기는 것을 막기 위해서이며 이는 기존의 화학 기상 증착 설비 내에 스퍼터 챔버를 부가한 새로운 설비를 이용함으로써 가능하다. 새로운 설비를 이용하지 않더라도 4개 층을 연속으로 증착하는 것은 가능하나 기판(100)을 화학 기상 증착 설비로부터 스퍼터 설비로 이송하는 과정에서 공기 중에 노출되어 도핑된 비정질 규소층(500) 위에 산화막이 형성되고 이 물질이 쌓이게 된다.
- <31> 도 12는 스퍼터 챔버가 부착된 화학 기상 증착 설비의 한 예를 도시한 모식도로서, 기판(100)을 대기시키는 로드 락(load lock) 챔버, 막을 증착하기 전에 기판을 가열하는 예열(preheat) 챔버, 화학 기상 증착 방법으로 막을 증착시키는 다수의 프로세스 챔버 및 금속막을 증착하기 위한 스퍼터 챔버 등으로 이루어져 있다.
- <32> 이러한 설비를 이용하여 게이트 절연막(300), 비정질 규소층(400), 도핑된 비정질 규소층(500)과 크롬막(600)을 연속으로 증착하기 위해서는 먼저 게이트 패턴이 형성되어 있는 기판(100)을 로드 락 챔버에서 대기시킨 후, 예열 챔버로 옮겨 막을 증착하기 전에 먼저 기판(100)을 가열한다. 다음, 제1 프로세스 챔버로 옮겨 게이트 절연막(300) 및 비정질 규소층(400)을 증착하고, 제2 프로세스 챔버에서 도핑된 비정질 규소층(500)을 증착한 후, 진공 상태에서 스퍼터 챔버로 옮겨 도핑된 비정질 규소층(500) 위에 바로 크롬막(600)을 증착한다. 이 때, 게이트 절연막(300)은 3,000~6,000Å, 비정질 규소층(400)은 1,000~3,000Å, 도핑된 비정질 규소층(500)은 200~1,000Å 정도의 두께로 증착한다. 이와 같은 연속적인 막 증착 과정에서, 도시하지는 않았지만, 기판(100)은 이동 챔버를 통하여 각 챔버로 옮겨진다.
- <33> 다음, 도 6 및 도 7에 나타낸 바와 같이, 제2 마스크를 이용하여 감광막 패턴(640)을 형성하고 노출된 크롬막(600)을 식각하여 데이터선(630), 소스 전극(610), 드레인 전극(620) 등의 데이터 패턴을 형성한다.
- <34> 다음, 도 8 및 도 9에 나타낸 바와 같이, 도핑된 비정질 규소층(500)과 비정질 규소층(400)을 패터닝하는데 여기에는 두 가지 방법이 있다. 첫째는, 데이터 패턴 또는 그 위의 감광막(640)을 식각 차단막으로 하여 도핑된 비정질 규소층(500)을 식각하여 패터닝한 다음 다른 감광막을 도포하고 제3 마스크를 이용하여 소스 전극(610) 및 드레인 전극(620)의 주변을 덮는 감광막 패턴(도시하지 않음)을 형성한 후 노출된 비정질 규소층(400)을 식각하는 방법이고, 둘째는, 먼저 데이터 패턴을 형성할 때 쓰인 감광막(640)을 제거하고 다른 감광막을 도포하고 제3 마스크를 이용하여 소스 전극(610) 및 드레인 전극(620)의 주변을 덮는 감광막 패턴(도시하지 않음)을 형성한 후 노출된 도핑된 비정질 규소층(500)과 그 아래의 비정질 규소층(400)을 동시에 식각한 다음 감광막을 제거하고 데이터 패턴을 식각 차단막으로 하여 도핑된 비정질 규소층(500)을 다시 식각하는 방법이다. 이 때, 어느 방법에 의하거나 소스 전극(610)과 드레인 전극(620)의 위에서는 감광제 패턴이 그 하부의 소스 전극(610)과 드레인 전극(620)을 완전히 덮고 0.1~0.4 μm 정도 남도록 넓게 형성하고 데이터선(630) 위에서는 데이터선(630)과 일치하거나 데이터선(630)보다 약간 좁게 되도록 형성한 다음, 습식 식각을 통하여 비정질 규소층(400)을 식각하되 약간 초과 식각하여 데이터선(630) 하부의 비정질 규소층(400)이 데이터선(630) 아래로 0.1~0.4 μm 정도 패이도록 한다. 도핑된 비정질 규소층(500)도 초과 식각하여 데이터선(630) 아래로 0.1~0.4 μm 정도 패이도록 할 수 있다.
- <35> 다음, 도 10 및 도 11에 나타낸 바와 같이, 보호막(700)을 증착한 후, 제4 마스크를 사용하여 패터닝하여 드레인 전극(620)을 노출시키는 접촉구(710)를 형성한 후 보호막(700) 위에 ITO(indium tin oxide)층을 증착하고 제5 마스크를 이용하여 패터닝하여 접촉구(710)를 통하여 드레인 전극(620)과 연결

되는 화소 전극(800)을 형성한다. 화소 전극(800) 형성 과정에서 ITO 식각이 불완전하게 되어 데이터선(630) 상부의 보호막(700) 위에 ITO가 잔류하더라도 데이터선(630) 아래에 형성되어 있는 비정질 규소층(400) 및 도핑된 비정질 규소층(500)에 의한 홀형 단차부(A)에서 ITO는 단절되므로 데이터선(630)을 사이에 두고 있는 화소 전극(800)간의 단락은 발생하지 않는다.

- <36> 이상과 같은 방법을 통하여 제조된 박막 트랜지스터와 종래의 기술에 따라 제조된 박막 트랜지스터의 동작 전류(10n) 및 소스 전극(610) 또는 드레인 전극(620)과 도핑된 비정질 규소층(500) 사이의 접촉 저항을 비교한 그래프를 각각 도 13, 도 14에 나타내었다.
- <37> 도 13에서 종래의 기술에 따라 제조된 박막 트랜지스터의 동작 전류 변화는 흰색 삼각형으로 표시되어 있고 본 발명에 따라 제조된 박막 트랜지스터의 동작 전류 변화는 검은 삼각형으로 표시되어 있다.
- <38> 도 13에서 알 수 있듯이, 게이트 전압(Vg)과 데이터 전압(Vd)이 어떤 값을 가지건 상관없이 항상 본 발명에 의한 박막 트랜지스터의 동작 전류가 종래의 기술에 의한 박막 트랜지스터의 동작 전류보다 더 큰 값을 가짐을 알 수 있다.
- <39> 이는 모빌리티(mobility)가 종래 약 $0.5\text{cm}^2/\text{v} \cdot \text{sec}$ 이던 것이 본 발명에 의한 박막 트랜지스터에서는 약 $0.79\text{cm}^2/\text{v} \cdot \text{sec}$ 로 향상되는 것과 아래에서 설명할 접촉 저항의 감소에 기인하는 것이다.
- <40> 도 14에서 종래 기술에 따라 제조된 박막 트랜지스터의 접촉 저항의 소스 전극과 드레인 전극 사이의 전압차(Vds)에 따른 변화는 흰색 동그라미로 표시되어 있고 본 발명에 따라 제조된 박막 트랜지스터의 접촉 저항의 소스 전극과 드레인 전극 사이의 전압차에 따른 변화는 검은색 동그라미로 표시되어 있다.
- <41> 도 14에서 알 수 있듯이, 소스 전극과 드레인 전극 사이의 전압차(Vds)가 어떤 값을 가지건 상관없이 항상 본 발명에 의한 박막 트랜지스터의 접촉 저항이 종래의 기술에 의한 박막 트랜지스터보다 낮다.

발명의 효과

- <42> 이상과 같이, 진공 상태에서 게이트 절연막, 비정질 규소층, 도핑된 비정질 규소층 및 데이터 금속층을 연속으로 증착함으로써 자연 산화막이 형성되는 것을 방지할 수 있고 따라서 플루오르화 수소를 사용하는 세정 공정을 생략할 수 있어서 산화막이나 불순물로 인한 소스 전극 및 드레인 전극과 도핑된 비정질 규소층 사이의 접촉 불량을 방지하여 박막 트랜지스터의 동작 전류를 증가시킬 수 있음은 물론 공정 단순화에도 기여할 수 있다.
- <43> 또한, 데이터선 하부에 홀형 단차를 형성함으로써 이웃 화소 전극간의 단락을 방지할 수 있다. 또, 소스 전극 및 드레인 전극의 하부에 반도체층이 넓게 분포하므로 반도체층 형성 단계와 소스 전극 및 드레인 전극의 형성 단계 사이에 마스크 오정렬(misalign)이 발생하더라도 게이트 전극과 소스 전극간의 기생 정전 용량이 크게 변화하지 않아서 킥백 전압(kick back voltage)의 변화에 따른 스티치(stitch) 불량이 발생하는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1

절연 기판 위에 게이트 배선을 형성하는 단계,
 게이트 절연막, 비정질 규소층, 도핑된 비정질 규소층 및 금속막을 연속으로 적층하는 단계,
 상기 금속막을 패터닝하여 데이터선과 소스 전극 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,
 상기 데이터선과 소스 전극 및 드레인 전극으로 덮이지 않은 도핑된 비정질 규소층을 식각하는 단계,
 상기 비정질 규소층을 패터닝하는 단계,
 상기 드레인 전극의 일부를 노출시키는 접촉구를 가지는 보호막을 형성하는 단계,
 상기 보호막 위에 상기 접촉구를 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 2

제1항에서,
 상기 게이트 절연막, 비정질 규소층, 및 금속막을 연속으로 적층하는 단계는 스퍼터 설비와 화학 기상 증착 설비가 일체로 형성되어 있는 설비를 사용하여 진공이 유지되는 상태에서 진행하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 3

제1항 또는 제2항에서,
 상기 비정질 규소층을 패터닝하는 단계는 감광제를 도포, 노광, 현상하여 감광제 패턴이 상기 소스 전극과 드레인 전극은 완전히 덮고 $0.1 \sim 0.4\mu\text{m}$ 이상 남도록 넓게 형성하고 상기 데이터선과는 일치하

거나 그보다 약간 좁게 되도록 형성한 다음, 초과 식각하여 상기 비정질 규소층이 상기 데이터선 아래로 0.1~0.4 μm 정도 패이도록 하는 단계인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 4

제1항 또는 제2항에서,

상기 게이트 배선은 알루미늄 또는 알루미늄 합금, 몰리브덴 또는 몰리브덴 합금, 크롬 또는 크롬 합금, 탈륨 또는 탈륨 합금 중의 어느 하나로 이루어진 단일막 또는 이들 중의 어느 2개의 조합으로 이루어진 이중막인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 5

절연 기판 위에 게이트 배선을 형성하는 단계,

게이트 절연막, 비정질 규소층, 도핑된 비정질 규소층 및 금속막을 연속으로 적층하는 단계,

상기 금속막을 패터닝하여 데이터선과 소스 전극 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 도핑된 비정질 규소층과 비정질 규소층을 동시에 패터닝하는 단계,

상기 데이터선과 소스 전극 및 드레인 전극으로 덮이지 않은 도핑된 비정질 규소층을 식각하는 단계,

상기 드레인 전극의 일부를 노출시키는 접촉구를 가지는 보호막을 형성하는 단계,

상기 보호막 위에 상기 접촉구를 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단

계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 6

제5항에서,

상기 게이트 절연막, 비정질 규소층, 및 금속막을 연속으로 적층하는 단계는 스퍼터 설비와 화학 기상 증착 설비가 일체로 형성되어 있는 설비를 사용하여 진공이 유지되는 상태에서 진행하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 7

제5항 또는 제6항에서,

상기 비정질 규소층을 패터닝하는 단계는 감광제를 도포, 노광, 현상하여 감광제 패턴이 상기 소스 전극과 드레인 전극은 완전히 덮고 0.1~0.4 μm 이상 남도록 넓게 형성하고 상기 데이터선과는 일치하거나 그보다 약간 좁게 되도록 형성한 다음, 초과 식각하여 상기 비정질 규소층이 상기 데이터선 아래로 0.1~0.4 μm 정도 패이도록 하는 단계인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 8

제5항 또는 제6항에서,

상기 게이트 배선은 알루미늄 또는 알루미늄 합금, 몰리브덴 또는 몰리브덴 합금, 크롬 또는 크롬 합금, 탈륨 또는 탈륨 합금 중의 어느 하나로 이루어진 단일막 또는 이들 중의 어느 2개의 조합으로 이루어진 이중막인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 9

제1항 또는 제5항에서,

상기 비정질 규소층을 패터닝하는 단계에서는 상기 데이터선의 적어도 일부분을 식각 차단층으로 사용하여 상기 비정질 규소층을 식각하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 10

절연 기판 위에 가로 방향으로 형성되어 있는 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며 세로 방향으로 형성되어 있는 제1 반도체부와 상기 제1 반도체부에 연결되어 있는 제2 반도체부를 포함하는 반도체 패턴,

상기 제1 반도체부 위에 형성되어 있는 제1 접촉층 및 상기 제2 반도체부 위에 형성되어 있으며 상기 제2 반도체부의 외곽선 내부에 위치하는 제2 접촉층을 포함하는 접촉층 패턴,

상기 제1 접촉층 위에 형성되어 있는 데이터선 및 상기 제2 접촉층 위에 형성되어 있는 소스 전극과 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 드레인 전극을 노출시키는 접촉구를 가지는 보호막,

상기 보호막 위에 형성되어 있으며 상기 접촉구를 통하여 드레인 전극과 연결되어 있는 화소 전극을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 11

제10항에서,

상기 제1 반도체부의 적어도 일부분은 상기 데이터선의 외곽선 내부에 위치하며 상기 데이터선보다 폭이 좁은 액정 표시 장치용 박막 트랜지스터 기판.

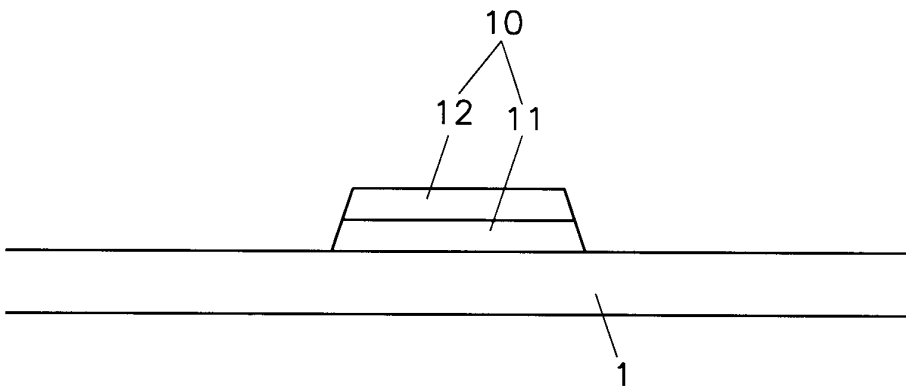
청구항 12

제11항에서,

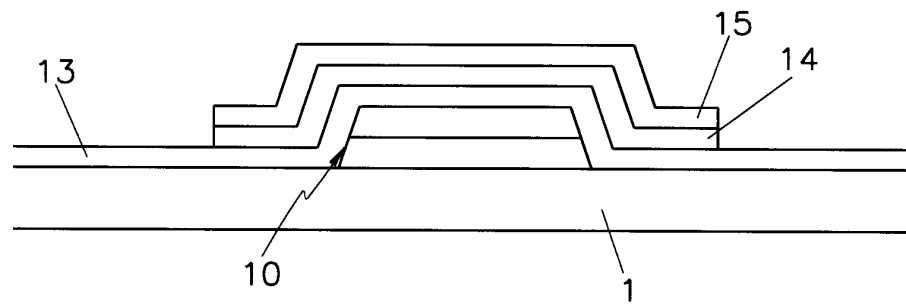
상기 제1 반도체부는 상기 데이터선보다 폭이 0.2~0.8 μm 작은 액정 표시 장치용 박막 트랜지스터 기판.

도면

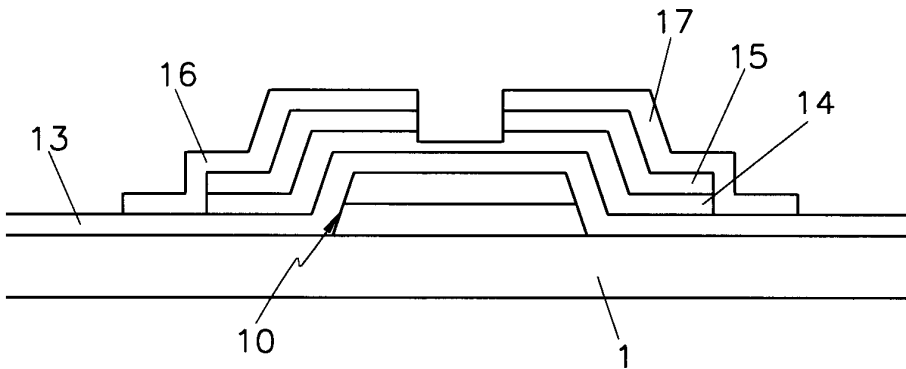
도면 1a



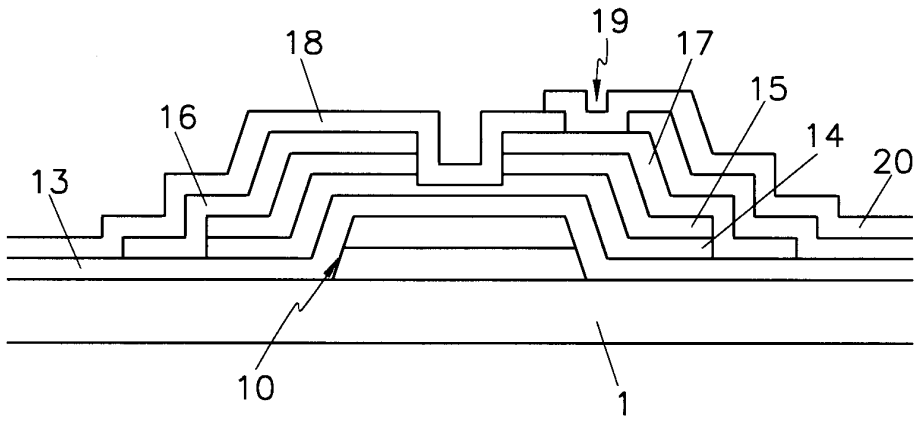
도면 1b



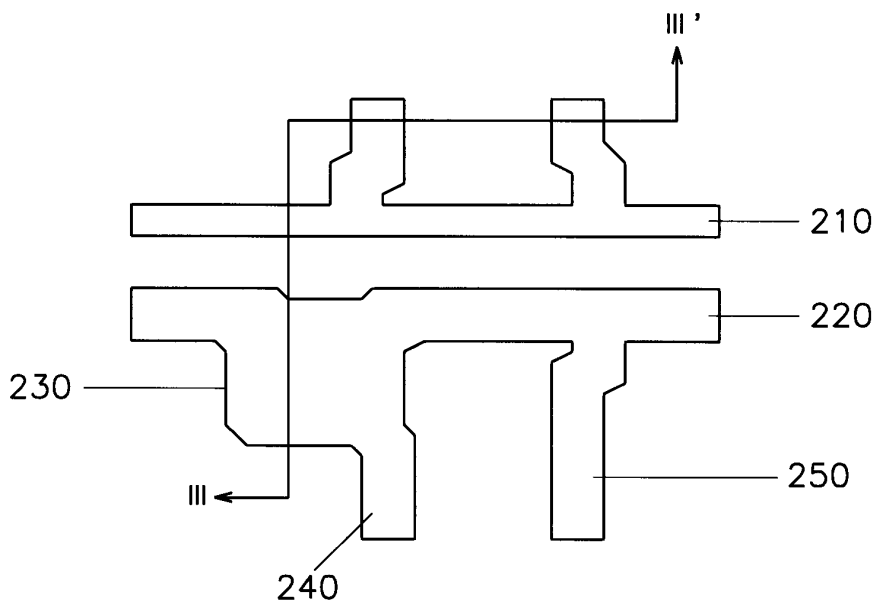
도면 1c



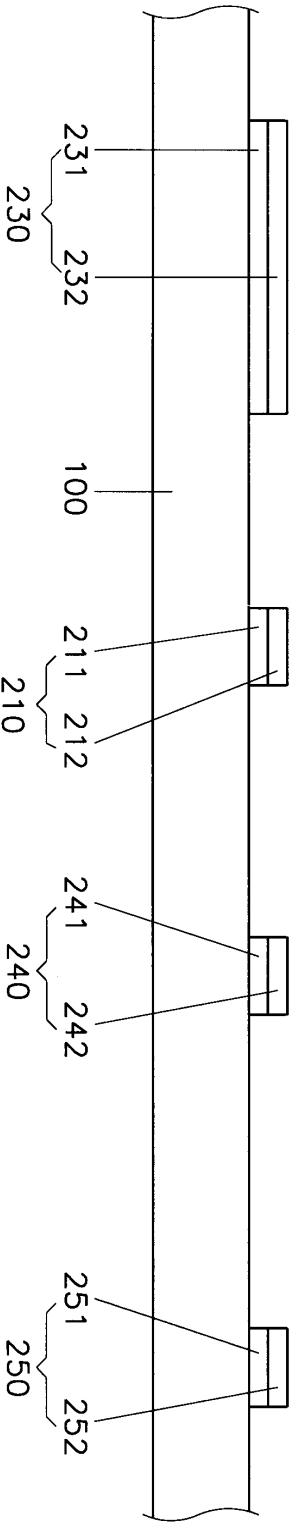
도면1d



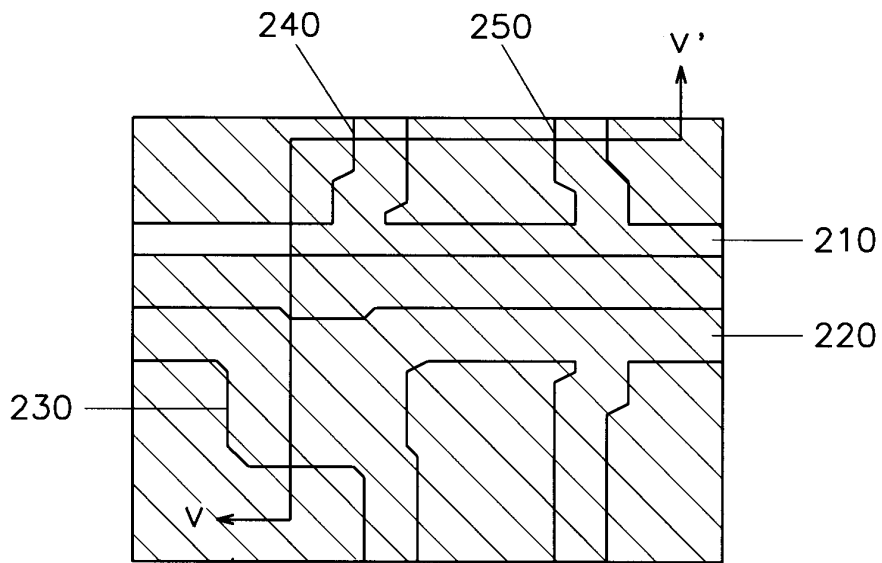
도면2



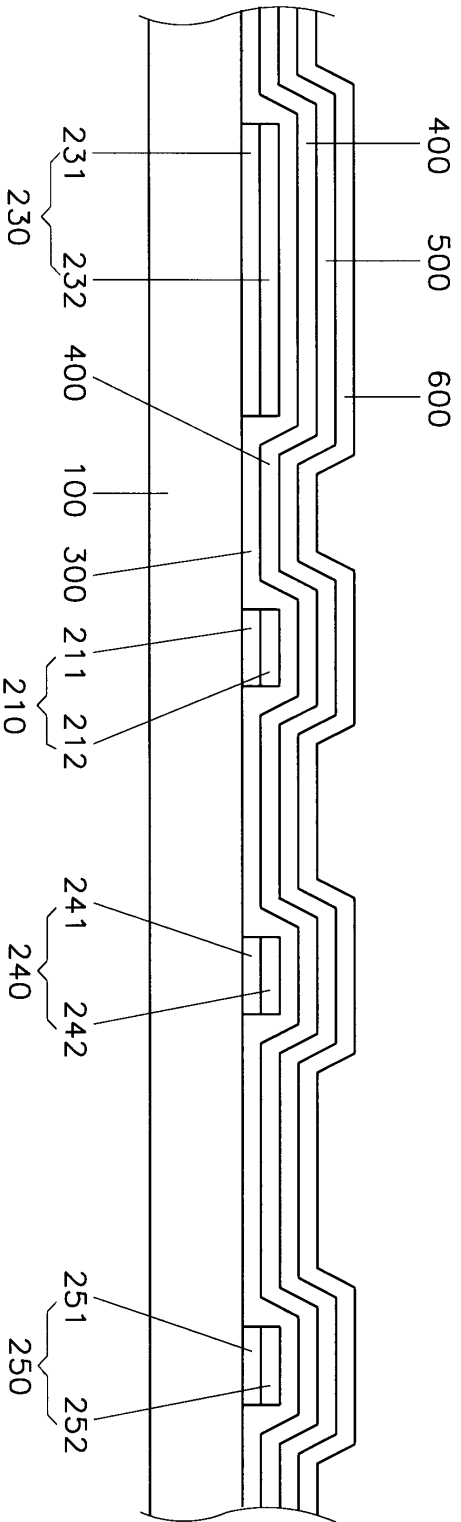
도면3



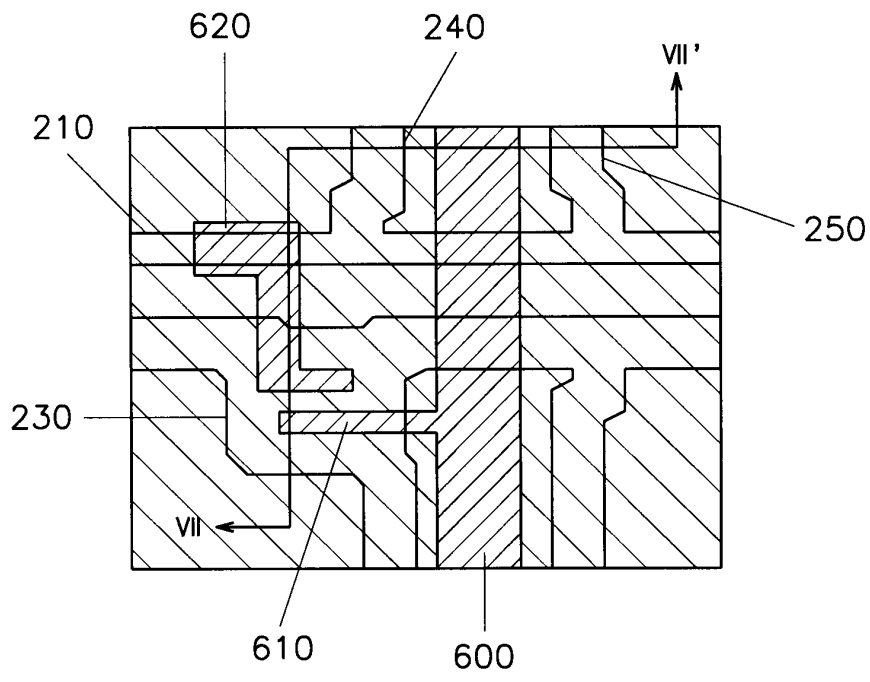
도면4



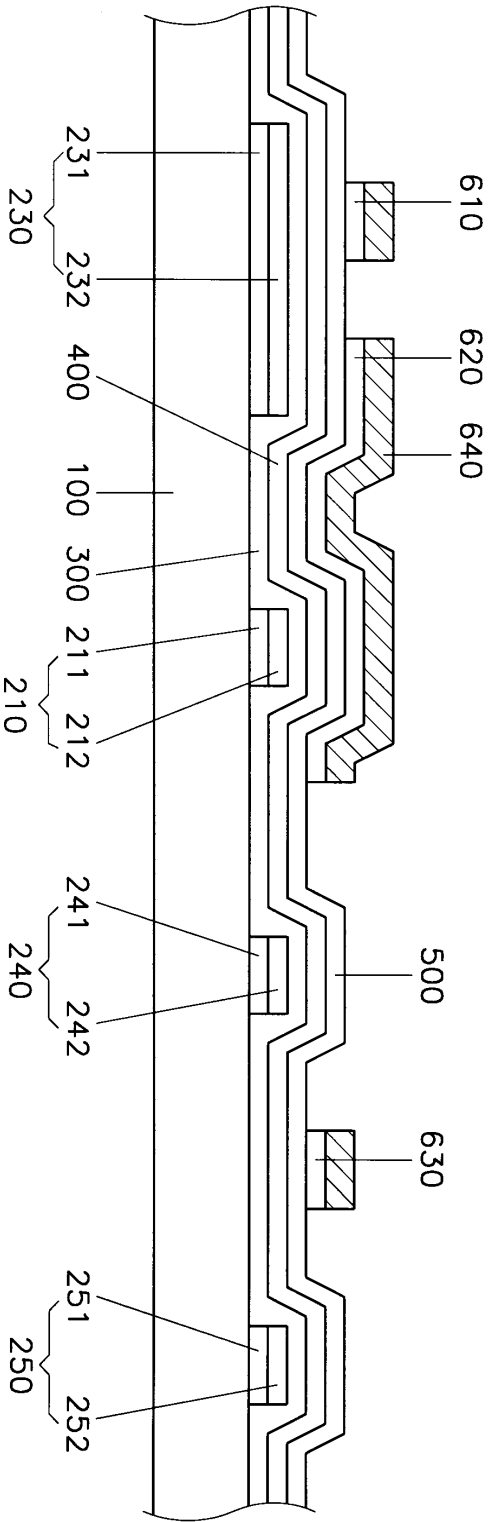
도면5



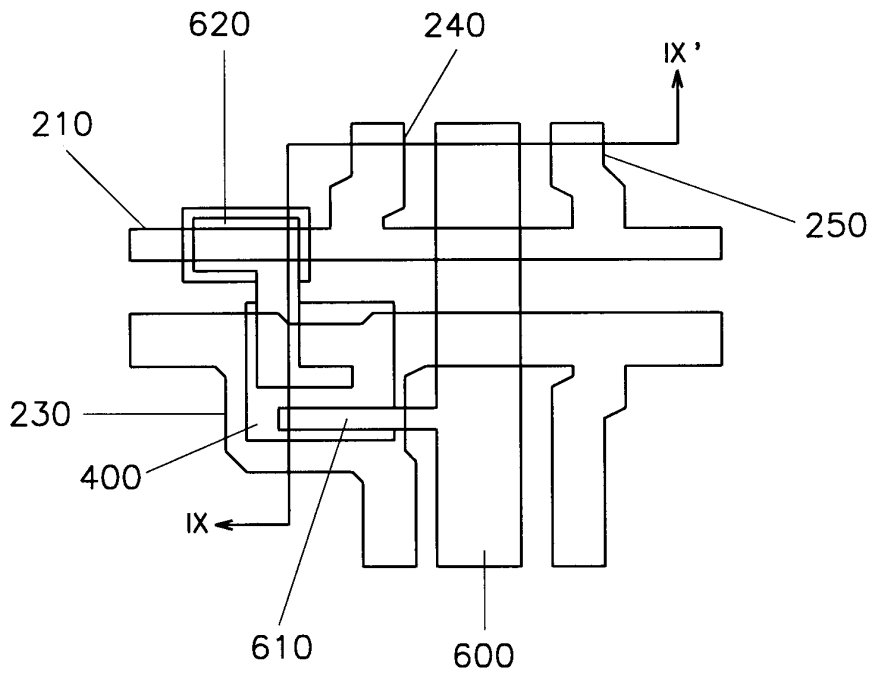
도면6



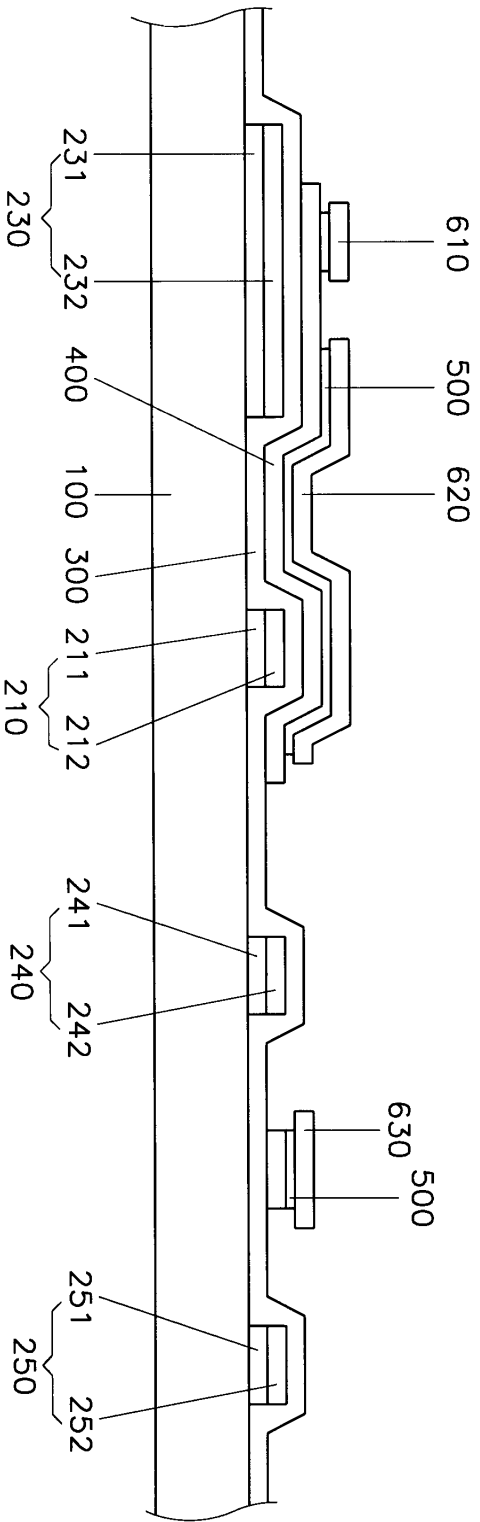
도면7



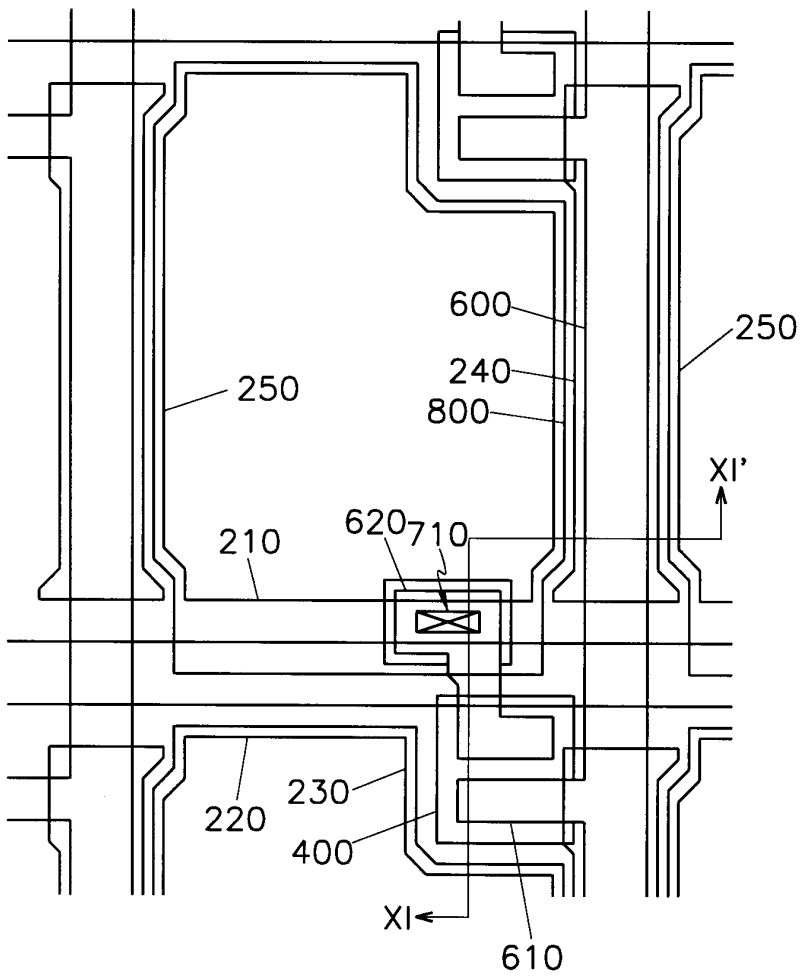
도면8



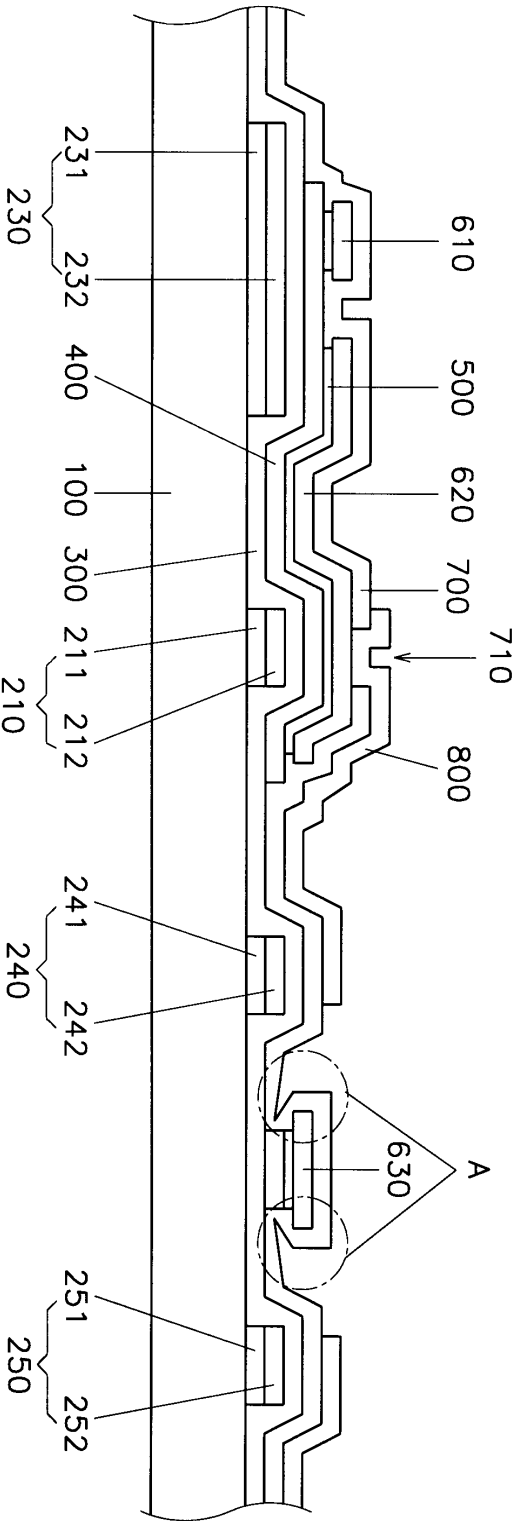
도면9



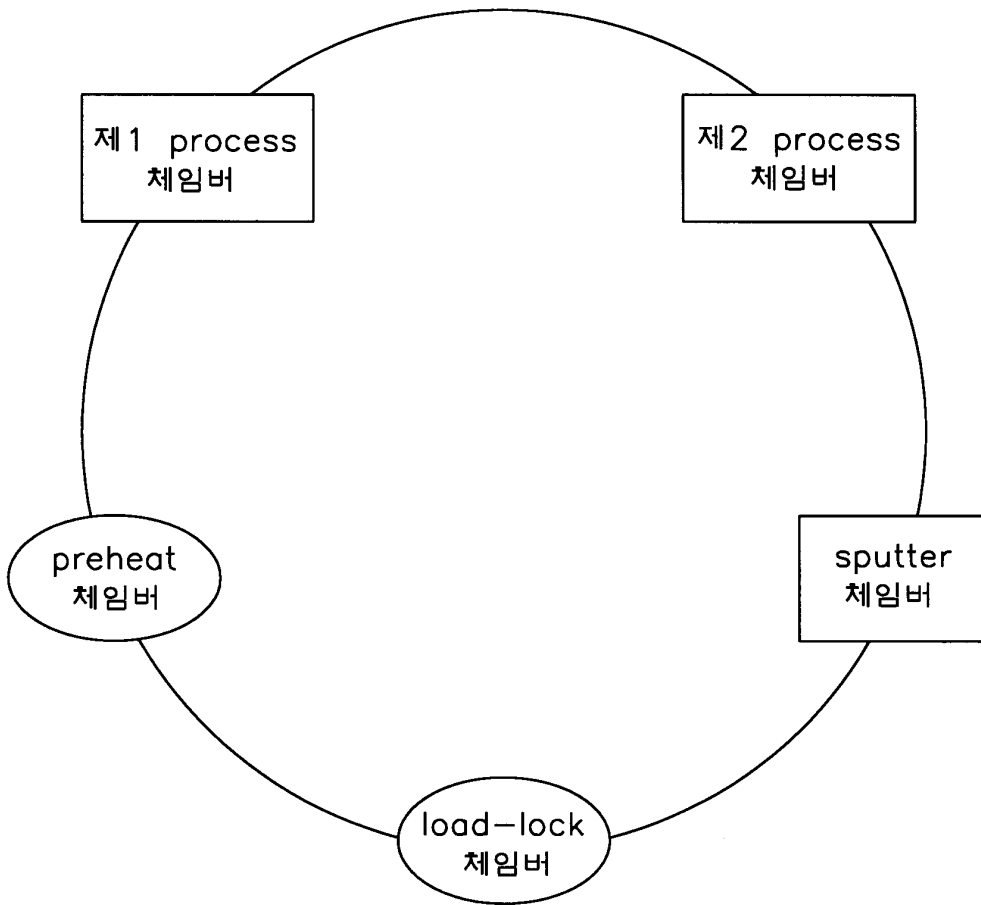
도면10



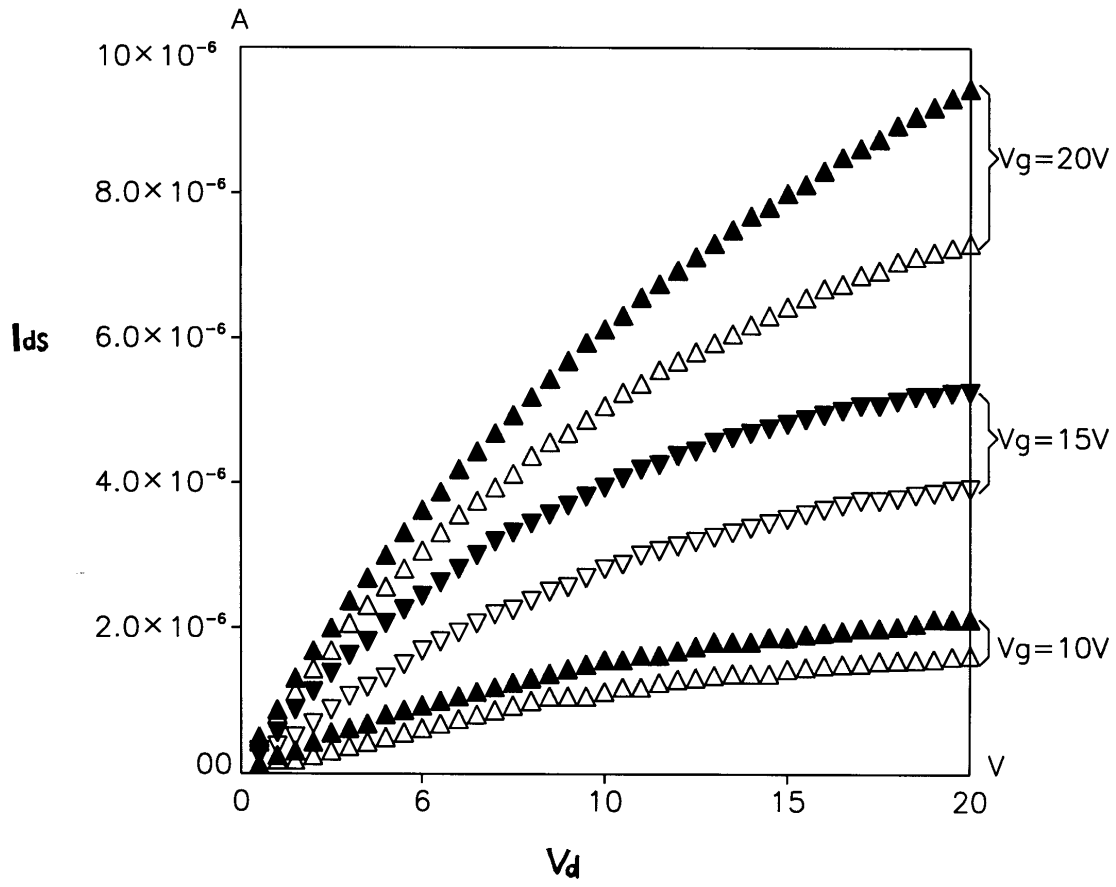
도면11



도면12



도면 13



도면14

