

Patentti- ja rekisterihallitus
Patent- og registerstyrelsen

28.07.94 GB 9415191 P

The diagram illustrates a digital signal processing system. It begins with a **CK x 3** input block (2) connected to a **Wahvistus- ja koodaus** block (4). Block 4 outputs to a **Signaalin koodigeneraattori** (12). Block 4 also feeds into a **Wahvistus- ja koodaus** block (6), which in turn feeds into a **Wahvistus- ja koodaus** block (8). Block 6 also outputs to a **Pilotin koodigeneraattori** (14). Block 8 outputs to a **Wahvistus- ja koodaus** block (10) and a **Wahvistus- ja koodaus** block (16). Block 10 has inputs labeled **Asetus** and **Asetus** and outputs labeled **Asetus** and **Asetus**. Block 16 outputs to a **Wahvistus- ja koodaus** block (18). Block 18 has inputs labeled **Q** and **Q** and outputs labeled **Q** and **Q**. Block 18 also outputs to a **Wahvistus- ja koodaus** block (20). Block 20 has inputs labeled **22** and **24** and outputs labeled **22** and **24**.