



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

222 798

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 04 82
(21) PV 2313-82

(51) Int. Cl. G 05 B 23/02

(40) Zveřejněno 30 11 82

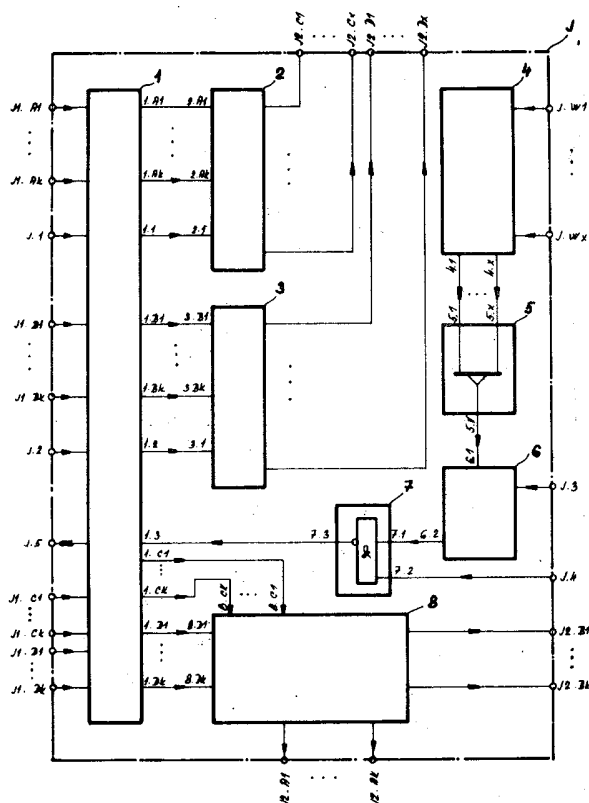
(45) Vydáno 01 02 84

(75)

Autor vynálezu BREJŠA JIŘÍ ing.,
HABADA OLDŘICH,
BUGÁR JÁN ing.,
HRŮZA JAN ing., PŘÍBRAM

(54) Zapojení logického bloku pro řízení vyhodnocovacích obvodů prvků logické struktury automatu

Vynález řeší zapojení logického bloku pro řízení vyhodnocovacích obvodů prvků logické struktury automatu. Umožňuje jednoduché připojení na závadný řídicí systém a testovanou logickou soustavu. Pro své plné využití k řídicí a vyhodnocovací funkci předpokládá zapojení podle vynálezu další návazné zařízení. Zapojení logického bloku zahrnuje dva vstupní členy, dva demultiplexní členy, součtový člen, paměťový člen, logický člen a programovací člen. Je navrženo tak, aby mohlo být využito obecně v nejrozličnějších stavebnicově skládaných řídicích strukturách. Je určeno zejména pro využití v testovacích systémech nebo v periferních jednotkách počítačových řídicích systémů.



Vynález^{2. výz.} je zapojení logického bloku pro řízení vyhodnocovacích obvodů prvků logické struktury automatik, které zahrnuje dva vstupní členy, dva demultiplexní členy, součtový člen, paměťový člen, logický člen a programovací člen.

Podobné bloky jsou v současné době řešeny buď programově pomocí programovatelných řídicích prostředků nebo obdobným zapojením, které je řešeno s ohledem na danou strukturu řídicího systému, ale neumožňuje jeho obecnější využití. V případě programovatelných prostředků je řešení výhodné pouze pro menší logické struktury, při testování větších binárních logických systémů se již takové zařízení značně komplikuje, zejména v části spojení systému s vnějším prostředím.

Uvedené nedostatky do značné míry odstraňuje zapojení logického bloku dle vynálezu. Jeho podstata spočívá v tom, že první vstupní člen je prvním až k-tým výstupním adresovacím výstupem prvního stupně propojen s prvním až k-tým vstupem prvního demultiplexního členu. První vstupní člen je opatřen prvním a druhým vnějším vstupem, prvním až k-tým vnějším vstupem pro výstupní adresaci prvního stupně, prvním až k-tým vnějším vstupem pro vstupní adresaci prvního stupně, dále vnějším vstupem, prvním až k-tým vnějším vstupem pro výstupní adresaci druhého stupně a prvním až k-tým vnějším vstupem pro vstupní adresaci druhého stupně. První demultiplexní člen je opatřen prvním až x-tým výstupním adresovacím vnějším výstupem. Podmiňovací vstup prvního demultiplexního členu je propojen s prvním výstupem prvního vstupního členu. První až k-tý vstupní adresovací výstup prvního stupně prvního vstupního členu je propojen s prvním až k-tým vstupem druhého demultiplexního členu. Druhý demultiplexní člen je opatřen prvním až k-tým vstupním adresovacím vnějším výstupem. Vstup druhého demultiplexního členu je propojen s druhým výstupem prvního vstupního členu. První až k-tý výstupní adresovací

výstup druhého stupně je propojen s prvním až k-tým výstupním adresovacím vstupem programovacího členu. První až k-tý vstupní adresovací vstup programovacího členu je propojen s prvním až k-tým vstupním adresovacím výstupem druhého stupně prvního vstupního členu. Programovací člen je opatřen prvním až k-tým vnějším výstupem pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem pro vstupní adresaci druhého stupně. Vstup prvního vstupního členu je propojen s výstupem logického členu. Druhý vstup logického členu je propojen se čtvrtým vnějším vstupem a jeho první vstup je propojen s výstupem paměťového členu. Paměťový člen je opatřen třetím vnějším vstupem. Vstup paměťového členu je propojen s výstupem součtového členu. První až x-tý vstup součtového členu je propojen s prvním až x-tým výstupem druhého vstupního členu. Druhý vstupní člen je opatřen prvním až x-tým stavovým vnějším vstupem.

Zapojení dle vynálezu umožňuje jednoduché připojení na návazný řídicí systém a testovanou logickou soustavu. Zapojení a struktura jeho prvků umožňují blokovou výstavbu vyhodnocovacích zařízení s obecným využitím v binární řídicí technice.

Na připojeném výkrese je znázorněno příkladné schéma zapojení logického bloku podle vynálezu.

Zapojení logického bloku zahrnuje první a druhý vstupní člen 1, 4, první a druhý demultiplexní člen 2, 3, součtový člen 5, paměťový člen 6, logický člen 7 a programovací člen 8. První vnější člen 1, který je opatřen prvním a druhým vnějším vstupem J_{1.1}, J_{1.2}, prvním až k-tým vnějším vstupem J_{1.A1} až J_{1.Ak} pro výstupní adresaci prvního stupně, prvním až k-tým vnějším vstupem J_{1.B1} až J_{1.Bk} pro vstupní adresaci prvního stupně, dále vnějším výstupem J_{1.5}, prvním až k-tým vnějším vstupem J_{1.C1} až J_{1.Ck} pro výstupní adresaci druhého stupně a prvním až k-tým vnějším vstupem J_{1.D1} až J_{1.Dk} pro vstupní adresaci druhého stupně, je prvním až k-tým výstupním adresovacím výstupem 1.A1 až 1.Ak prvního stupně propojen s prvním až k-tým vstupem 2.A1 až 2.Ak prvního demultiplexního členu 2. První demultiplexní člen 2 je opatřen prvním až x-tým výstupním adresovacím vnějším výstupem J_{2.C1} až J_{2.Cx} a jeho podmínovací vstup 2.1 je propojen s prvním výstupem 1.1 prvního vstupního členu 1. První až k-tý vstupní adresovací výstup 1.B1 až 1.Bk prvního stupně prvního vstupního členu 1 je propojen s prvním až k-tým vstupem 3.B1 až 3.Bk druhého demultiplexního členu 3. Druhý demultiplexní

člen 3 je opatřen prvním až x-tým vstupním adresovacím vnějším výstupem J2.D1 až J2.Dx a jeho vstup 3.1 je propojen s druhým výstupem 1.2 prvního vstupního členu 1. První až k-tý výstupní adresovací výstup 1.C1 až 1.Ck druhého stupně je propojen s prvním až k-tým výstupním adresovacím vstupem 8.C1 až 8.Ck programovacího členu 8. První až k-tý vstupní adresovací vstup 8.D1 až 8.Dk programovacího členu 8 je propojen s prvním až k-tým vstupním adresovacím výstupem 1.D1 až 1.Dk druhého stupně prvního vstupního členu 1. Programovací člen 8 je opatřen prvním až k-tým vnějším výstupem J2.A1 až J2.Ak pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem J2.B1 až J2.Bk pro vstupní adresaci druhého stupně. Vstup 1.3 prvního vstupního členu 1 je propojen s výstupem 7.3 logického členu 7. Druhý vstup 7.2 logického členu 7 je propojen se čtvrtým vnějším vstupem J.4 a jeho první vstup 7.1 je spojen s výstupem 6.2 paměťového členu 6. Paměťový člen 6 je opatřen třetím vnějším vstupem J.3 a jeho vstup 6.1 je propojen s výstupem 5.V součtového členu 5. První až x-tý vstup 5.1 až 5.x součtového členu 5 je propojen s prvním až x-tým výstupem 4.1 až 4.x druhého vstupního členu 4, který je opatřen prvním až x-tým stavovým vnějším vstupem J.W1 až J.Wx.

První vstupní člen 1 logického bloku podle vynálezu obsahuje oddělovací a zesilovací obvody pro každý vstupní signál. Je opatřen prvním vnějším vstupem J.1, jímž je přiváděn první uvolňovací signál, druhým vnějším vstupem J.2, kterým je přiváděn druhý uvolňovací signál a vnějším výstupem J.5, kterým je vysílán stavový signál. První demultiplexní člen 2 obsahuje logický obvod, který zajišťuje výběr jednoho z výstupů ze skupiny prvního až x-tého výstupního adresovacího výstupu J2.C1 až J2.Cx na základě kombinace signálů v BCD kódu, přivedených na první až k-tý vstup 2.A1 až 2.Ak. Druhý demultiplexní člen 3 obsahuje první až x-tý vstupní adresovací vnější výstup J2.D1 až J2.Dx, který je vybírán z kombinace vstupních signálů na prvním až k-tém vstupu 3.B1 až 3.Bk. Druhý vstupní člen 4 obsahuje zesilovací a přizpůsobovací obvody pro každý signál přiváděný prvním až x-tým stavovým vnějším vstupem J.W1 až J.Wx. Součtový člen 5 provádí logický součet všech signálů přiváděných na jeho vstupy 5.1 až 5.x a výstupem 5.V je dále propojen s paměťovým členem 6. Paměťový člen 6 obsahuje bistabilní klopný obvod typu D, který je překlápěn třetím vnějším vstupem J.3. Tímto vstupem je

přiváděn zápisový hodinový impuls, s jehož náběžnou hranou se klopný obvod překlápí a až do příchodu nového impulsu zachovává pamatovaný stav ze svého vstupu 6.1. Pamatovaný stav z výstupu 6.2 je pak přiváděn k dalšímu zpracování. Logický člen 7 obsahuje běžné dvouvstupové hradlo typu NAND a dále čtvrtý vnější vstup J.4, kterým je podmíněn postup zpracování pamatovaného stavu z paměťového členu 6. Programovací člen 8 obsahuje první až k-tý vnější výstup J2.A1 až J2.Ak pro výstupní adresaci druhého stupně a první až k-tý vnější výstup J2.B1 až J2.Bk pro vstupní adresaci druhého stupně. Programovací člen 8 dále obsahuje připojovací a zesilovací prvky pro svůj první až k-tý výstupní adresovací vstup 8.C1 až 8.Ck a první až k-tý vstupní adresovací vstup 8.D1 až 8.Dk.

Kombinace signálů, která je přiváděna prvním až k-tým vnějším vstupem J1.A1 až J1.Ak pro výstupní adresaci prvního stupně, je přes první vstupní člen 1 přivedena na první až k-tý vstup 2.A1 až 2.Ak prvního demultiplexního členu 2. Je-li na podmínovacím vstupu 2.1 prvního demultiplexního členu 2 přítomen signál, provede demultiplexní člen 2 naaktivování jednoho ze svých výstupních adresovacích vnějších výstupů J2.C1 až J2.Cx. Naaktivovaný výstup může být vnějším zařízením vyhodnocen a jeho odezva přivedena na jeden z vnějších stavových vstupů J1.W1 až J1.Wk. Adresace pro čtení příslušného vstupu se provádí prostřednictvím druhého demultiplexního členu 3 a jeho prvního až x-tého vstupního adresovacího vnějšího výstupu J2.D1 až J2.Dx. Stav sledovaného místa logické struktury je vyhodnocován v paměťovém členu 6 a logickém členu 7, odkud je signál přes první vstupní člen 1 přiváděn na vnější výstup J.5. Detailní adresace požadovaného místa propojení logické struktury a to jak pro vstupní, tak pro výstupní adresaci, je prováděna pomocí programovacího členu 8, zejména jeho prvním až k-tým vnějším výstupem J2.A1 až J2.Ak pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem J2.B1 až J2.Bk pro vstupní adresaci druhého stupně.

Zapojení logického bloku podle vynálezu předpokládá pro své plné využití k řídicí a vyhodnocovací funkci další návazné zařízení. Je však navrženo tak, aby mohlo být využito obecně v nejrozličnějších stavebnicově skládaných řídicích strukturách. Je určeno zejména pro využití v testovacích systémech nebo v periferních jednotkách počítačových řídicích systémů.

Zapojení logického bloku pro řízení vyhodnocovacích obvodů prvků logické struktury automatu, sestávající ze dvou vstupních členů, dvou demultiplexních členů, součtového členu, paměťového členu, logického členu a programovacího členu, vyznačené tím, že první vstupní člen (1), který je opatřen prvním a druhým vnějším vstupem (J.1, J.2), prvním až k-tým vnějším vstupem (J1.A1 až J1.Ak) pro výstupní adresaci prvního stupně, prvním až k-tým vnějším vstupem (J1.B1 až J1.Bk) pro vstupní adresaci prvního stupně, dále vnějším výstupem (J.5), prvním až k-tým vnějším vstupem (J1.C1 až J1.Ck) pro výstupní adresaci druhého stupně a prvním až k-tým vnějším vstupem (J1.D1 až J1.Dk) pro vstupní adresaci druhého stupně, je prvním až k-tým výstupním adresovacím výstupem (1.A1 až 1.Ak) prvního stupně propojen s prvním až k-tým vstupem (2.A1 až 2.Ak) prvního demultiplexního členu 2, který je opatřen prvním až x-tým výstupním adresovacím vnějším výstupem (J2.C1 až J2.Cx) a jehož podmiňovací vstup (2.1) je propojen s prvním výstupem (1.1) prvního vstupního členu (1), jehož první až k-tý vstupní adresovací výstup (1.B1 až 1.Bk) prvního stupně je propojen s prvním až k-tým vstupem (3.B1 až 3.Bk) druhého demultiplexního členu (3), který je opatřen prvním až x-tým vstupním adresovacím vnějším výstupem (J2.D1 až J2.Dx) a jehož vstup (3.1) je propojen s druhým výstupem (1.2) prvního vstupního členu (1), jehož první až k-tý výstupní adresovací výstup (1.C1 až 1.Ck) druhého stupně je propojen s prvním až k-tým výstupním adresovacím vstupem (8.C1 až 8.Ck) programovacího členu (8), jehož první až k-tý vstupní adresovací vstup (8.D1 až 8.Dk) je propojen s prvním až k-tým vstupním adresovacím výstupem (1.D1 až 1.Dk) druhého stupně prvního vstupního členu (1), přičemž programovací člen (8) je opatřen prvním až k-tým vnějším výstupem (J2.A1 až J2.Ak) pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem (J2.B1 až J2.Bk) pro vstupní adresaci druhého stupně, přičemž dále vstup (1.3) prvního vstupního členu (1) je propojen s výstupem (7.3) logického členu (7), jehož druhý vstup (7.2) je propojen se čtvrtým vnějším vstupem (J.4) a první vstup (7.1) je spojen s výstupem (6.2) paměťového členu (6), který je opatřen třetím vnějším vstupem (J.3) a jehož vstup (6.1) je propojen s výstupem (5.V) součtového členu (5), jehož první

až x-tý vstup (5.1 až 5.x) je propojen s prvním až x-tým výstupem (4.1 až 4.x) druhého vstupního členu (4), který je opatřen prvním až x-tým stavovým vnějším vstupem (J.W1 až J.Wx).

1 výkres

