

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 7 月 26 日 (2007.7.26)

【公開番号】特開 2001-176959 (P2001-176959A)
 【公開日】平成 13 年 6 月 29 日 (2001.6.29)
 【出願番号】特願 平 11-355645
 【国際特許分類】

H 0 1 L 21/76 (2006.01)

【F I】

H 0 1 L 21/76 L

【手続補正書】
 【提出日】平成 19 年 6 月 8 日 (2007.6.8)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】 半導体基板と、
 半導体基板の主表面上に形成されたアクティブデバイス領域と、
 上記アクティブデバイス領域の周りにある分離領域と、
上記アクティブデバイス領域に隣接する上記分離領域内に第一ピッチで第一の方向と上記第一の方向と異なる第二の方向に配置され、それぞれが等しい平面形状を有する複数の第一アクティブダミーパターンと、
上記アクティブデバイス領域に対して、上記第一アクティブダミーパターンよりも離れた位置の上記分離領域内に第二ピッチで第三の方向と上記第三の方向と異なる第四の方向に配置され、それぞれが等しい平面形状を有する複数の第二アクティブダミーパターンと
 を有し、
 上記第一のピッチは上記第二のピッチより小さく、上記第一アクティブダミーパターンは上記第二アクティブダミーパターンよりも平面積が小さく、上記第一アクティブダミーパターンに隣接するすべての上記第二アクティブダミーパターンの平面形状及び平面積は等しいことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
 上記分離領域は上記半導体基板の主表面上の溝内の酸化膜で形成されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、
上記第一及び第二アクティブダミーパターンは上記酸化膜に囲まれていることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置において、
 上記第一の方向は上記第三の方向であり、上記第二の方向は上記第四の方向であり、上記第一アクティブダミーパターンと上記第二アクティブダミーパターンは相似型であることを特徴とする半導体装置。

【請求項 5】 半導体基板と、
 半導体基板の主表面上に形成されたメモリセル用の第一アクティブデバイス領域と、メモリセル以外に用いられる第二アクティブデバイス領域と、
上記第一及び第二アクティブデバイス領域の間及び周りにある分離領域と、
上記分離領域内に第一ピッチで第一の方向と上記第一の方向と異なる第二の方向に配置され、それぞれが等しい平面形状を有する複数の第一アクティブダミーパターンと、

上記分離領域内に第二ピッチで第三の方向と上記第三の方向と異なる第四の方向に配置され、それぞれが等しい平面形状を有する複数の第二アクティブダミーパターンとを有し

、
上記第一のピッチは上記第二のピッチより小さく、上記第一アクティブダミーパターンは上記第二アクティブダミーパターンよりも平面積が小さいことを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、

上記分離領域は上記半導体基板の主表面上の溝内の酸化膜で形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、

第一及び第二アクティブダミーパターンは上記酸化膜に囲まれていることを特徴とする半導体装置。

【請求項 8】 請求項 5 に記載の半導体装置において、

上記第二アクティブダミーパターンよりも上記第一アクティブダミーパターンが近傍になるよう上記アクティブデバイス領域が配置されることを特徴とする半導体装置。

【請求項 9】 請求項 5 に記載の半導体装置において、

上記第一の方向は上記第三の方向であり、上記第二の方向は上記第四の方向であり、上記第一アクティブダミーパターンと上記第二アクティブダミーパターンは相似型であることを特徴とする半導体装置。

【請求項 10】 半導体基板と、

半導体基板の主表面上に形成された第一アクティブデバイス領域及び第二アクティブデバイス領域と、

上記第一及び第二アクティブデバイス領域の間にある分離領域と、

上記分離領域内に第一ピッチで第一の方向に配置され、それぞれが等しい平面形状を有する複数の第一アクティブダミーパターンと、

上記分離領域内に第二ピッチで第二の方向に配置され、それぞれが等しい平面形状を有する複数の第二アクティブダミーパターンと、

上記分離領域内に上記第一ピッチで上記第一の方向に配置され、それぞれが等しい平面形状を有する複数の第三アクティブダミーパターンとを有し、

上記第一のピッチは上記第二のピッチより小さく、上記第一アクティブダミーパターンおよび上記第三アクティブダミーパターンは上記第二ダミーパターンよりも平面積が小さく、

上記第一アクティブデバイス領域、上記第一アクティブダミーパターン、上記第二アクティブダミーパターン、上記第三アクティブダミーパターン及び上記第二アクティブデバイス領域の順番で配置されていて、

上記第一アクティブダミーパターンと上記第三アクティブダミーパターンは平面積が等しく、上記第一アクティブダミーパターンそれぞれは平面積が等しく、上記第三アクティブダミーパターンそれぞれは平面積が等しいことを特徴とする半導体装置。

【請求項 11】 請求項 10 に記載の半導体装置において、

上記分離領域は上記半導体基板の主表面上の溝内の酸化膜で形成されていることを特徴とする半導体装置。

【請求項 12】 請求項 11 に記載の半導体装置において、

上記第一、第二及び第三アクティブダミーパターンは上記酸化膜に囲まれていることを特徴とする半導体装置。

【請求項 13】 請求項 10 に記載の半導体装置において、

上記第一アクティブダミーパターンと上記第三アクティブダミーパターンは相似型であることを特徴とする半導体装置。

【請求項 14】 請求項 10 に記載の半導体装置において、

上記第一の方向は上記第二の方向であり、上記第一アクティブダミーパターンと上記第二アクティブダミーパターンと上記第三アクティブダミーパターンはそれぞれ相似型であ

ることを特徴とする半導体装置。

【請求項 15】 半導体基板と、

半導体基板の主表面上に形成された第一アクティブデバイス領域及び第二アクティブデバイス領域群と、

上記第一アクティブデバイス領域及び第二アクティブデバイス領域群の間にある分離領域と、

上記分離領域内に第一ピッチで第一の方向に配置され、それぞれが等しい平面形状を有する複数の第一アクティブダミーパターンと、

上記分離領域内に第二ピッチで第二の方向に配置され、それぞれが等しい平面形状を有する複数の第二アクティブダミーパターンと、

上記分離領域内に上記第一ピッチで上記第一の方向に配置され、それぞれが等しい平面形状を有する複数の第三アクティブダミーパターンとを有し、

上記第一のピッチは上記第二のピッチより小さく、上記第一アクティブダミーパターンおよび上記第三アクティブダミーパターンは上記第二アクティブダミーパターンよりも平面積が小さく、

上記第一アクティブデバイス領域、上記第一アクティブダミーパターン、上記第二アクティブダミーパターン、上記第三アクティブダミーパターン及び上記第二アクティブデバイス領域群の順番で配置されていて、

上記複数の第一アクティブダミーパターン、及び上記複数の第三アクティブダミーパターンそれぞれは平面積が等しいことを特徴とする半導体装置。

【請求項 16】 請求項 15 に記載の半導体装置において、

上記第二アクティブデバイス領域群は 2 つのアクティブデバイス領域を有することを特徴とする半導体装置。

【請求項 17】 請求項 15 に記載の半導体集積回路において、

上記分離領域は上記半導体基板の主表面上の溝内の酸化膜で形成されていることを特徴とする半導体装置。

【請求項 18】 請求項 17 に記載の半導体装置において、

上記第一、第二及び第三アクティブダミーパターンは上記酸化膜に囲まれていることを特徴とする半導体装置。

【請求項 19】 請求項 15 に記載の半導体装置において、

上記第一および第三アクティブダミーパターンそれぞれは平面形状が等しいことを特徴とする半導体装置。

【請求項 20】 半導体基板と、

半導体基板の主表面上に形成されたアクティブデバイス領域と、

上記アクティブデバイス領域の周りにある分離領域と、

上記分離領域内に第一ピッチで配置されている複数の第一アクティブダミーパターンと

上記分離領域内に第二ピッチで配置されている複数の第二アクティブダミーパターンとを有し、

それぞれが等しい平面形状を有する複数の上記第一アクティブダミーパターンが、上記アクティブデバイス領域と隣接するよう第一の方向に上記第一ピッチで配置され、

それぞれが等しい平面形状を有する複数の上記第一アクティブダミーパターンが、上記アクティブデバイス領域と隣接するよう第二の方向に上記第一ピッチで配置され、

それぞれが等しい平面形状を有する複数の上記第二アクティブダミーパターンが、上記第一の方向に配置された複数の上記第一アクティブダミーパターンと隣接するよう上記第一の方向に上記第二ピッチで配置され、

それぞれが等しい平面形状を有する複数の上記第二アクティブダミーパターンが、上記第二の方向に配置された複数の上記第一アクティブダミーパターンと隣接するよう上記第二の方向に上記第二ピッチで配置され、

上記第一のピッチは上記第二のピッチより小さく、上記第一アクティブダミーパターン

は上記第二アクティブダミーパターンよりも平面積が小さく、上記第一及び上記第二の方向に形成されている複数の上記第二アクティブダミーパターンそれぞれの平面形状及び平面積が等しく、上記第一の方向と上記第二の方向とは異なることを特徴とする半導体装置。

【請求項 2 1】 請求項 2 0 に記載の半導体装置において、
上記分離領域は上記半導体基板の主表面上の溝内の酸化膜で形成されていることを特徴とする半導体装置。

【請求項 2 2】 請求項 2 1 に記載の半導体装置において、
第一及び第二アクティブダミーパターンは上記酸化膜に囲まれていることを特徴とする半導体装置。

【請求項 2 3】 請求項 2 0 に記載の半導体装置において、
上記第二アクティブダミーパターンよりも上記第一アクティブダミーパターンが近傍になるよう上記アクティブデバイス領域が配置されることを特徴とする半導体装置。

【請求項 2 4】 請求項 2 0 に記載の半導体装置において、
上記第一アクティブダミーパターンと上記第二アクティブダミーパターンは相似型であることを特徴とする半導体装置。

【請求項 2 5】 請求項 2 0 に記載の半導体装置において、
複数の上記第一アクティブダミーパターンそれぞれの平面積は等しく、複数の上記第二アクティブダミーパターンそれぞれは平面積が等しいことを特徴とする半導体装置。