

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 9/30 (2006.01)

G11C 19/18 (2006.01)



[12] 发明专利说明书

专利号 ZL 00817223.4

[45] 授权公告日 2006 年 9 月 6 日

[11] 授权公告号 CN 1273889C

[22] 申请日 2000.10.26 [21] 申请号 00817223.4

[30] 优先权

[32] 1999.12.15 [33] DE [31] 19960716.8

[86] 国际申请 PCT/DE2000/003781 2000.10.26

[87] 国际公布 WO2001/044928 德 2001.6.21

[85] 进入国家阶段日期 2002.6.14

[71] 专利权人 罗伯特-博希股份公司

地址 德国斯图加特

[72] 发明人 A·奥厄

审查员 盖 浩

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 郑立柱 张志醒

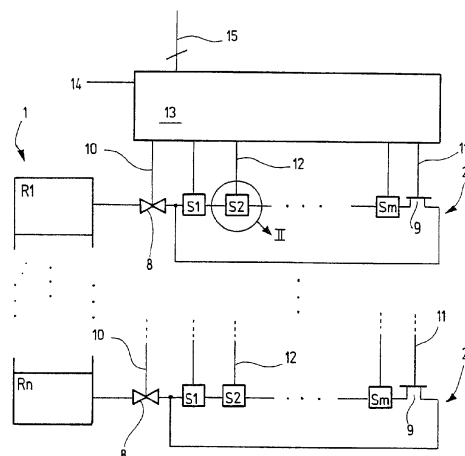
权利要求书 1 页 说明书 6 页 附图 1 页

[54] 发明名称

具有一个寄存器和其他存储装置的微型计算机寄存器装置

[57] 摘要

本发明涉及到微型计算机的一种寄存器装置，具有一个寄存器(1)，这个寄存器有至少一个寄存器比特(R1至Rn)，和具有属于寄存器(1)的其他存储装置和在其上缓冲存储寄存器(1)的数据内容。为了一方面缩短存储寄存器(1)数据内容的计算时间和但是另外一方面将寄存装置所需要的硅面积维持得尽可能小，建议将其他存储装置构成为具有至少两个移位寄存器单元(S1至Sm)的至少一个移位寄存器(2)，其中将任意一个移位寄存器单元(S1至Sm)的内容可以放在一个寄存器比特(R1至Rn)中和相反将一个寄存器比特(R1至Rn)的内容放在任意一个移位寄存器单元(S1至Sm)中。



1. 一种用于微型计算机的寄存器系统，包括：
寄存器，该寄存器包括至少一个寄存器比特；和
5 设置于所述寄存器的、并且可用于立刻存储所述寄存器的数据内容的其它的存储装置，其中所述其它的存储装置包括至少一个具有至少两个移位寄存器单元的移位寄存器，其中一个选择的移位寄存器单元中的内容可通过转移装置移至其中一个寄存器比特的位置，并且其中一个选择的移位寄存器比特的内容可通过所述转移装置移至其中一个寄存器单元。
- 10 2. 按照权利要求 1 所述的寄存器系统，其中对应于所述寄存器的每一个寄存器比特的位置设置一个移位寄存器。
3. 按照权利要求 1 所述的寄存器系统，其中每一个移位寄存器单元包括一个电荷耦合器件元件。
4. 按照权利要求 3 所述的寄存器系统，其中每一个移位寄存器单元
15 包括一个单元转移门电路、一个电荷存储单元和一个逆变器。
5. 按照权利要求 4 所述的寄存器系统，其中每一个移位寄存器单元的单元转移门电路包括至少一个晶体管。
6. 按照权利要求 4 所述的寄存器系统，其中每一个移位寄存器单元的电荷存储单元包括各逆变器的一个门电路电容和一个单独的电容的其中之一。
20 7. 按照权利要求 1 所述的寄存器系统，其中在所述寄存器和第一个移位寄存器单元之间设置一个输入转移门电路。
8. 按照权利要求 7 所述的寄存器系统，其中最后一个移位寄存器单元经一个输出转移门电路连接至所述第一个移位寄存器单元。
- 25 9. 按照权利要求 8 所述的寄存器系统，其中所述输入转移门电路和所述输出转移门电路连接至一个时钟发生器。

具有一个寄存器和其他存储装置
的微型计算机寄存器装置

5

技术领域

本发明涉及到微型计算机的一种寄存器装置，具有至少一个寄存器比特的寄存器，和具有属于寄存器和在其上可以缓冲存储寄存器数据内容的其他存储装置。

10

背景技术

15

微型计算机为了提高处理速度有很多不同的寄存器。则例如微型计算机的微处理器在其结构单元中有一个数据寄存器和一个地址寄存器。在浮点装置（FPU）中处理器为了浮点计算和在整数装置（IU）中为了整数计算有多个寄存器（所谓的计算寄存器）。此外微处理器还有所谓的指令寄存器。

20

将微型计算机中进行的应用程序数据存放在寄存器中。如果寄存器需要一个应用程序，这个被需要同一个寄存器的比较高优先权的应用程序中中断，必须尽可能快和没有数据损失地将这个寄存器对于比较高优先权的应用程序让出来。此外将存放在寄存器中的低优先权的应用程序数据缓冲存储在其他存储装置中。按照现有技术将其他存储装置或者构成为一个堆，在其中存储寄存器的数据。然后将比较高优先权的应用程序的数据存放在寄存器中。当比较高优先权的应用程序结束之后将被存储在一个堆中的数据重新装载在寄存器中和继续进行被中断的低优先权的应用程序。

25

可以想象，将多个不同优先权的应用程序构成相互重叠在一起，则将多个被中断的应用程序的数据暂时存放在一个堆中。特别是将微型计算机用于实时处理时低优先权的应用程序有时被比较高优先权的应用程序中断和必须将低优先权应用程序的数据从寄存器中存储在一个堆中。一般来说为了中断低优先权的应用程序是使用中断信号。

然而将寄存器内容存储在一个堆中需要计算机核心相对多的循环。因此在中断低优先权的应用程序之后将寄存器数据内容存储在一个堆期间可以导致一个延迟，在寄存器空闲下来之前，这个延迟可以处理比较高优先权的应用程序和可以处理其原来的任务。

- 5 减少或者避免比较高优先权应用程序延迟的一种可能性在于，将其他存储装置构成为寄存器库，也就是说其他存储装置多次利用微型计算机的寄存器。固然当需要时可以用非常短的时间和相对少的循环从寄存器中将数据存储在寄存器库中。当然是将寄存器库构成为完整的寄存器。因为触发电路需要相对很多面积，相应地寄存器库需要很多的硅面积。然而由于
- 10 位置原因和成本原因值得争取的是，将微处理器实现在尽可能小的硅面积上或者在同样的面积上放上尽可能多的寄存器。

发明内容

- 由于现有技术的上述缺点得出本发明的任务，这样构成和扩展开始叙述形式的寄存器装置，一方面减少用于存储寄存器数据内容的计算时间，
- 15 但是另外一方面寄存器装置所需要的硅面积尽可能的小。

为了解决此任务，本发明建议以下技术方案。

- 按照本发明的一种用于微型计算机的寄存器系统，包括：寄存器，该寄存器包括至少一个寄存器比特；和，设置于所述寄存器的、并且可用于
- 20 立刻存储所述寄存器的数据内容的其它的存储装置，其中所述其它的存储装置包括至少一个具有至少两个移位寄存器单元的移位寄存器，其中一个选择的移位寄存器单元中的内容可通过转移装置移至其中一个寄存器比特的位置，并且其中一个选择的移位寄存器比特的内容可通过所述转移装置移至其中一个寄存器单元。

- 25 此外在 DE 196 11 520 A1 中叙述了对于一个计算机的 IDDQ 试验，其中控制单元包括可以将计算机引导到确定运行状态的装置。此外存在测量计算机电压供应回路电流或电压的测量装置，随后在比较装置中将被测量的电流或电压与至少一个预先规定的阈值比较。为了操作显示装置和/或关闭显示装置有操作装置，操作装置依赖于比较结果有时带来显示的故障或

在这个故障的反应下关闭整个系统或系统的部分区域。

本发明的优点

不是将寄存器多次构成在本发明的寄存器装置上，而是为了存储寄存器的数据内容只安排了至少一个附加的移位寄存器。此外移位寄存器涉及到存储位置比同等价值的寄存器库需要小得多的硅面积。因此按照本发明的寄存器装置需要特别小的硅面积。

同时为了将寄存器数据内容存储在移位寄存器中比现有技术需要比较少的循环，在现有技术中将寄存器内容存储在一个堆中。

按照本发明的寄存器装置一方面为了存储寄存器数据内容需要计算机核心特别少的循环，和但是另外一方面特别小的硅面积。

如果最后优异的在按照本发明的寄存器装置中只使用静态结构（CMOS-结构）时，则将微型计算机的功能性也可以借助于所谓的 IDDQ-试验进行检查。IDDQ-试验是建立在物理的事实基础上的，无故障的 CMOS-电路在静止状态有非常小的电流消耗。在 COMS-电路中断时故障可以导致电流消耗的极度升高。将 IDDQ-试验详细地叙述在因特网网页 <http://www.cedcc.psu.edu/ee497f/rassp-43/sld072.htm> 至 <http://www.cedcc.psu.edu/ee497f/rassp-43/sld080.htm> (标准 1999.12.14) 中，以这里的说明为基础。

按照本发明有益的扩展结构建议，移位寄存器是属于寄存器的每个寄存器比特的。按照这个扩展结构在需要时可以将任意一个寄存器比特的内容移动到属于寄存器比特的移位寄存器上。因此相应地简化和加速了将寄存器数据内容存储到移位寄存器中。

按照本发明优异的实施形式建议，将每个移位寄存器单元构成为按照电荷耦合器件（CCD）元件的形式。特别是建议了，每个移位寄存器单元有一个单元转移门电路，一个电荷存储器和一个逆变器。这样构成的移位寄存器不代表完整的触发器和相应地需要比较少的硅面积。然而按照本发明的移位寄存器的存储器单元可以快速和可靠地接收一个寄存器比特的内容，至少对于需要寄存器的持续时间通过比较高优先权的应用程序缓冲存储和比较高优先权的应用程序结束之后快速和可靠地重新传输给寄存器比

特。

有益的是逆变器包括两个串联的晶体管，单元转移门电路有益的是包括至少一个晶体管。将按照本发明的移位寄存器单元的电荷存储器有益地构成逆变器的门电路电容。有选择地也可以将电荷存储器构成为单独的电容。按照优异的实施例形式移位寄存器单元只有三个晶体管。与之相反例如SRAM 存储器单元有六个或四个晶体管。DRAM - 单元固然只有一个晶体管，但是需要很多的更新逻辑。

按照本发明优异的实施例形式建议，在寄存器和第一个移位寄存器单元之间安排了输入转移门电路。按照本发明的其他优异实施例形式建议，最后的移位寄存器单元经过输出转移门电路是与第一个移位寄存器单元连接的。通过打开输出转移门电路可以将最后的移位寄存器单元的内容移动到第一个移位寄存器单元中，如果其转移门电路是打开的。如果第一个移位寄存器单元的转移门电路是关闭的和输入转移门电路是打开的，也可以将最后的移位寄存器单元的内容直接移动到寄存器比特中，移位寄存器是属于寄存器比特的。

单元转移门电路与一个节拍发生器连接，以便将移位寄存器单元的数据内容按照节拍发生器的节拍从一个移位寄存器单元移动到下一个。同样有益的是输入转移门电路和输出转移门电路是与一个节拍发生器连接的。当按照节拍发生器的节拍控制移位寄存器不同的转移门电路时，也就是说打开或关闭，可以接收寄存器的数据内容，在移位寄存器内部任意地来回移动和重新传输给寄存器。节拍发生器用微型计算机的系统节拍或其很多倍发出节拍。

附图说明

下面借助于附图详细叙述本发明优异的实施例。附图表示：
附图 1 按照优异实施例形式的按照本发明的寄存器装置；和
附图 2 附图 1 中的一部分移位寄存器的移位寄存器单元。

具体实施方式

在附图 1 中表示了按照本发明的一个寄存器装置。寄存器装置有具有从 R1 至 Rn 多个寄存器比特的一个寄存器 1。每个寄存器比特 R1 至 Rn 是属于具有多个移位寄存器单元 S1, S2 至 Sm 的一个移位寄存器 2 的。

下面在附图 2 基础上详细叙述移位寄存器单元 S1 至 Sm 的结构, 在那里放大表示了属于第一个寄存器比特 R1 的移位寄存器 2 的移位寄存器单元 S2。其余移位寄存器单元是相应地构成的。移位寄存器单元 S2 构成为按照电荷耦合器件 (CCD) 元件的形式。移位寄存器单元 S2 有一个单元转移门电路 3, 一个电荷存储器 4 和一个逆变器 5。将单元转移门电路 3 构成为一个晶体管。逆变器包括两个串联的晶体管 6, 7。将晶体管 6 构成为 pmos-晶体管并将晶体管 7 构成为 nmos - 晶体管。晶体管 6 及其资源是与供应电压 VDD 连接的和晶体管 7 及其出口是接地的。将电荷存储器 4 构成为逆变器的一个门电路电容。有选择地也可以将其构成为一个单独的电容。

在寄存器 1 和移位寄存器 2 第一个移位寄存器单元 S1 之间各自安装了一个输入转移门电路 8。移位寄存器 2 最后的移位寄存器单元 Sm 各自经过一个输出转移门电路 9 是与各个移位寄存器 2 的第一个移位寄存器单元 S1 连接的。输入转移门电路 8 是经过输入节拍导线 10, 输出转移门电路 9 是经过输出节拍导线 11 和移位寄存器单元 S1 至 Sm 的单元转移门电路 3 是经过节拍导线 12 与节拍发生器 13 连接的。节拍发生器 13 是从微型计算机系统时钟 14 中得到时间节拍的。通过经过节拍导线 10, 11, 12 相应地控制转移门电路 3, 8, 9 可以将寄存器 1 的数据内容存储到移位寄存器 2 中, 将存放在那里的数据任意地来回移动和然后将数据内容重新从移位寄存器 2 传输给寄存器 1。因此将寄存器 R1 至 Rn 的内容可以存放在属于各个寄存器比特 R1 至 Rn 的移位寄存器 2 任意一个移位寄存器单元 S1 至 Sm 中和相反从任意一个移位寄存器单元 S1 至 Sm 还可以重新返回传输到寄存器比特 R1 至 Rn 中。

在移位寄存器 2 中将内容从一个移位寄存器单元 S1 至 Sm 移动到下一个的持续时间为 5 ns。如果将移位寄存器单元 S1 至 Sm 的数据内容只在一个方向移动时, 具有十个移位寄存器单元 S1 至 Sm 的移位寄存器 2 得出移位寄存器单元 S1 至 Sm 的数据内容存取时间为 50 ns。应该将哪个移位寄存

器 2 通过节拍发生器 13 用确定的时间节拍进行控制,借助于一个寄存器文件选择导线 15 确定。

5 将移位寄存器 2 的各自第一个移位寄存器单元 S1 构成第一个寄存器库。同样将移位寄存器 2 的第二个移位寄存器单元 S2 构成第二个寄存器库,直到将最后的移位寄存器单元 S_m 构成第 m- 个寄存器库。当然由移位寄存器单元 S1 至 S_m 建立的寄存器库需要特别小的硅面积,因为不是将单个的移位寄存器单元 S1 至 S_m 构成完整的触发电路和只有三个晶体管 3, 6, 7。因此按照本发明的寄存器装置降低了位置需求和由于需要小的硅面积制造成本可以维持得小。

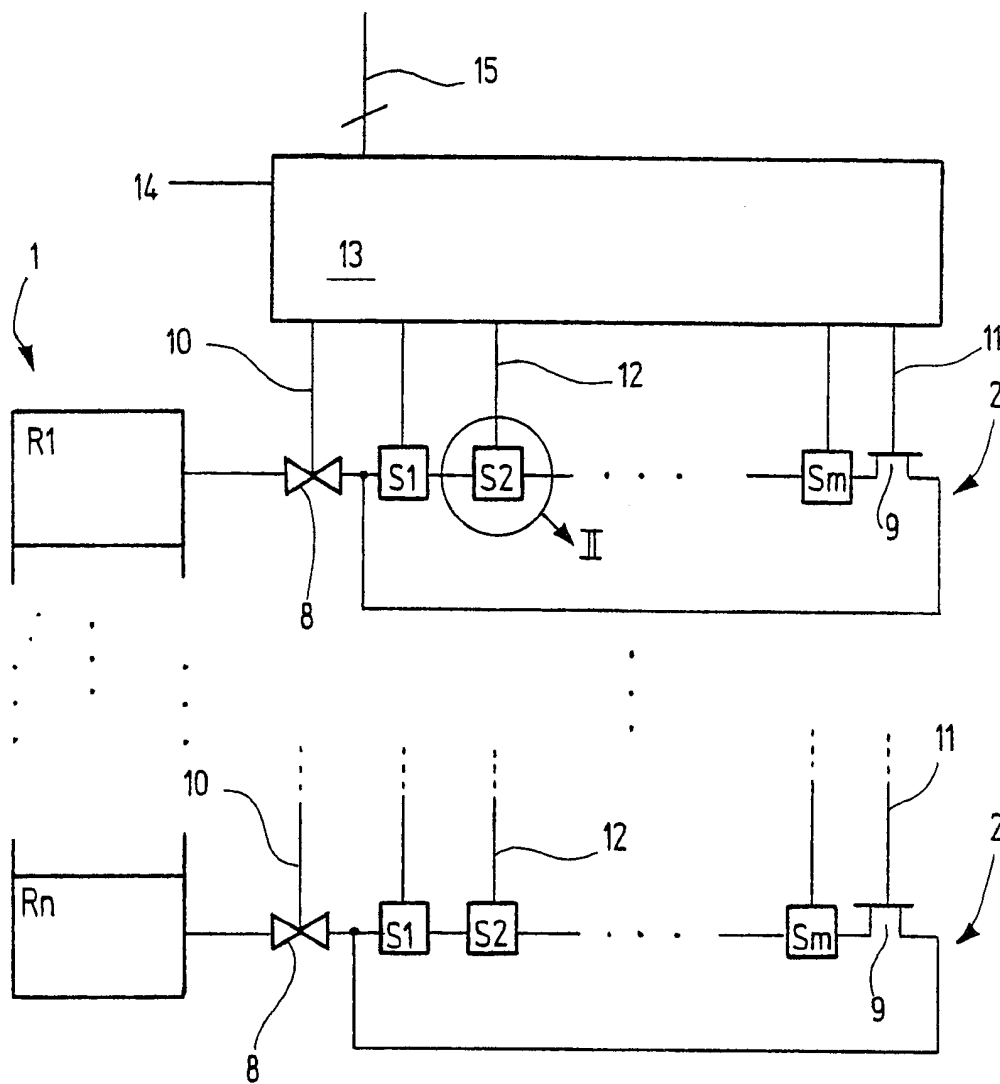


图 1

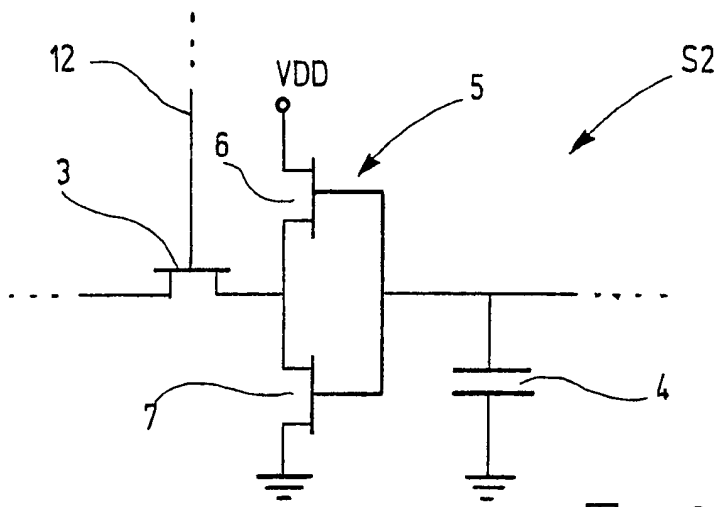


图 2