

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 16 日 (16.02.2023)



(10) 国际公布号
WO 2023/015751 A1

- (51) 国际专利分类号:
H01L 21/762 (2006.01)
- (21) 国际申请号: PCT/CN2021/129229
- (22) 国际申请日: 2021 年 11 月 8 日 (08.11.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202110925394.1 2021年8月12日 (12.08.2021) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。
- (72) 发明人: 郑孟晟 (CHEN, Meng-Cheng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) **Title:** METHOD FOR PREPARING SHALLOW TRENCH ISOLATION STRUCTURE, SHALLOW TRENCH ISOLATION STRUCTURE, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构

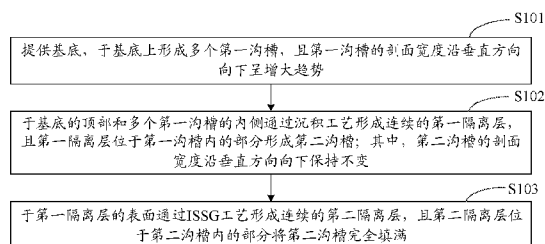


图 3

- S101 Provide a substrate, and form multiple first trenches on the substrate, cross-sectional widths of the first trenches increasing downwards along a vertical direction
- S102 Form a continuous first isolation layer on a top portion of the substrate and inner sides of the multiple first trenches by means of a deposition process, portions of the first isolation layer in the first trenches forming second trenches, and cross-sectional widths of the second trenches remaining constant downwards along the vertical direction
- S103 Form a continuous second isolation layer on a surface of the first isolation layer by means of an ISSG process, portions of the second isolation layer in the second trenches completely filling the second trenches

(57) **Abstract:** Embodiments of the present disclosure provide a method for preparing a shallow trench isolation structure, a shallow trench isolation structure, and a semiconductor structure. The method for preparing the shallow trench isolation structure comprises: providing a substrate, and forming multiple first trenches on the substrate, cross-sectional widths of the first trenches increasing downwards along a vertical direction; forming a continuous first isolation layer on a top portion of the substrate and inner sides of the multiple first trenches by means of a deposition process, portions of the first isolation layer in the first trenches forming second trenches, and cross-sectional widths of the second trenches remaining constant downwards along the vertical direction; and forming a continuous second isolation layer on a surface of the first isolation layer by means of an ISSG process, portions of the second isolation layer in the second trenches completely filling the second trenches.

(57) **摘要:** 本公开实施例提供了一种浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构，该浅槽隔离结构的制备方法包括：提供基底，于基底上形成多个第一沟槽，且第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且第一隔离层位于第一沟槽内的部分形成第二沟槽；第二沟槽的剖面宽度沿垂直方向向下保持不变；于第一隔离层的表面通过ISSG工艺形成连续的第二隔离层，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构

相关申请的交叉引用

本申请基于申请号为 202110925394.1、申请日为 2021 年 8 月 12 日、发明名称为“浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体制作技术领域，尤其涉及一种浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构。

10 背景技术

浅槽隔离（Shallow Trench Isolation, STI）能够提供较小的隔离尺寸，而且具有平坦化的表面，逐渐成为半导体制造工艺中的主流隔离方法。

然而，对于传统的浅槽隔离工艺，在刻蚀形成沟槽时，随着沟槽深度的增加，沟槽的横截面宽度会逐渐减小。也就是说，刻蚀后的沟槽实际为 V 形，而不是所希望的 U 形。因此，在初步形成沟槽后，还需要对沟槽进行后续处理步骤，导致浅槽隔离结构的制程复杂，而且最终获得的浅槽隔离结构的隔离性能也不够理想。

发明内容

本公开实施例提供了一种浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构，能够简化浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

根据一些实施例，本公开第一方面提供了一种浅槽隔离结构的制备方法，该方法包括：

提供基底，于所述基底上形成多个第一沟槽，且所述第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；

于所述基底的顶部和多个所述第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且所述第一隔离层位于所述第一沟槽内的部分形成第二沟槽；其中，所述第二沟槽的剖面宽度沿垂直方向向下保持不变；

于所述第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且所述第二隔离层位于所述第二沟槽内的部分将所述第二沟槽完全填满。

在一些实施例中，第一沟槽的上半部分的最大剖面宽度小于或等于第一沟槽的下半部分的最大剖面宽度。

10 在一些实施例中，所述于基底上形成多个第一沟槽，包括：

根据预设刻蚀工艺对基底进行刻蚀处理，得到多个第一沟槽；

其中，预设刻蚀工艺包括干法刻蚀和/或湿法刻蚀。

15 在一些实施例中，当预设刻蚀工艺为干法刻蚀时，预设刻蚀工艺的刻蚀气体至少包括以下的其中一种：六氟化硫 SF_6 、碳氟化合物 CF_4 、氯气 Cl_2 和氩气 Ar 。

在一些实施例中，该方法还包括：

当第一隔离层位于第一沟槽内的部分形成第二沟槽时，控制第一隔离层的厚度沿垂直方向向下呈减小趋势，以使得第二沟槽的剖面宽度沿垂直方向向下保持不变。

20 在一些实施例中，所述于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，包括：

根据预设阶梯覆盖率，利用原子层沉积 ALD 工艺对形成多个第一沟槽后的基底进行沉积处理，得到第一隔离层；

25 其中，ALD 工艺至少包括以下的其中一种：电浆式 ALD 工艺、触媒 ALD 工艺和热型 ALD 工艺。

在一些实施例中，预设阶梯覆盖率小于或等于 80%。

在一些实施例中，ALD 工艺的反应压力为 0.1~10 托，ALD 工艺的反应温度为 300~600 摄氏度，ALD 工艺的反应气体为氧气，ALD 工艺的气体流速为 0.1~10 升/分钟。

5 在一些实施例中，所述于第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，包括：

利用 ISSG 工艺对形成多个第二沟槽后的基底进行沉积处理，直至填满多个第二沟槽，得到第二隔离层。

10 在一些实施例中，ISSG 工艺的反应温度为 900~1050 摄氏度，ISSG 工艺的反应压力为 0.1 托~10 托。

在一些实施例中，第一隔离层和第二隔离层包括氧化硅。

根据一些实施例，本公开实施例第二方面提供了一种浅槽隔离结构，该浅槽隔离结构包括：

15 基底，包括多个第一沟槽，第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；

第一隔离层，位于多个第一沟槽的内侧和基底的顶部，且第一隔离层位于第一沟槽内的部分形成第二沟槽，第二沟槽的剖面宽度沿垂直方向向下保持不变；

20 第二隔离层，位于第一隔离层的表面，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。

在一些实施例中，第一沟槽的上半部分的最大剖面宽度小于第一沟槽的下半部分的最大剖面宽度。

在一些实施例中，多个第一沟槽是根据预设刻蚀工艺对基底进行刻蚀处理后形成的；其中，预设刻蚀工艺包括干法刻蚀和/或湿法刻蚀。

25 在一些实施例中，当预设刻蚀工艺为干法刻蚀时，预设刻蚀工艺的刻

蚀气体包括六氟化硫 SF_6 、碳氟化合物 CF_4 、氯气 Cl_2 、氩气 Ar 中的一种或多种。

5 在一些实施例中，第一隔离层位于第一沟槽内的厚度沿垂直方向向下呈减小趋势，以使得对应形成的第二沟槽的剖面宽度在垂直方向上保持不变。

在一些实施例中，第二隔离层是通过 ISSG 工艺对形成多个第二沟槽后的基底进行沉积处理，直至填满多个第二沟槽后形成的。

在一些实施例中，第一隔离层和第二隔离层包括氧化硅。

10 根据一些实施例，本公开实施例第三方面提供了一种半导体结构，包括如第二方面所述的浅槽隔离结构。

本公开实施例提供了一种浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构，提供基底，于基底上形成多个第一沟槽，且第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且第一隔离层位于第一沟槽内的部分形成第二沟槽；其中，第二沟槽的剖面宽度沿垂直方向向下保持不变；于15 第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。这样，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满以得到20 前槽隔离结构，简化了浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

附图说明

图 1 为相关技术中的一种反应腔室的结构示意图；

图 2A 为相关技术中的一种浅槽隔离结构的制备过程示意图一；

25 图 2B 为相关技术中的一种浅槽隔离结构的制备过程示意图二；

图 2C 为相关技术中的一种浅槽隔离结构的制备过程示意图三；

图 2D 为相关技术中的一种浅槽隔离结构的制备过程示意图四；

图 3 为本公开实施例提供的一种浅槽隔离结构的制备方法的流程示意图；

5 图 4A 为本公开实施例提供的一种浅槽隔离结构的制备过程示意图一；

图 4B 为本公开实施例提供的一种浅槽隔离结构的制备过程示意图二；

图 4C 为本公开实施例提供的一种浅槽隔离结构的制备过程示意图三；

图 5 为本公开实施例提供的一种浅槽隔离结构的结构示意图；

图 6 为本公开实施例提供的一种半导体结构的结构示意图。

10 具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

15 除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本申请。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或
20 不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

25 应理解，为使本公开实施例的目的、技术方案和优点更加清楚，下面

将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

5 以下为本公开实施例中一些英文名词及英文缩写的含义。

AA (Active Area): 有源区，有源区之间可以利用浅沟槽进行隔离。

ALD (Atomic layer deposition): 原子层沉积

ISSG (In-Situ Steam Generation): 原位水气生成

HQO (High Quality Oxide): 高质量氧化

10 DRAM (Dynamic Random Access Memory): 动态随机存取存储器

浅槽隔离结构（也称为浅沟槽隔离结构）是半导体中重要的隔离结构，一般用于有源区之间的隔离。参见图 1，其示出了相关技术中的一种浅槽隔离结构的结构示意图。如图 1 所示，浅槽隔离结构包括多晶硅形成的基底，且基底上具有多个沟槽，这些沟槽内被氧化硅填充，氧化硅在基底上方形成平坦化的表面，进而沉积氮化硅以及其他功能结构。

15

浅槽隔离结构是 DRAM 制备工艺中的重要部分。虽然浅槽隔离结构的制备方法有许多种，但是这些制备方法均存在制程复杂的缺点。具体地，在当前 DRAM 工艺中，由于沟槽的特性无法直接形成 U 形的沟槽，需要进一步使用多晶硅化学气相沉积的方法先形成 U 形沟槽，然后使用氧化工艺（例如 HQO ALD 工艺、ISSG 工艺）填满沟槽，最终得到浅槽隔离结构。

20

请参见图 2，其示出了相关技术中的一种浅槽隔离结构的制备方法的流程图示意图。如图 2A 所示，针对基底，在进行有源区（AA）刻蚀后，形成了多个 V 形沟槽；然后，如图 2B 所示，在 V 形沟槽中进行多晶硅气相沉积，将沟槽修正为 U 形，增加沟槽与沟槽之间的距离，避免导致器件短路，另外，在进行多晶硅沉积时，需要采用低阶梯覆盖率，从而在垂直方向上

25

控制沟槽的剖面宽度相同，得到 U 形沟槽；之后，如图 2C 所示，在形成 U 形沟槽后，利用 HQO ALD 工艺进行氧化，形成第一层氧化硅层；如图 2D 所示，在沟槽中继续使用 ISSG 工艺填满沟槽，进一步让沟槽充满氧化硅薄层，达到隔离的效果。

5 从以上可以看出，现有的浅槽隔离结构的制备方法较为复杂，且前槽隔离结构中用于填充氧化硅的沟槽宽度会比预想的窄，降低了隔离性能。然而，如果将浅槽隔离结构的制程进行微缩，那么获得的浅槽隔离结构的尺寸也随之微缩，从而浅沟槽的绝缘层性质以及浅沟槽的形状就显得非常重要。

10 基于此，本公开实施例提供了一种浅槽隔离结构的制备方法，其基本思想是：提供基底，于基底上形成多个第一沟槽，且第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且第一隔离层位于第一沟槽内的部分形成第二沟槽；其中，第二沟槽的剖面宽度沿垂直方向向下保持不变；于第一
15 隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。这样，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满以得到前
20 槽隔离结构，简化了浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

下面将结合附图对本申请各实施例进行详细说明。

在本申请的一实施例中，参见图 3，其示出了本公开实施例提供的一种浅槽隔离结构的制备方法的流程示意图。如图 3 所示，该方法可以包括：

S101：提供基底，于基底上形成多个第一沟槽，且第一沟槽的剖面宽度沿垂直方向向下呈增大趋势。
25

需要说明的是，本公开实施例提供了一种浅槽隔离结构的制备方法，应用于半导体结构。

在本公开实施例中，需要对基底进行刻蚀以得到多个第一沟槽。在形成第一沟槽时，需要将沟槽的下半部分拓宽一些，以控制第一沟槽的剖面宽度沿垂直方向向下呈增大趋势。参见图 4，其示出了本公开实施例提供的一种浅槽隔离结构的制备过程示意图。如图 4A 所示，基底 201 形成有多个第一沟槽，对于第一沟槽来说，其上半部分的剖面形状几乎不变，但是其下半部分的剖面宽度随深度逐渐增加，即 a 处的剖面宽度小于 b 处的剖面宽度。

在这里，第一沟槽可以通过对基底进行刻蚀得到，具体的刻蚀工艺需要根据实际应用场景进行选择，本公开实施例不做限制。因此，在一些实施例中，于基底上形成多个第一沟槽，可以包括：

根据预设刻蚀工艺对基底进行刻蚀处理，得到多个第一沟槽；其中，预设刻蚀工艺包括干法刻蚀和/或湿法刻蚀。

还需要说明的是，在刻蚀得到第一沟槽时，需要控制刻蚀工艺中的具体参数，以使得第一沟槽的剖面宽度沿垂直方向向下呈增大趋势，具体的控制方法需要结合刻蚀设备、刻蚀工艺种类、刻蚀材料等确定，本领域技术人员可以依据本行业的理论知识进行设计。

另外，关于第一沟槽的拓宽程度可以根据实际应用需求进行确定。一般来说，第一沟槽的上半部分的最大剖面宽度小于第一沟槽的下半部分的最大剖面宽度。或者在一些实施例中，第一沟槽的上半部分的最大剖面宽度也可以等于第一沟槽的下半部分的最大剖面宽度。

特别地，在采用干法刻蚀的实施例中，预设刻蚀工艺的刻蚀气体至少包括以下的其中一种：六氟化硫 SF_6 、碳氟化合物 CF_4 、氯气 Cl_2 和氩气 Ar 。

也就是说，在相关技术中，第一沟槽是呈现 V 形的，其剖面宽度沿垂

直方向向下逐渐减小；而在本公开实施例中，第一沟槽的下半部分被拓宽，所以其剖面宽度沿垂直方向向下呈增大趋势。

S102：于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且第一隔离层位于第一沟槽内的部分形成第二沟槽；其中，
5 第二沟槽的剖面宽度沿垂直方向向下保持不变。

需要说明的是，在形成多个第一沟槽后，利用沉积工艺在基底上沉积形成第一隔离层，第一隔离层位于第一沟槽内侧的部分形成了第二沟槽，且第二沟槽的剖面宽度沿垂直方向向下保持不变。

参见图 4B，其示出了本公开实施例提供的一种浅槽隔离结构的制备过程示意图二。如图 4B 所示，在基底的顶部和多个第一沟槽的内侧沉积了第一隔离层 202。其中，第一隔离层 202 在第一沟槽内的部分形成了第二沟槽，
10 且第二沟槽呈现 U 形，即第二沟槽的剖面宽度沿垂直方向向下保持不变。

进一步地，在一些实施例中，当第一隔离层位于第一沟槽内的部分形成第二沟槽时，控制第一隔离层的厚度沿垂直方向向下呈减小趋势，以使
15 得第二沟槽的剖面宽度沿垂直方向向下保持不变。

还需要说明的是，由于第一沟槽的剖面宽度在下半部分有所增加，所以第一隔离层的厚度也并非均匀的。在一种具体的实施例中，所述于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，可以包括：

20 根据预设阶梯覆盖率，利用原子层沉积 ALD 工艺对形成多个第一沟槽后的基底进行沉积处理，得到第一隔离层；

其中，ALD 工艺至少包括以下的其中一种：电浆式 ALD 工艺（PE-ALD 工艺）、触媒 ALD 工艺和热型 ALD 工艺（Thermal ALD 工艺）。

需要说明的是，第一隔离层可以利用 ALD 工艺得到。具体地，基底一般由多晶硅构成，在 ALD 工艺中，向基底持续通入氧气，且保持基底处于
25

预设温度和预设压力下，此时基底表面的多晶硅会逐渐氧化为氧化硅，从而得到第一隔离层。也就是说，在利用 ALD 工艺沉积第一隔离层时，ALD 工艺中通入的氧气会消耗多晶硅底材，需要通过控制氧气流量、电离强度、温度或压力来进一步控制消耗底材的能力。

5 还需要说明的是，在形成第一隔离层时，需要采用低的阶梯覆盖率，从而让第一隔离层位于第一沟槽下部的部分较厚，让第一隔离层位于第一沟槽上部的部分较薄，从而形成 U 形的第二沟槽。以 ALD 工艺为例，可以通过调整 ALD 工艺的流量、延长种子时间（Seed Time）等方法来得到低阶梯覆盖率。

10 优选地，预设阶梯覆盖率小于或等于 80%。

还需要说明的是，在一些实施例中可以采用 PE-ALD 工艺，此时，ALD 工艺的反应压力为 0.1~10 托，ALD 工艺的反应温度为 300~600 摄氏度，ALD 工艺的反应气体为氧气，ALD 工艺的气体流速为 0.1~10 升/分钟。

也就是说，在本公开实施例中，无需在沟槽内沉积多晶硅以修正 V 形
15 沟槽为 U 形沟槽，这将导致隔离层的填充空间减小，进而隔离绝缘能力下降；而是直接通过沉积隔离层将 V 形沟槽修正成 U 形，此时并不会导致隔离层的填充空间减小，而且第一沟槽的下半部分进行了拓宽，因此还会增加隔离层的填充空间，进而增加隔离绝缘能力。

20 S103：于第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。

需要说明的是，如图 4C 所示，在填充第一隔离层 202 后，利用 ISSG 工艺继续形成连续的第二隔离层 203，以填满第二沟槽，这样就得到了浅槽隔离结构。

特别地，在浅槽隔离结构中，基底主要由多晶硅构成，第一隔离层和
25 第二隔离层主要由氧化硅构成，以起到隔离绝缘作用。

进一步地，在一些实施例中，ISSG 工艺的反应温度为 900~1050 摄氏度，ISSG 工艺的反应压力为 0.1~10 托。

这样，在本公开实施例中，只需要进行三个步骤就可以获得浅槽隔离结构，简化了浅槽隔离结构的制程，且提高了浅槽隔离结构的隔离效率。

5 以下仅以其中一种可行方案为例对本公开实施例提供的制备方法进行具体说明。首先，如图 4A 所示，在 AA 刻蚀完，将沟槽底部尝试吃宽一点，不需要使用多晶硅沉积达到沟槽所需宽度。其次，如图 4B 所示，利用电浆式原子堆叠氧化（PE ALD OX）方法在沟槽内形成低阶梯覆盖率，使 AA 隔离形成 U 形。在这里，主要通过控制 PE ALD OX 的不同的流量以及更长
10 Seed Time 进行沉积来得到低的阶梯覆盖率，进而让沟槽底部形成较厚的隔离层。最后，如图 4C 所示，利用 ISSG 工艺，继续填满浅沟槽，最终得到浅槽隔离结构。

在相关实施例中，由于沟槽的特性以及制备工艺的限制，基底 201 上形成的沟槽是 V 形的，而且后续会进一步沉积多晶硅缩短沟槽上半部分的
15 剖面宽度，以得到 U 形沟槽，导致实际用于填充隔离层的沟槽宽度进一步减小（请参见图 2D 中的圆圈部分），导致了隔离性能下降。在本公开实施例中，第一沟槽的下半部分进行了拓宽，较之 V 形沟槽来说沟槽宽度有所增加，而且无需再次沉积多晶硅来修正沟槽形状，而是通过直接沉积隔离层来修正沟槽形状，进一步增加了沟槽宽度（请参见图 4C 中的圆圈部分），
20 从而提高了隔离性能，还可以减少漏电流。

这样，本公开实施例提供了一种新的方法来制备浅沟槽隔离结构，首先采用干法刻蚀的方法形成 AA 沟槽，然后使用电浆式原子沉积氧化硅取代多晶硅以及 HQO 炉管制程，再进行 ISSG 制程即可得到浅槽隔离结构。与相关技术相比，本公开实施例可以减少一道制程，并且取代 HQO 炉管制程，进而更好的降低不同晶片间的差异，而且隔离绝缘效果更好，还可以
25 程，进而更好的降低不同晶片间的差异，而且隔离绝缘效果更好，还可以

减少漏电流的产生。

本公开实施例提供了一种浅槽隔离结构的制备方法，通过提供基底，于基底上形成多个第一沟槽，且第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且第一隔离层位于第一沟槽内的部分形成第二沟槽；其中，第二沟槽的剖面宽度沿垂直方向向下保持不变；于第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。这样，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满即可，简化了浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

在本申请的另一实施例中，参见图 5，其示出了本公开实施例提供的一种浅槽隔离结构 20 的结构示意图。如图 5 所示，浅槽隔离结构 20 可以包括：

基底 201，包括多个第一沟槽，所述第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；

第一隔离层 202，位于所述多个第一沟槽的内侧和所述基底 201 的顶部，且所述第一隔离层 202 位于所述第一沟槽内的部分形成第二沟槽，所述第二沟槽的剖面宽度沿垂直方向向下保持不变；

第二隔离层 203，位于所述第一隔离层 202 的表面，且所述第二隔离层 203 位于所述第二沟槽内的部分将所述第二沟槽完全填满。

需要说明的是，本公开实施例提供了一种浅槽隔离结构，应用于半导体。浅槽隔离结构包括基底 201、第一隔离层 202 和第二隔离层 203。其中，基底 201 上形成多个第一沟槽，且第一沟槽的下半部分较之上半部分经过了拓宽，因此第一沟槽的剖面宽度沿垂直方向下呈增大趋势；然后，第一

隔离层 202 先填充第一沟槽，将第一沟槽的剖面形状修正为 U 形，以得到剖面宽度沿垂直方向向下保持不变的第二沟槽；最后，第二隔离层 203 将第二沟槽完全填满。

在这里，在相关实施例中，由于沟槽的特性以及制备工艺的限制，基底 201 上形成的沟槽是 V 形的，而且后续会进一步沉积多晶硅以缩短沟槽上半部分的剖面宽度，从而将沟槽修正为 U 形，导致实际用于填充隔离层的沟槽宽度进一步减小（请参见图 2D 中的圆圈部分），导致了隔离性能下降。在本公开实施例中，第一沟槽的下半部分进行了拓宽，较之 V 形沟槽来说沟槽宽度有所增加，而且无需再次沉积多晶硅来修正沟槽形状，而是通过直接沉积隔离层来修正沟槽形状，进一步增加了沟槽宽度（请参见图 4C 中的圆圈部分），从而提高了隔离性能，还可以减少漏电流。

优选地，在一些实施例中，所述第一沟槽的上半部分的最大剖面宽度小于所述第一沟槽的下半部分的最大剖面宽度。

需要说明的是，在本公开实施例中，在刻蚀第一沟槽时，需要控制刻蚀工艺的参数，以使得第一沟槽的剖面宽度沿垂直方向向下呈增大趋势。在这里，刻蚀可以根据实际应用场景确定。也就是说，所述多个第一沟槽是根据预设刻蚀工艺对所述基底 201 进行刻蚀处理后形成的；其中，所述预设刻蚀工艺包括干法刻蚀和/或湿法刻蚀。

特别的，对于采用干法刻蚀得到第一沟槽时，预设刻蚀工艺的刻蚀气体可以包括六氟化硫 SF_6 、碳氟化合物 CF_4 、氯气 Cl_2 、氩气 Ar 中的一种或多种。

进一步地，由于第一沟槽的剖面宽度沿垂直方向向下呈增大趋势，因此第一隔离层 202 的厚度需要沿垂直方向向下呈减小趋势，以使得对应形成的第二沟槽的剖面宽度在垂直方向上保持不变。

在一种具体的实施例中，通过控制第一隔离层 202 在形成过程中的阶

梯覆盖率，从而得到 U 形的第二沟槽。因此，所述第一隔离层 202 是基于预设阶梯覆盖率，利用原子层沉积 ALD 工艺对形成多个所述第一沟槽后的基底 201 进行沉积处理后形成的；其中，所述 ALD 工艺至少包括以下的其中一种：电浆式 ALD 工艺、触媒 ALD 工艺和热型 ALD 工艺。

5 优选地，预设阶梯覆盖率小于或等于 80%。以及，对于电浆式 ALD 工艺，ALD 工艺的反应压力为 0.1~10 托，ALD 工艺的反应温度为 300~600 摄氏度，ALD 工艺的反应气体为氧气，ALD 工艺的气体流速为 0.1~10 升/分钟。

需要说明的是，第二隔离层 203 的制备工艺可以根据需求选用。在一
10 种具体的实施例中，第二隔离层 203 是通过 ISSG 工艺对形成多个所述第二沟槽后的基底 201 进行沉积处理，直至填满多个所述第二沟槽后形成的。

优选地，所述 ISSG 工艺的反应温度为 900~1050 摄氏度，所述 ISSG 工艺的反应压力为 0.1~10 托。

特别地，第一隔离层 202 和第二隔离层 203 均包括氧化硅，以实现隔
15 离性能。

本公开实施例提供了一种浅槽隔离结构，该浅槽隔离结构包括：基底，包括多个第一沟槽，所述第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；第一隔离层，位于所述多个第一沟槽的内侧和所述基底的顶部，且所述第一隔离层位于所述第一沟槽内的部分形成第二沟槽，所述第二沟槽的剖面
20 宽度沿垂直方向向下保持不变；第二隔离层，位于所述第一隔离层的表面，且所述第二隔离层位于所述第二沟槽内的部分将所述第二沟槽完全填满。这样，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满以得到前槽隔离结构，简化了浅槽隔离结构的制
25 程，而且提高浅槽隔离结构的绝缘性能。

在又一实施例中，参见图 6，其示出了本公开实施例提供的一种半导体结构 30。如图 6 所示，该半导体结构 30 包括前述实施例任一项所述的浅槽隔离结构 20。

对于半导体结构 30 来说，由于其包括浅槽隔离结构 20，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满以得到前槽隔离结构，简化了浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

在再一实施例中，提供一种存储器，该存储器包括前述的半导体结构 30。对于存储器来说，由于其包括半导体结构 30，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满以得到前槽隔离结构，简化了浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

以上，仅为本申请的较佳实施例而已，并非用于限定本申请的保护范围。

需要说明的是，在本申请中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个...”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

本申请所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

本申请所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。

本申请所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

- 5 以上，仅为本公开实施例的具体实施方式，但本公开实施例的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开实施例揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开实施例的保护范围之内。因此，本公开实施例的保护范围应以权利要求的保护范围为准。

工业实用性

10

- 本公开实施例提供了一种浅槽隔离结构的制备方法、浅槽隔离结构和半导体结构，提供基底，于基底上形成多个第一沟槽，且第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；于基底的顶部和多个第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且第一隔离层位于第一沟槽内的部分形成第二沟槽；其中，第二沟槽的剖面宽度沿垂直方向向下保持不变；于15 第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且第二隔离层位于第二沟槽内的部分将第二沟槽完全填满。这样，在形成多个第一沟槽时，控制沟槽的剖面宽度沿垂直方向向下呈增大趋势，然后利用第一隔离层将沟槽的剖面宽度修正为沿垂直方向向下保持不变，最后将沟槽填满以得到20 前槽隔离结构，简化了浅槽隔离结构的制程，而且提高浅槽隔离结构的绝缘性能。

权利要求书

1、一种浅槽隔离结构的制备方法，所述方法包括：

提供基底，于所述基底上形成多个第一沟槽，且所述第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；

5 于所述基底的顶部和多个所述第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，且所述第一隔离层位于所述第一沟槽内的部分形成第二沟槽；其中，所述第二沟槽的剖面宽度沿垂直方向向下保持不变；

于所述第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，且所述第二隔离层位于所述第二沟槽内的部分将所述第二沟槽完全填满。

10 2、根据权利要求 1 所述的制备方法，其中，所述第一沟槽的上半部分的最大剖面宽度小于或等于所述第一沟槽的下半部分的最大剖面宽度。

3、根据权利要求 1 所述的制备方法，其中，所述于所述基底上形成多个第一沟槽，包括：

15 根据预设刻蚀工艺对所述基底进行刻蚀处理，得到多个所述第一沟槽；

其中，所述预设刻蚀工艺包括干法刻蚀和/或湿法刻蚀。

4、根据权利要求 3 所述的制备方法，其中，当所述预设刻蚀工艺为干法刻蚀时，所述预设刻蚀工艺的刻蚀气体至少包括以下的其中一种：

20 六氟化硫 SF_6 、碳氟化合物 CF_4 、氟气 Cl_2 和氩气 Ar 。

5、根据权利要求 1 所述的制备方法，其中，所述方法还包括：

当所述第一隔离层位于所述第一沟槽内的部分形成第二沟槽时，控制所述第一隔离层的厚度沿垂直方向向下呈减小趋势，以使得所述第二沟槽的剖面宽度沿垂直方向向下保持不变。

25 6、根据权利要求 5 所述的制备方法，其中，所述于所述基底的顶部

和多个所述第一沟槽的内侧通过沉积工艺形成连续的第一隔离层，包括：

根据预设阶梯覆盖率，利用原子层沉积 ALD 工艺对形成多个所述第一沟槽后的基底进行沉积处理，得到所述第一隔离层；

其中，所述 ALD 工艺至少包括以下的其中一种：电浆式 ALD 工艺、
5 触媒 ALD 工艺和热型 ALD 工艺。

7、根据权利要求 6 所述的制备方法，其中，所述预设阶梯覆盖率小于或等于 80%。

8、根据权利要求 6 所述的制备方法，其中，所述 ALD 工艺的反应压力为 0.1~10 托，所述 ALD 工艺的反应温度为 300~600 摄氏度，所述
10 ALD 工艺的反应气体为氧气，所述 ALD 工艺的气体流速为 0.1~10 升/分钟。

9、根据权利要求 1 所述的制备方法，其中，所述于所述第一隔离层的表面通过 ISSG 工艺形成连续的第二隔离层，包括：

利用 ISSG 工艺对形成多个所述第二沟槽后的基底进行沉积处理，直
15 至填满多个所述第二沟槽，得到所述第二隔离层。

10、根据权利要求 9 所述的制备方法，其中，

所述 ISSG 工艺的反应温度为 900~1050 摄氏度，所述 ISSG 工艺的反应压力为 0.1 托~10 托。

11、根据权利要求 1 至 10 任一项所述的制备方法，其中，所述第一
20 隔离层和所述第二隔离层包括氧化硅。

12、一种浅槽隔离结构，包括：

基底，包括多个第一沟槽，所述第一沟槽的剖面宽度沿垂直方向向下呈增大趋势；

第一隔离层，位于所述多个第一沟槽的内侧和所述基底的顶部，且
25 所述第一隔离层位于所述第一沟槽内的部分形成第二沟槽，所述第二沟

槽的剖面宽度沿垂直方向向下保持不变；

第二隔离层，位于所述第一隔离层的表面，且所述第二隔离层位于所述第二沟槽内的部分将所述第二沟槽完全填满。

13、根据权利要求 12 所述的浅槽隔离结构，其中，所述第一沟槽的上半部分的最大剖面宽度小于所述第一沟槽的下半部分的最大剖面宽度。

14、根据权利要求 12 所述的浅槽隔离结构，其中，所述多个第一沟槽是根据预设刻蚀工艺对所述基底进行刻蚀处理后形成的；其中，所述预设刻蚀工艺包括干法刻蚀和/或湿法刻蚀。

15、根据权利要求 14 所述的浅槽隔离结构，其中，当所述预设刻蚀工艺为干法刻蚀时，所述预设刻蚀工艺的刻蚀气体包括六氟化硫 SF_6 、碳氟化合物 CF_4 、氯气 Cl_2 、氩气 Ar 中的一种或多种。

16、根据权利要求 12 所述的浅槽隔离结构，其中，

所述第一隔离层位于所述第一沟槽内的厚度沿垂直方向向下呈减小趋势，以使得对应形成的第二沟槽的剖面宽度在垂直方向上保持不变。

17、根据权利要求 12 所述的浅槽隔离结构，其中，所述第二隔离层是通过 ISSG 工艺对形成多个所述第二沟槽后的基底进行沉积处理，直至填满多个所述第二沟槽后形成的。

18、根据权利要求 12 至 17 任一项所述的浅槽隔离结构，其中，所述第一隔离层和所述第二隔离层包括氧化硅。

19、一种半导体结构，包括如权利要求 12 至 18 任一项所述的浅槽隔离结构。

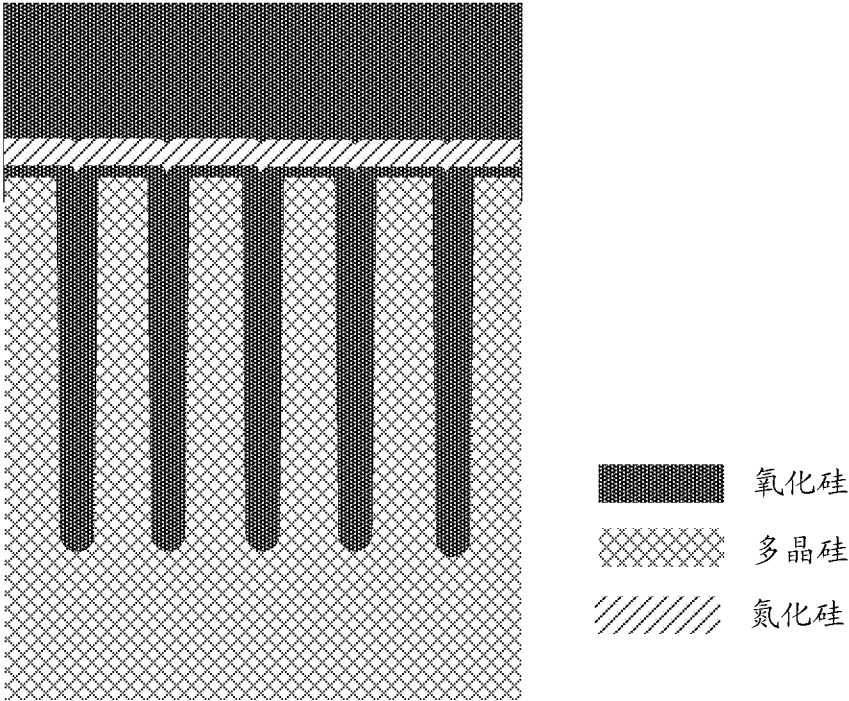


图 1

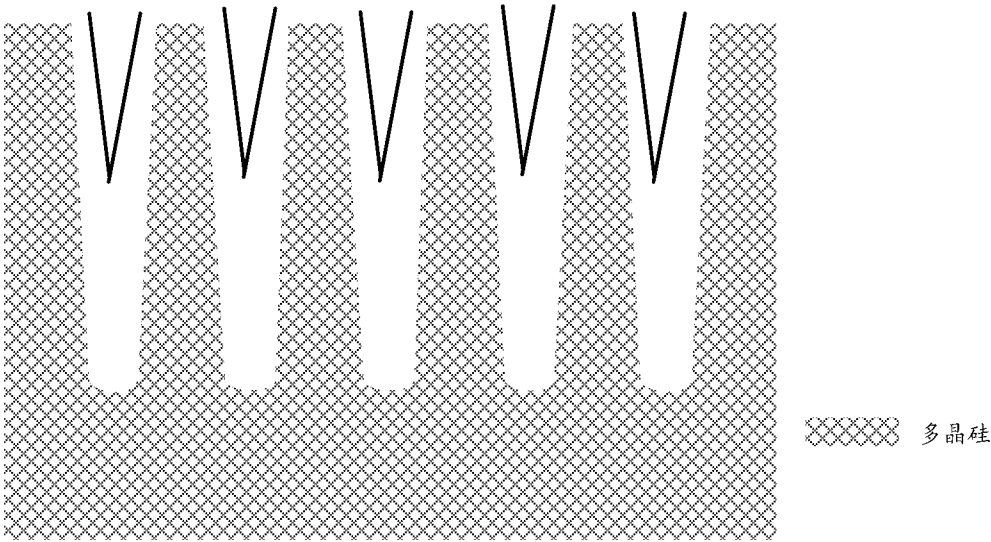


图 2A

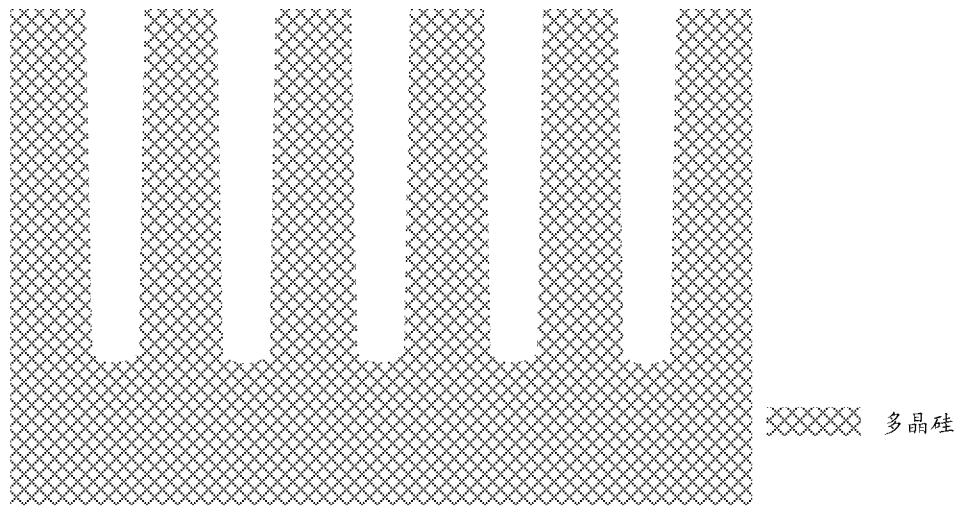


图 2B

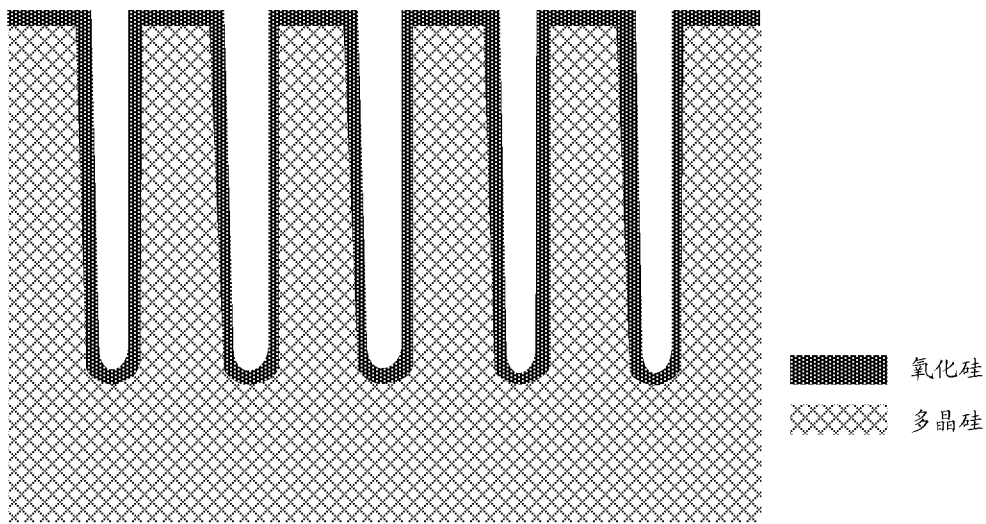


图 2C

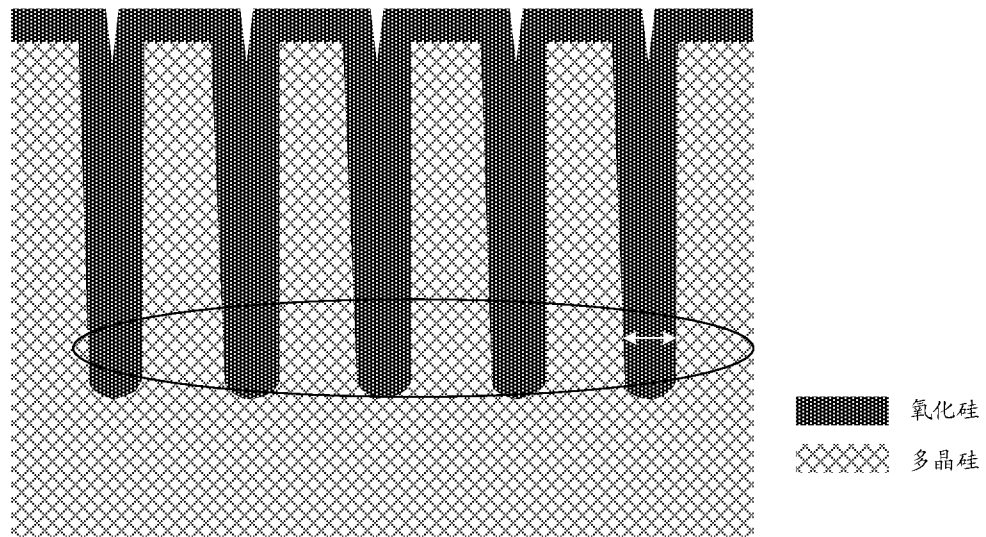


图 2D

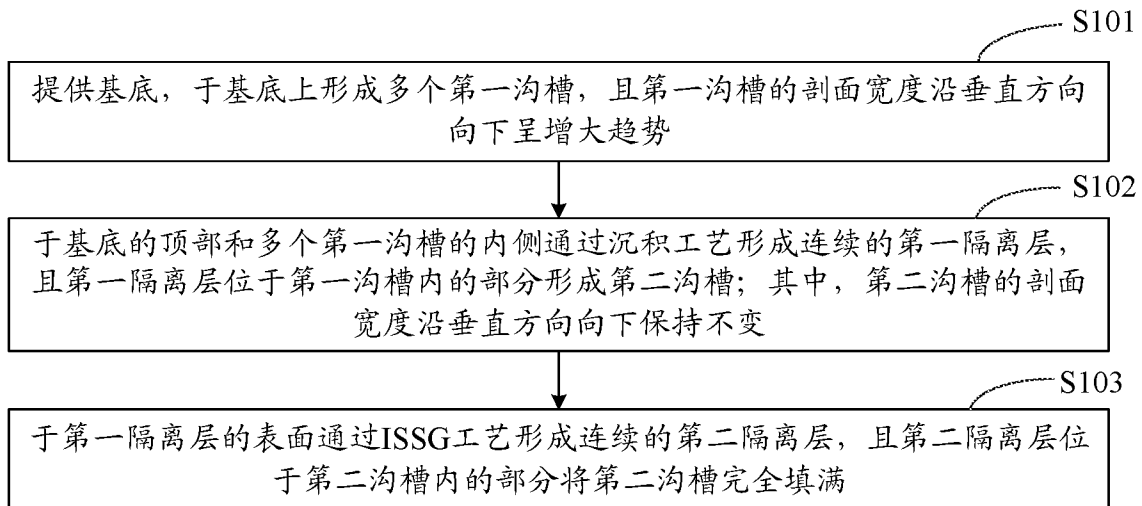


图 3

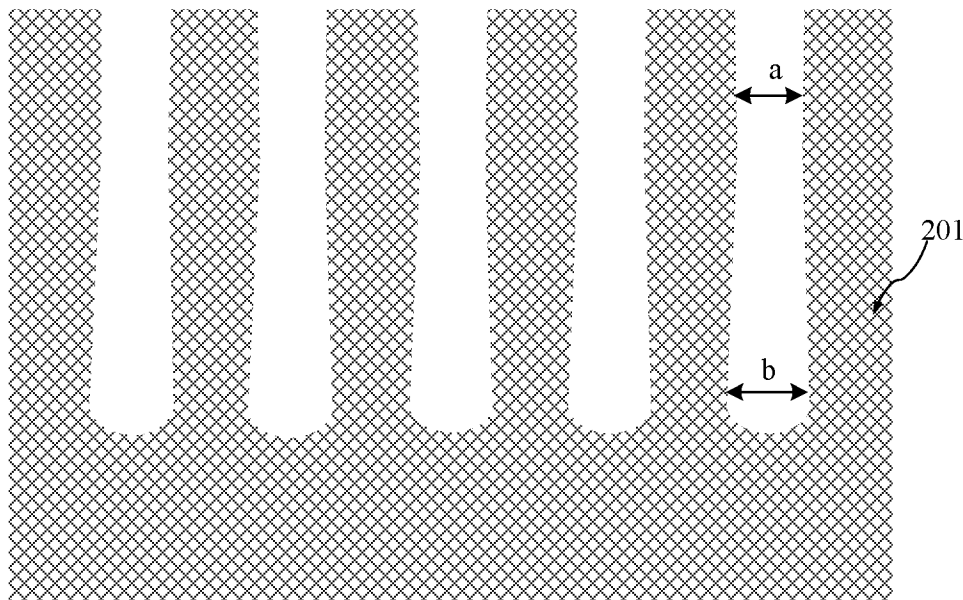


图 4A

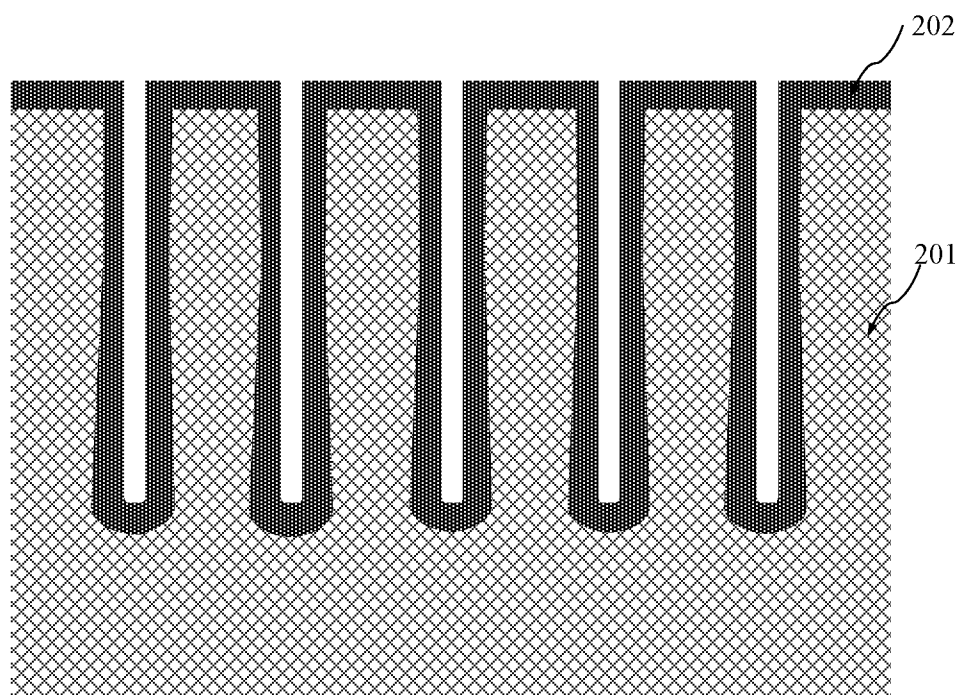


图 4B

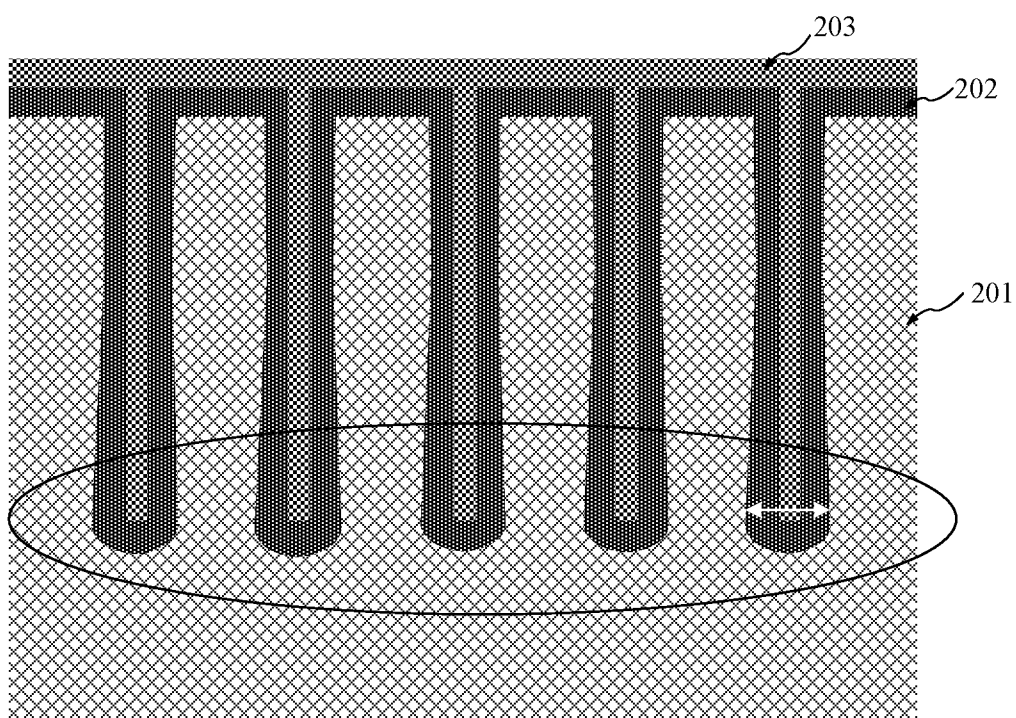


图 4C

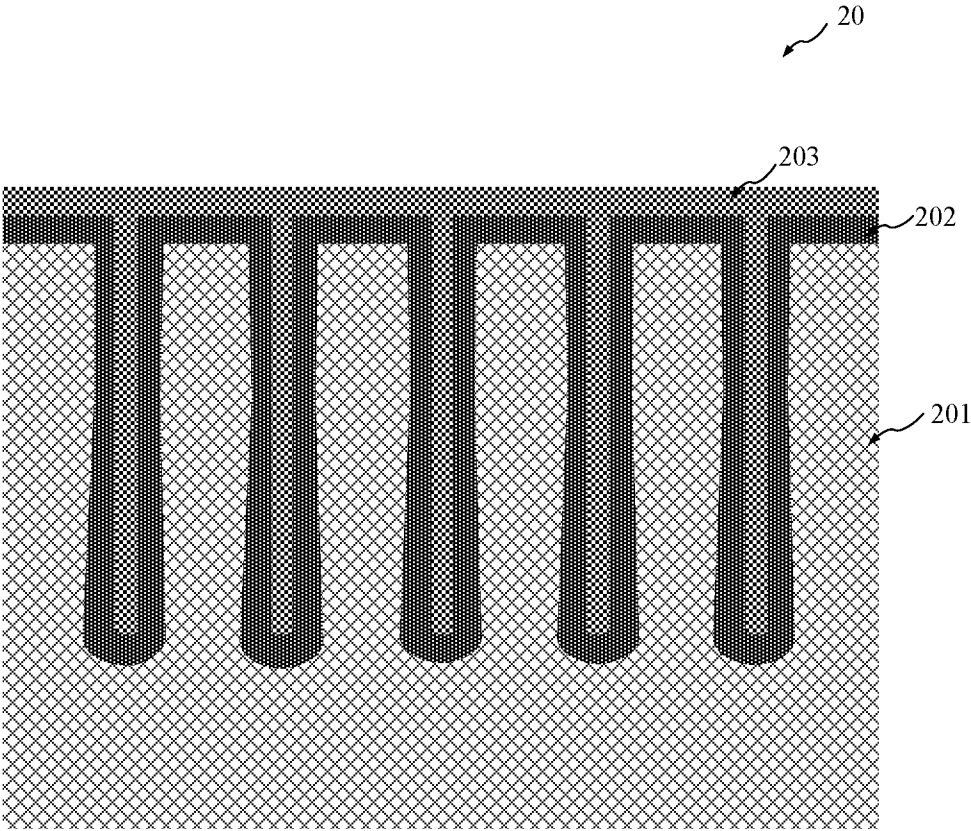


图 5

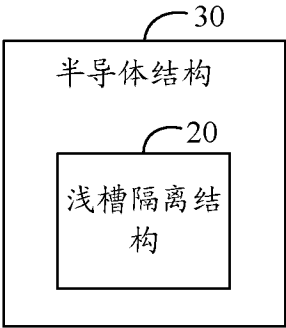


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/129229

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/762(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNKI; CNTXT; ENTXT; ENTXTC; WPABS: 浅沟槽隔离, 沟槽, 开口, 宽度, 斜率, 倾斜, 绝缘层, 膜, 沉积, 第一, 第二, sti, groove, trench, open, width, breadth, slope, incline, insulat+, layer, film, deposition, first, second

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103094286 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 08 May 2013 (2013-05-08) description, paragraphs [0021] to [0035], and figures 2-3f	1-19
A	CN 104576501 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 29 April 2015 (2015-04-29) entire document	1-19
A	CN 110610896 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 24 December 2019 (2019-12-24) entire document	1-19
A	CN 110970347 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 07 April 2020 (2020-04-07) entire document	1-19
A	TW 200830457 A (UNITED MICROELECTRONICS CORP.) 16 July 2008 (2008-07-16) entire document	1-19
A	US 2008283890 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 20 November 2008 (2008-11-20) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 April 2022

Date of mailing of the international search report

20 April 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/129229

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103094286	A	08 May 2013	CN	103094286	B	19 August 2015
CN	104576501	A	29 April 2015	CN	104576501	B	16 March 2018
CN	110610896	A	24 December 2019	US	2020006114	A1	02 January 2020
				KR	20190142272	A	26 December 2019
				TW	202013490	A	01 April 2020
				US	2019385892	A1	19 December 2019
				DE	102019116370	A1	19 December 2019
				TW	713108	B1	11 December 2020
				US	10886165	B2	05 January 2021
				KR	102365317	B1	22 February 2022
CN	110970347	A	07 April 2020	CN	208738212	U	12 April 2019
TW	200830457	A	16 July 2008	TW	I335065	B	21 December 2010
US	2008283890	A1	20 November 2008	US	7667255	B2	23 February 2010

国际检索报告

国际申请号

PCT/CN2021/129229

A. 主题的分类 H01L 21/762(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) DWPI;CNKI;CNTXT;ENTXT;ENTXTC;WPABS:浅沟槽隔离, 沟槽, 开口, 宽度, 斜率, 倾斜, 绝缘层, 膜, 沉积, 第一, 第二, sti, groove, trench, open, width, breadth, slope, incline, insulat+, layer, film, deposition, first, second																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103094286 A (上海华虹NEC电子有限公司) 2013年5月8日 (2013 - 05 - 08) 说明书第[0021]段至第[0035]段, 附图2-3f</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 104576501 A (中芯国际集成电路制造上海有限公司) 2015年4月29日 (2015 - 04 - 29) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 110610896 A (台湾积体电路制造股份有限公司) 2019年12月24日 (2019 - 12 - 24) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 110970347 A (长鑫存储技术有限公司) 2020年4月7日 (2020 - 04 - 07) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>TW 200830457 A (联华电子股份有限公司) 2008年7月16日 (2008 - 07 - 16) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2008283890 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2008年11月20日 (2008 - 11 - 20) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103094286 A (上海华虹NEC电子有限公司) 2013年5月8日 (2013 - 05 - 08) 说明书第[0021]段至第[0035]段, 附图2-3f	1-19	A	CN 104576501 A (中芯国际集成电路制造上海有限公司) 2015年4月29日 (2015 - 04 - 29) 全文	1-19	A	CN 110610896 A (台湾积体电路制造股份有限公司) 2019年12月24日 (2019 - 12 - 24) 全文	1-19	A	CN 110970347 A (长鑫存储技术有限公司) 2020年4月7日 (2020 - 04 - 07) 全文	1-19	A	TW 200830457 A (联华电子股份有限公司) 2008年7月16日 (2008 - 07 - 16) 全文	1-19	A	US 2008283890 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2008年11月20日 (2008 - 11 - 20) 全文	1-19
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103094286 A (上海华虹NEC电子有限公司) 2013年5月8日 (2013 - 05 - 08) 说明书第[0021]段至第[0035]段, 附图2-3f	1-19																					
A	CN 104576501 A (中芯国际集成电路制造上海有限公司) 2015年4月29日 (2015 - 04 - 29) 全文	1-19																					
A	CN 110610896 A (台湾积体电路制造股份有限公司) 2019年12月24日 (2019 - 12 - 24) 全文	1-19																					
A	CN 110970347 A (长鑫存储技术有限公司) 2020年4月7日 (2020 - 04 - 07) 全文	1-19																					
A	TW 200830457 A (联华电子股份有限公司) 2008年7月16日 (2008 - 07 - 16) 全文	1-19																					
A	US 2008283890 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2008年11月20日 (2008 - 11 - 20) 全文	1-19																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2022年4月2日		国际检索报告邮寄日期 2022年4月20日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王毅冰 电话号码 86-(010)-62411584																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/129229

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	103094286	A	2013年5月8日	CN	103094286	B	2015年8月19日		
CN	104576501	A	2015年4月29日	CN	104576501	B	2018年3月16日		
CN	110610896	A	2019年12月24日	US	2020006114	A1	2020年1月2日		
				KR	20190142272	A	2019年12月26日		
				TW	202013490	A	2020年4月1日		
				US	2019385892	A1	2019年12月19日		
				DE	102019116370	A1	2019年12月19日		
				TW	713108	B1	2020年12月11日		
				US	10886165	B2	2021年1月5日		
				KR	102365317	B1	2022年2月22日		
CN	110970347	A	2020年4月7日	CN	208738212	U	2019年4月12日		
TW	200830457	A	2008年7月16日	TW	I335065	B	2010年12月21日		
US	2008283890	A1	2008年11月20日	US	7667255	B2	2010年2月23日		