



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

245891
(11) (B1)

(51) Int. Cl.⁴
H 03 M 13/00

(22) Prihlášené 15 04 85
(21) (PV 2765-85)

(40) Zverejnené 16 01 86

(45) Vydané 15 12 87

(75)
Autor vynálezu RABARA VILIAM ing. CSc., ŽILINA

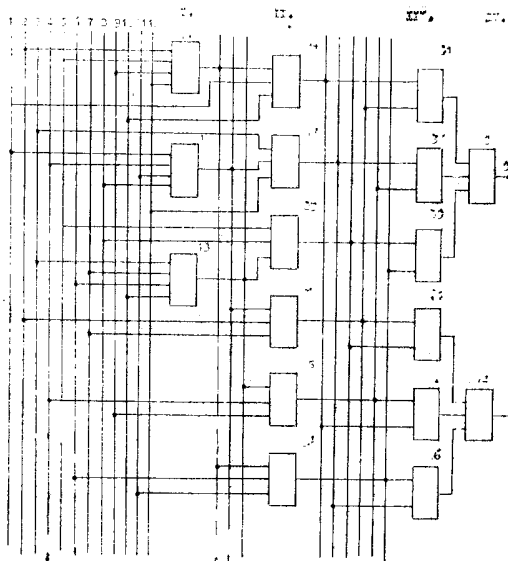
(54) Samotestovateľný logický obvod pre kontrolu kódu 1 z 12

1

Obvod patrí do odboru výpočtovej techniky a rieši samotestovateľný logický obvod pre kontrolu kódu 1 z 12. Podstata obvodu je v tom, že má štruktúrne logickú schému, pozostávajúcu zo 4 logických úrovní, z ktorých prvé dve logické úrovne tvoria súčtové logické členy, tretiu úroveň tvoria súčinové členy a štvrtú úroveň tvoria súčtové logické členy. Pre realizáciu štruktúrnej schémy je potrebných 17 logických členov a celkový počet vstupov týchto logických členov je 48.

Samotestovateľný logický obvod pre kontrolu kódu 1 z 12 nájde široké uplatnenie pri konštrukcii častí počítačov, ako sú: zbernice, kontrola prerušovacieho systému, sekvencné automaty s detekciou porúch, prevodníky medzi kódmi, prenos dát medzi časťami počítača, atď.

2



Vynález sa týka samotestovateľného logického obvodu pre kontrolu kódu 1 z 12, ktorý má 17 logických členov so 48 vstupmi a štyrmi logickými úrovňami.

Doteraz známe zapojenia samotestovateľných obvodov pre kontrolu kódu 1 z 12 sú nasledovné riešenia.

V prvom rade je to riešenie s použitím samotestovateľného kontrolného obvodu pre kód 3 zo 6. Na vstup tohoto obvodu musí byť pripojený logický obvod — transformátor pre prevod kódu 1 z 12 na kód 3 zo 6. Počet vstupov všetkých logických členov príslušného obvodu je 74. Ďalej je to riešenie s kaskádnym zapojením schém známych z predchádzajúceho riešenia. V danom prípade sú použité dva paralelne pracujúce samotestovateľné obvody pre kontrolu kódu 1 zo 4. Toto riešenie je z hľadiska nákladov výhodnejšie ako predchádzajúce riešenie. Pre kód 1 z 12 vychádza počet vstupov logických členov samotestovateľného obvodu pre kontrolu kódu 1 z 12 podľa tejto metódy 68. Počet logických úrovní je 6.

Nevýhody týchto dvoch riešení sú nasledujúce.

Cena riešenia v prvom prípade vyčíslené počtom vstupov všetkých logických členov potrebných na realizáciu príslušnej štruktúrnej schémy je 74 vstupov. Riešenie v druhom prípade potrebuje 68 vstupov logických členov. Počet logických členov riešenia je 30. Počet logických úrovní je 6. V dôsledku veľkého počtu logických úrovní je oneskorenie u oboch riešení veľké. Nerovnomernosť štruktúry má za následok, že oneskorenie oboch výstupných premenných je rôzne.

Uvedené nevýhody odstraňuje samotestovateľný logický obvod pre kontrolu kódu 1 z 12 pozostávajúci zo 17 logických členov so 48 vstupmi a 4 logickými úrovňami, podľa vynálezu, ktorého podstata je v tom, že prvá vstupná svorka je pripojená na druhý vstup štvrtého súčtového logického člena a na prvý vstup druhého súčtového logického člena, druhá vstupná svorka je pripojená na prvý vstup prvého súčtového logického člena a na druhý vstup siedmeho súčtového logického člena, tretia vstupná svorka je pripojená na prvý vstup piateho súčtového logického člena a na prvý vstup tretieho súčtového logického člena, štvrtá vstupná svorka je pripojená na druhý vstup druhého súčtového logického člena a na druhý vstup ôsmeho súčtového logického člena, piata vstupná svorka je pripojená na druhý vstup prvého súčtového logického obvodu a na prvý vstup šiesteho súčtového logického obvodu, šiesta vstupná svorka je pripojená na tretí vstup tretieho súčtového logického obvodu a na druhý vstup deviateho súčtového logického člena, siedma vstupná svorka je pripojená na druhý vstup tretieho súčtového logického obvodu a na tretí vstup ôsmeho súčtového logického člena, ôsma vstupná svorka je pripo-

jená na štvrtý vstup druhého súčtového logického člena a na druhý vstup šiesteho súčtového logického člena, deviatu vstupnú svorku je pripojená na tretí vstup prvého súčtového logického obvodu a na tretí vstup ôsmeho súčtového logického obvodu, desiatu vstupnú svorku je pripojená na štvrtý vstup tretieho súčtového logického obvodu a na tretí vstup štvrtého súčtového logického obvodu, jedenásta vstupná svorka je pripojená na tretí vstup druhého súčtového logického obvodu a na tretí vstup deviateho súčtového logického obvodu a dvadsiatu vstupnú svorku je pripojená na štvrtý vstup prvého súčtového logického obvodu a na tretí vstup piateho súčtového logického člena, pričom výstup prvého súčtového logického člena je pripojený na prvý vstup štvrtého súčtového logického člena a na prvý vstup deviateho súčtového logického člena, pričom výstup druhého člena je pripojený na druhý vstup piateho súčtového logického člena a na prvý vstup siedmeho súčtového logického člena, pričom výstup tretieho súčtového logického člena je pripojený na tretí vstup šiesteho súčtového logického člena a na prvý vstup ôsmeho súčtového logického člena, pričom výstup štvrtého súčtového logického člena je pripojený na prvý vstup prvého súčtového logického člena a na druhý vstup piateho súčtového logického člena, pričom výstup piateho súčtového logického člena je pripojený na prvý vstup druhého súčtového logického člena a na druhý vstup šiesteho súčtového logického člena, pričom výstup šiesteho súčtového logického člena je pripojený na prvý vstup tretieho súčtového logického člena a na druhý vstup štvrtého súčtového logického člena, pričom výstup siedmeho súčtového logického člena je pripojený na prvý vstup štvrtého súčtového logického člena a na druhý vstup prvého súčtového logického člena, pričom výstup ôsmeho súčtového logického člena je pripojený na prvý vstup piateho súčtového logického člena a na druhý vstup druhého súčtového logického člena, pričom výstup deviateho súčtového logického člena je pripojený na prvý vstup šiesteho súčtového logického člena a na druhý vstup tretieho súčtového logického člena, pričom výstupy z prvého súčtového logického člena, z druhého súčtového logického člena a z tretieho súčtového logického člena sú pripojené na vstupy desiateho súčtového člena, ktorého výstup je pripojený na prvú výstupnú svorku, pričom výstupy zo štvrtého súčtového logického člena, z piateho súčtového logického člena a zo šiesteho súčtového logického člena sú pripojené na vstupy jedenásteho súčtového logického člena, ktorého výstup je pripojený na druhú výstupnú svorku.

Samotestovateľný logický obvod pre kontrolu kódu 1 z 12 podľa vynálezu je opro-

ti doteraz známym podobným zariadeniam výhodný preto, že vyžaduje iba 48 vstupov logických členov príslušnej štruktúrnej schémy a vyžaduje iba 17 logických členov pre realizáciu logickej schémy, pričom pozostáva zo štyroch logických úrovní logickej schémy. V dôsledku toho sú pre realizáciu potrebné podstatne menšie náklady, ako u doterajších riešení. Oneskorenie obidvoch výstupných funkcií je približne rovnaké, pretože zapojenie má pravidelnú štruktúru.

Na pripojenom výkrese je znázornené zariadenie samotestovateľného obvodu pre kontrolu kódu 1 z 12. Toto zariadenie predstavuje realizáciu štruktúrnej logickej schémy, ktorá je zostavená z členov logickeho súčtu 11, 12, 13, 21, 22, 23, 24, 25, 26, 41, 42 a logickeho súčinu 31 až 36.

Schéma pozostáva zo 4 logických úrovní č. I, II, III, IV. Členy logickeho súčtu 11, 12, 13 majú štyri vstupy a jeden výstup. Členy logickeho súčtu 21 až 26, 41, 42 majú tri vstupy a jeden výstup. Do logickej úrovne č. I patria členy logickeho súčtu 11, 12, 13. Vstupy člena logickeho súčtu 11 sú pripojené na vstupné svorky 2, 5, 9, 12 a jeho výstup je pripojený na vstup člena logickeho súčtu 21 a 26. Vstupy člena logickeho súčtu 12 sú pripojené na vstupné svorky 1, 4, 8, 11 a jeho výstup je pripojený na vstup člena logickeho súčtu 22 a 24.

Vstupy člena logickeho súčtu 13 sú pripojené na vstupné svorky 3, 6, 7, 10 a jeho výstup je pripojený na vstup člena logickeho súčtu 23 a 25. Do logickej úrovne č. II patria členy logickeho súčtu 21 až 26. Vstupy člena logickeho súčtu 21 sú pripojené na vstupnú svorku 1, 10 a na výstup člena logickeho súčtu 12. Výstup je pripojený na vstupy člena logickeho súčinu 31 a 35. Vstupy člena logickeho súčtu 22 sú pripojené na vstupné svorky 3, 12 a na výstup člena logickeho súčtu 13. Výstup je pripojený na vstupy členov logickeho súčinu 32 a 16. Vstupy člena logickeho súčtu 23 sú pripojené na vstupné svorky 5, 8 a výstup člena logickeho súčtu 14. Výstup je pripojený na vstupy členov logickeho súčinu 33 a 34. Vstupy člena logickeho súčtu 24 sú pripojené na vstupné svorky 2, 7 a výstup člena logickeho súčtu 13. Výstup je pripojený na vstupy členov logickeho súčinu 31 a 34. Vstupy člena logickeho súčtu 25 sú pripojené na vstupné svorky 4, 9 a na výstup člena logickeho súčtu 14. Výstup je pripojený na vstupy členov logickeho súčinu 32 a 35. Vstupy člena logickeho súčtu 26 sú pripojené na vstupné svorky 6, 11 a na výstup člena logickeho súčtu 12. Výstup je pripojený na vstupy členov logickeho súčinu 33 a 36. Do logickej úrovne č. III patria členy logickeho súčinu 31 až 36. Vstupy člena logickeho súčinu 31 sú pri-

pojené na výstupy člena logickeho súčtu 21 a 24.

Výstup na vstup člena logickeho súčtu 41. Vstupy člena logickeho súčinu 32 sú pripojené na výstupy člena logickeho súčtu 22 a 25. Výstup na vstup člena logickeho súčtu 41. Vstup člena logickeho súčinu 33 sú pripojené na výstupy člena logickeho súčtu 23 a 26. Výstup na vstup člena logickeho súčtu 41. Vstupy člena logickeho súčinu 34 sú pripojené na výstupy člena logickeho súčtu 23 a 24. Výstup na vstup člena logickeho súčtu 42. Vstupy člena logickeho súčtu 21 a 25. Výstup na vstup člena logickeho súčtu 42. Vstupy člena logickeho súčinu 36 sú pripojené na výstupy člena logickeho súčtu 22 a 26. Výstup na vstup člena logickeho súčtu 42. Do logickej úrovne č. IV patria členy logickeho súčtu 41 a 42. Vstupy člena logickeho súčtu 41 sú pripojené na výstupy členov logickeho súčinu 31, 32, 33, a výstup je pripojený na výstupnú svorku 51. Vstupy člena logickeho súčtu 42 sú pripojené na výstupy členov logickeho súčinu 34, 35, 36 a výstup je pripojený na výstupnú svorku 52.

Činnosť samotestovateľného logickeho obvodu pre kontrolu kódu 1 z 12 je nasledovná. Ak sa na jeho vstup privedie kód 1 z 12, potom na jeho výstupných svorkách 51 a 52 bude kód 1 z 12. Pri inej kódovej kvalifikácii, alebo pri jednej logickej poruche v samotnom obvode bude na výstupe kombinácia 0,0 alebo 1,1, ktorý detekuje poruchu. Obvod je samotestovateľný čo vyplýva z toho, že pri akejkoľvek logickej poruche ľubovoľného logickeho člena existuje aspoň jedna kódová konfigurácia kódu 1 z 12, pri ktorej sa táto porucha prejaví výstupom $F_1 = F_2$, t. j. 1,1 alebo 0,0.

Popis konkrétnej realizácie je uvedený v objasnení výkresu a konkrétnu realizáciu možno využiť pri konštrukcii logických systémov s detekciou porúch, napr. pri kontrole správnosti chovania sa sekvenčného logickeho obvodu, ktorý pracuje s vnútorným kódom 1 z 12. Pri poruche budiaceho obvodu automatu, alebo v spätnej väzbe sa mení počet jedničiek vnútorného stavu a samotestovateľný logický obvod túto poruchu zistí. S malým doplnením možno schému použiť aj pre kód 11 z 12.

Konkrétnu realizáciu zariadenia podľa vynálezu možno použiť: pri návrhu častí počítačových systémov, ktoré pracujú spoľahlivo a bezpečne, ako napr.: prevodníky kódov z nejakého kódu do kódu 1 z 12, registre, čítače, bezpečná a spoľahlivá kontrola výberu jednej z dvanástich jednotiek pripojených na dvanásťlinkovú zbernú, kontrola prenosu dát, ktoré sú zakódované kódom 1 z 12, návrh automatov fail safe, atď.

PREDMET VYNÁLEZU

Samotestovateľný logický obvod pre kontrolu kódu 1 z 12 pozostávajúci zo 17 logických členov so 48 vstupmi a štyrmi logickými úrovňami vyznačujúci sa tým, že prvá vstupná svorka (1) je pripojená na druhý vstup štvrtého súčtového logického člena (21) a na prvý vstup druhého súčtového logického člena (12), druhá vstupná svorka (2) je pripojená na prvý vstup prvého súčtového logického člena (11) a na druhý vstup siedmeho súčtového logického člena (24), tretia vstupná svorka (3) je pripojená na prvý vstup piateho súčtového logického člena (22) a na prvý vstup tretieho súčtového logického člena (13), štvrtá vstupná svorka (4) je pripojená na druhý vstup druhého súčtového logického člena (12) a na druhý vstup ôsmeho súčtového logického člena (25), piata vstupná svorka (5) je pripojená na druhý vstup prvého súčtového logického obvodu (11) a na prvý vstup šiesteho súčtového logického obvodu (23), šiesta vstupná svorka (6) je pripojená na tretí vstup tretieho súčtového logického obvodu (13) na druhý vstup deviateho súčtového logického člena (26), siedma vstupná svorka (7) je pripojená na druhý vstup tretieho súčtového logického obvodu (13) a na tretí vstup siedmeho súčtového logického člena (24), ôsma vstupná svorka (8) je pripojená na štvrtý vstup druhého súčtového logického člena (12) a na druhý vstup šiesteho súčtového logického člena (23), deväta vstupná svorka (9) je pripojená na tretí vstup prvého súčtového logického obvodu (11) a na tretí vstup ôsmeho súčtového logického obvodu (25), desiatu vstupnú svorku (10) je pripojená na štvrtý vstup tretieho súčtového logického obvodu (13) a na tretí vstup štvrtého súčtového logického obvodu (21), jedenásta vstupná svorka (11) je pripojená na tretí vstup druhého súčtového logického obvodu (12) a na tretí vstup deviateho súčtového logického obvodu (26) a dvanásta vstupná svorka (12) je pripojená na štvrtý vstup prvého súčtového logického člena (11) a na tretí vstup piateho súčtového logického člena (22), pričom výstup prvého súčtového logického člena (11) je pripojený na prvý vstup štvrtého logického člena (21) a na prvý vstup deviateho súčtového logického

člena (26), pričom výstup druhého súčtového logického člena (12) je pripojený na druhý vstup piateho súčtového logického člena (22) a na prvý vstup siedmeho súčtového logického člena (24), pričom výstup tretieho súčtového logického člena (13) je pripojený na tretí vstup šiesteho súčtového logického člena (23) a na prvý vstup ôsmeho súčtového logického člena (25), pričom výstup štvrtého súčtového logického člena (21) je pripojený na prvý vstup prvého súčtinového logického člena (31) a na druhý vstup piateho súčtinového logického člena (35), pričom výstup piateho súčtového logického člena (22) je pripojený na prvý vstup druhého súčtinového logického člena (32) a na druhý vstup šiesteho súčtinového logického člena (36), pričom výstup šiesteho súčtového logického člena (23) je pripojený na prvý vstup tretieho súčtinového logického člena (33) a na druhý vstup štvrtého súčtinového logického člena (34), pričom výstup siedmeho súčtového logického člena (24) je pripojený na prvý vstup štvrtého súčtinového logického člena (34) a na druhý vstup prvého súčtinového logického člena (31), pričom výstup ôsmeho súčtového logického člena (25) je pripojený na prvý vstup piateho súčtinového logického člena (35) a na druhý vstup druhého súčtinového logického člena (32), pričom výstup deviateho súčtového logického člena (26) je pripojený na prvý vstup šiesteho súčtinového logického člena (36) a na druhý vstup tretieho súčtinového logického člena (33), pričom výstupy z prvého súčtinového logického člena (31), z druhého súčtinového logického člena (32) a z tretieho súčtinového logického člena (33) sú pripojené na vstupy desiateho súčtového člena (41), ktorého výstup je pripojený na prvú výstupnú svorku (51), pričom výstupy zo štvrtého súčtinového logického člena (34), z piateho súčtinového logického člena (35) a zo šiesteho súčtinového logického člena (36) sú pripojené na vstupy jedenásteho súčtového logického člena (42), ktorého výstup je pripojený na druhú výstupnú svorku (52).

