

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 27 年 9 月 3 日 (2015.9.3)

【公表番号】特表 2014-521222 (P2014-521222A)

【公表日】平成 26 年 8 月 25 日 (2014.8.25)

【年通号数】公開・登録公報 2014-045

【出願番号】特願 2014-520276 (P2014-520276)

【国際特許分類】

H 0 1 L 25/04 (2014.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

【F I】

H 0 1 L 25/04 Z

H 0 1 L 25/08 C

H 0 1 L 25/08 Y

H 0 1 L 25/08 G

【手続補正書】

【提出日】平成 27 年 7 月 10 日 (2015.7.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

超小型電子パッケージであって、

対向する第 1 の表面及び第 2 の表面を有する基板と、

第 1 の超小型電子素子、第 2 の超小型電子素子、第 3 の超小型電子素子、及び第 4 の超小型電子素子であって、各超小型電子素子は、前記基板の前記第 1 の表面に隣接し前記第 1 の表面の方に向いた前面と、該前面における複数のコンタクトとを有し、該超小型電子素子の前記前面は、前記第 1 の表面に対して平行であるとともに前記第 1 の表面の上に重なる単一の平面内に配置され、各超小型電子素子は、前記前面に露出するとともにそれぞれの第 1 の軸、第 2 の軸、第 3 の軸、及び第 4 の軸に沿って配置されたコンタクトの列を有し、前記第 1 の軸及び前記第 3 の軸は互いに平行であり、前記第 2 の軸及び前記第 4 の軸は、前記第 1 の軸及び前記第 3 の軸に対して横向きであり、各超小型電子素子のコンタクトの列は、それぞれの超小型電子素子の前記前面の中心領域に配置されており、各超小型電子素子の前記軸は、前記超小型電子パッケージ内の他の前記超小型電子素子の 1 つの領域を横切るものである、第 1 の超小型電子素子、第 2 の超小型電子素子、第 3 の超小型電子素子、及び第 4 の超小型電子素子と、

前記第 2 の表面に露出した複数の端子であって、該端子は、該超小型電子パッケージの外部の少なくとも 1 つの構成要素に該超小型電子パッケージを接続するように構成されている、複数の端子と、

各超小型電子素子の前記コンタクトのうちの少なくとも幾つかから前記端子のうちの少なくとも幾つかに延在する電氣的接続部と

を備えてなる、超小型電子パッケージ。

【請求項 2】

前記電氣的接続部は、下側超小型電子素子のそれぞれのコンタクトと、前記基板の前記

第 1 の表面に露出した導電性ボンダッドとの間に延在するフリップチップ接続部を含む、請求項 1 に記載の超小型電子パッケージ。

【請求項 3】

請求項 1 に記載の超小型電子パッケージであって、該超小型電子パッケージにおいて、前記端子のうちの少なくとも幾つかと、前記超小型電子素子のうちの 1 つ以上のものとの電氣的に接続されたバッファ素子を更に備え、該バッファ素子は、該超小型電子パッケージの前記端子のうちの 1 つ以上のものにおいて受信された少なくとも 1 つの信号を再生成するように構成されている、請求項 1 に記載の超小型電子パッケージ。

【請求項 4】

前記少なくとも 1 つの信号は、該超小型電子パッケージに転送されるアドレス信号の全てを含む、請求項 3 に記載の超小型電子パッケージ。

【請求項 5】

前記超小型電子素子は、アドレス指定可能メモリモジュールとしてともに機能するように構成され、該超小型電子パッケージは、前記超小型電子素子のそれぞれにおいて受信されたデータの一部を記憶するように構成されている、請求項 1 に記載の超小型電子パッケージ。

【請求項 6】

請求項 20 に記載の超小型電子パッケージであって、該超小型電子パッケージは、デュアルインラインメモリモジュールとして機能するように構成されている、請求項 5 に記載の超小型電子パッケージ。

【請求項 7】

請求項 21 に記載の超小型電子パッケージであって、該超小型電子パッケージは、同じコマンド及び信号インタフェースを有し、デュアルインラインメモリモジュールと同じ量のデータを転送するように構成されている、請求項 6 に記載の超小型電子パッケージ。

【請求項 8】

前記超小型電子素子のそれぞれは、主としてメモリ記憶アレイ機能を提供するように構成されている、請求項 1 に記載の超小型電子パッケージ。

【請求項 9】

各超小型電子素子は、下側超小型電子素子であり、各超小型電子パッケージは、各下側超小型電子素子に対応する上側超小型電子素子を備え、各上側超小型電子素子は、前記下側超小型電子素子のうちの前記対応するものの背面の上に少なくとも部分的に重なる表面を有する、請求項 1 に記載の超小型電子パッケージ。

【請求項 10】

前記上側超小型電子素子のうちの少なくとも 1 つは、前記下側超小型電子素子を貫通して延在する少なくとも 1 つの導電性ビアを通じて、前記下側超小型電子素子のうちの対応するものと電氣的に接続されている、請求項 9 に記載の超小型電子パッケージ。

【請求項 11】

請求項 1 に記載の超小型電子パッケージと、該超小型電子パッケージに電氣的に接続された 1 つ以上の他の電子構成要素とを備える、システム。

【請求項 12】

ハウジングを更に備え、前記超小型電子パッケージ及び前記他の電子構成要素が該ハウジングに実装されている、請求項 11 に記載のシステム。

【請求項 13】

各超小型電子素子は、前記基板の前記第 1 の表面と前記第 2 の表面との間に延在する少なくとも 1 つの開口部の上に少なくとも部分的に重なり、各開口部は、それぞれの前記第 1 の軸、前記第 2 の軸、前記第 3 の軸、及び前記第 4 の軸に沿った長さを有し、前記電氣的接続部は、少なくとも、前記少なくとも 1 つの開口部と位置合わせされた部分を有するリードを含む、請求項 1 に記載の超小型電子パッケージ。

【請求項 14】

前記リードのうちの少なくとも幾つかは、前記開口部のうちの少なくとも 1 つを通して

延在するワイヤボンドを含む、請求項 1 3 に記載の超小型電子パッケージ。

【請求項 1 5】

各超小型電子素子の前記コンタクトの列は、前記開口部のうちの対応するものと位置合わせされている、請求項 1 3 に記載の超小型電子パッケージ。

【請求項 1 6】

前記開口部のそれぞれは、前記それぞれの軸に対して横向きの方に幅を有し、各開口部の前記幅は、該開口部の前記幅と同じ方向において、該開口部の上に少なくとも部分的に重なる前記超小型電子素子の幅よりも大きくない、請求項 1 3 に記載の超小型電子パッケージ。

【請求項 1 7】

前記基板の前記第 2 の表面は、その中央部分を占有する中央領域を有し、該中央領域は、前記第 1 の軸、前記第 2 の軸、前記第 3 の軸、及び前記第 4 の軸によって画定され、前記端子のうちの少なくとも幾つかは、前記中央領域に配置された第 1 の端子である、請求項 1 3 に記載の超小型電子パッケージ。

【請求項 1 8】

前記第 1 の端子は、該超小型電子パッケージに転送されるアドレス信号の全てを搬送するように構成されている、請求項 1 7 に記載の超小型電子パッケージ。

【請求項 1 9】

前記第 1 の端子は、該超小型電子パッケージに転送されるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号のうちの少なくとも幾つかを搬送するように構成され、前記コマンド信号は、書き込みイネーブル信号、行アドレスストロープ信号、及び列アドレスストロープ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックであり、前記第 1 の端子は、前記超小型電子素子のうちの少なくとも 2 つによって共有される、請求項 1 7 に記載の超小型電子パッケージ。

【請求項 2 0】

前記第 1 の端子は、前記超小型電子素子のそれぞれによって共有される、請求項 1 9 に記載の超小型電子パッケージ。