

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成27年9月3日(2015.9.3)

【公表番号】特表2014-521222(P2014-521222A)

【公表日】平成26年8月25日(2014.8.25)

【年通号数】公開・登録公報2014-045

【出願番号】特願2014-520276(P2014-520276)

【国際特許分類】

H 01 L 25/04 (2014.01)

H 01 L 25/18 (2006.01)

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

【F I】

H 01 L 25/04 Z

H 01 L 25/08 C

H 01 L 25/08 Y

H 01 L 25/08 G

【手続補正書】

【提出日】平成27年7月10日(2015.7.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

超小型電子パッケージであって、

対向する第1の表面及び第2の表面を有する基板と、

第1の超小型電子素子、第2の超小型電子素子、第3の超小型電子素子、及び第4の超小型電子素子であって、各超小型電子素子は、前記基板の前記第1の表面に隣接し前記第1の表面の方に向いた前面と、該前面における複数のコンタクトとを有し、該超小型電子素子の前記前面は、前記第1の表面に対して平行であるとともに前記第1の表面の上に重なる単一の平面内に配置され、各超小型電子素子は、前記前面に露出するとともにそれぞれの第1の軸、第2の軸、第3の軸、及び第4の軸に沿って配置されたコンタクトの列を有し、前記第1の軸及び前記第3の軸は互いに平行であり、前記第2の軸及び前記第4の軸は、前記第1の軸及び前記第3の軸に対して横向きであり、各超小型電子素子のコンタクトの列は、それぞれの超小型電子素子の前記前面の中心領域に配置されており、各超小型電子素子の前記軸は、前記超小型電子パッケージ内の他の前記超小型電子素子の1つの領域を横切るものである、第1の超小型電子素子、第2の超小型電子素子、第3の超小型電子素子、及び第4の超小型電子素子と、

前記第2の表面に露出した複数の端子であって、該端子は、該超小型電子パッケージの外部の少なくとも1つの構成要素に該超小型電子パッケージを接続するように構成されている、複数の端子と、

各超小型電子素子の前記コンタクトのうちの少なくとも幾つかから前記端子のうちの少なくとも幾つかに延在する電気的接続部と

を備えてなる、超小型電子パッケージ。

【請求項2】

前記電気的接続部は、下側超小型電子素子のそれぞれのコンタクトと、前記基板の前記

第1の表面に露出した導電性ボンドパッドとの間に延在するフリップチップ接続部を含む、請求項1に記載の超小型電子パッケージ。

【請求項3】

請求項1に記載の超小型電子パッケージであって、該超小型電子パッケージにおいて、前記端子のうちの少なくとも幾つかと、前記超小型電子素子のうちの1つ以上のものとに電気的に接続されたバッファ素子を更に備え、該バッファ素子は、該超小型電子パッケージの前記端子のうちの1つ以上のものにおいて受信された少なくとも1つの信号を再生成するように構成されている、請求項1に記載の超小型電子パッケージ。

【請求項4】

前記少なくとも1つの信号は、該超小型電子パッケージに転送されるアドレス信号の全てを含む、請求項3に記載の超小型電子パッケージ。

【請求項5】

前記超小型電子素子は、アドレス指定可能メモリモジュールとしてともに機能するよう構成され、該超小型電子パッケージは、前記超小型電子素子のそれぞれにおいて受信されたデータの一部を記憶するように構成されている、請求項1に記載の超小型電子パッケージ。

【請求項6】

請求項20に記載の超小型電子パッケージであって、該超小型電子パッケージは、デュアルラインメモリモジュールとして機能するように構成されている、請求項5に記載の超小型電子パッケージ。

【請求項7】

請求項21に記載の超小型電子パッケージであって、該超小型電子パッケージは、同じコマンド及び信号インタフェースを有し、デュアルラインメモリモジュールと同じ量のデータを転送するように構成されている、請求項6に記載の超小型電子パッケージ。

【請求項8】

前記超小型電子素子のそれぞれは、主としてメモリ記憶アレイ機能を提供するように構成されている、請求項1に記載の超小型電子パッケージ。

【請求項9】

各超小型電子素子は、下側超小型電子素子であり、各超小型電子パッケージは、各下側超小型電子素子に対応する上側超小型電子素子を備え、各上側超小型電子素子は、前記下側超小型電子素子のうちの前記対応するものの背面の上に少なくとも部分的に重なる表面を有する、請求項1に記載の超小型電子パッケージ。

【請求項10】

前記上側超小型電子素子のうちの少なくとも1つは、前記下側超小型電子素子を貫通して延在する少なくとも1つの導電性ピアを通じて、前記下側超小型電子素子のうちの対応するものと電気的に接続されている、請求項9に記載の超小型電子パッケージ。

【請求項11】

請求項1に記載の超小型電子パッケージと、該超小型電子パッケージに電気的に接続された1つ以上の他の電子構成要素とを備える、システム。

【請求項12】

ハウジングを更に備え、前記超小型電子パッケージ及び前記他の電子構成要素が該ハウジングに実装されている、請求項11に記載のシステム。

【請求項13】

各超小型電子素子は、前記基板の前記第1の表面と前記第2の表面との間に延在する少なくとも1つの開口部の上に少なくとも部分的に重なり、各開口部は、それぞれの前記第1の軸、前記第2の軸、前記第3の軸、及び前記第4の軸に沿った長さを有し、前記電気的接続部は、少なくとも、前記少なくとも1つの開口部と位置合わせされた部分を有するリードを含む、請求項1に記載の超小型電子パッケージ。

【請求項14】

前記リードのうちの少なくとも幾つかは、前記開口部のうちの少なくとも1つを通って

延在するワイヤボンドを含む、請求項1_3に記載の超小型電子パッケージ。

【請求項 1 5】

各超小型電子素子の前記コンタクトの列は、前記開口部のうちの対応するものと位置合わせされている、請求項1_3に記載の超小型電子パッケージ。

【請求項 1 6】

前記開口部のそれぞれは、前記それぞれの軸に対して横向きの方向に幅を有し、各開口部の前記幅は、該開口部の前記幅と同じ方向において、該開口部の上に少なくとも部分的に重なる前記超小型電子素子の幅よりも大きくない、請求項1_3に記載の超小型電子パッケージ。

【請求項 1 7】

前記基板の前記第2の表面は、その中央部分を占有する中央領域を有し、該中央領域は、前記第1の軸、前記第2の軸、前記第3の軸、及び前記第4の軸によって画定され、前記端子のうちの少なくとも幾つかは、前記中央領域に配置された第1の端子である、請求項1_3に記載の超小型電子パッケージ。

【請求項 1 8】

前記第1の端子は、該超小型電子パッケージに転送されるアドレス信号の全てを搬送するように構成されている、請求項1_7に記載の超小型電子パッケージ。

【請求項 1 9】

前記第1の端子は、該超小型電子パッケージに転送されるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号のうちの少なくとも幾つかを搬送するように構成され、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックであり、前記第1の端子は、前記超小型電子素子のうちの少なくとも2つによって共有される、請求項1_7に記載の超小型電子パッケージ。

【請求項 2 0】

前記第1の端子は、前記超小型電子素子のそれぞれによって共有される、請求項1_9に記載の超小型電子パッケージ。