

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-317861

(P2005-317861A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 25/065	HO 1 L 25/08	Z
HO 1 L 23/12	HO 1 L 23/12	N
HO 1 L 25/07		
HO 1 L 25/18		

審査請求 有 請求項の数 8 O L (全 51 頁)

(21) 出願番号	特願2004-136255 (P2004-136255)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年4月30日(2004.4.30)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100092196 弁理士 橋本 良郎

最終頁に続く

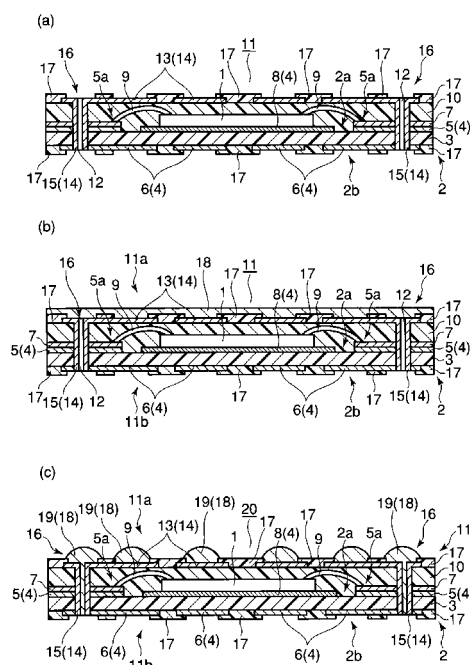
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 構造的な汎用性が向上されており、単体での使用や複数個積層しての使用に拘らず使用でき、効率良く、かつ、低コストで容易に製造できる半導体装置を提供する。

【解決手段】 チップ搭載基材2の一方の主面2a上には、第1の配線5が少なくとも1本設けられている。基材2の他方の主面2b上には、第2の配線6が少なくとも1本設けられている。少なくとも1個の半導体素子1が、少なくとも1本の第1の配線5に電気的に接続されて基材2の一方の主面2a上に搭載されている。基材2の一方の主面2a上には、半導体素子1および第1の配線5を覆って封止部材10が設けられている。封止部材10の表面上には、少なくとも1本の第3の配線13が設けられている。封止部材10および基材2の内部には、第1の配線5、第2の配線6、第3の配線13に電気的に接続されて、第4の配線15が少なくとも1本設けられている。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

少なくとも 1 個の半導体素子と、  
一方の主面上に第 1 の配線が少なくとも 1 本設けられているとともに、他方の主面上に第 2 の配線が少なくとも 1 本設けられており、かつ、前記半導体素子が少なくとも 1 本の前記第 1 の配線に電氣的に接続されて前記一方の主面上に搭載されたチップ搭載基材と、  
前記半導体素子および前記第 1 の配線を覆って前記チップ搭載基材の前記一方の主面上に設けられた封止部材と、  
この封止部材の表面上に設けられた少なくとも 1 本の第 3 の配線と、  
前記封止部材および前記チップ搭載基材の内部に設けられて前記第 1 の配線、前記第 2 の配線、および前記第 3 の配線に電氣的に接続された少なくとも 1 本の第 4 の配線と、  
を具備することを特徴とする半導体装置。

10

**【請求項 2】**

少なくとも 1 個の半導体素子と、  
一方の主面上に第 1 の配線が少なくとも 1 本設けられているとともに、少なくとも 1 本の前記第 1 の配線に電氣的に接続された第 2 の配線が基材本体を貫通して他方の主面側に露出されて少なくとも 1 本設けられており、かつ、前記半導体素子が少なくとも 1 本の前記第 1 の配線に電氣的に接続されて前記一方の主面上に搭載されたチップ搭載基材と、  
前記半導体素子および前記第 1 の配線を覆って前記チップ搭載基材の前記一方の主面上に設けられた封止部材と、  
この封止部材の表面上に設けられた少なくとも 1 本の第 3 の配線と、  
前記封止部材の内部に設けられて前記第 1 の配線および前記第 3 の配線に電氣的に接続された少なくとも 1 本の第 4 の配線と、  
を具備することを特徴とする半導体装置。

20

**【請求項 3】**

少なくとも 1 個の半導体素子と、  
この半導体素子に電氣的に接続された少なくとも 1 本の第 1 の配線と、  
この第 1 の配線の少なくとも一端部を露出して前記半導体素子および前記半導体素子と前記第 1 の配線との接続部を覆って設けられた封止部材と、  
前記半導体素子および前記第 1 の配線を間に挟んで前記封止部材の表面上に互いに対向して設けられた少なくとも 1 本の第 2 の配線および少なくとも 1 本の第 3 の配線と、  
前記封止部材の内部に設けられて前記第 1 の配線、前記第 2 の配線、および前記第 3 の配線に電氣的に接続された少なくとも 1 本の第 4 の配線と、  
を具備することを特徴とする半導体装置。

30

**【請求項 4】**

請求項 1 ~ 3 のうちの少なくとも 1 項に記載の半導体装置が複数個積層されているとともに、積層方向において隣接する前記各半導体装置の前記第 2 の配線同士、または前記第 3 の配線同士、あるいは前記第 2 の配線と前記第 3 の配線とが電氣的に接続されていることを特徴とする半導体装置。

**【請求項 5】**

一方の主面上に第 1 の配線が少なくとも 1 本設けられているとともに、他方の主面上に第 2 の配線が少なくとも 1 本設けられているチップ搭載基材の前記一方の主面上に、少なくとも 1 個の半導体素子を少なくとも 1 本の前記第 1 の配線に電氣的に接続して搭載し、  
前記半導体素子および前記第 1 の配線を覆って前記チップ搭載基材の前記一方の主面上に封止部材を設けるとともに、この封止部材の表面上に少なくとも 1 本の第 3 の配線を設け、かつ、前記第 1 の配線、前記第 2 の配線、および前記第 3 の配線に電氣的に接続する少なくとも 1 本の第 4 の配線を前記封止部材および前記チップ搭載基材の内部に設ける、  
ことを特徴とする半導体装置の製造方法。

40

**【請求項 6】**

一方の主面上に第 1 の配線が少なくとも 1 本設けられているとともに、少なくとも 1 本

50

の前記第 1 の配線に電氣的に接続された第 2 の配線が基材本体を貫通して他方の主面側に露出されて少なくとも 1 本設けられているチップ搭載基材の前記一方の主面上に、少なくとも 1 個の半導体素子を少なくとも 1 本の前記第 1 の配線に電氣的に接続して搭載し、

前記半導体素子および前記第 1 の配線を覆って前記チップ搭載基材の前記一方の主面上に封止部材を設けるとともに、この封止部材の表面上に少なくとも 1 本の第 3 の配線を設け、かつ、前記第 1 の配線および前記第 3 の配線に電氣的に接続する少なくとも 1 本の第 4 の配線を前記封止部材の内部に設ける、

ことを特徴とする半導体装置の製造方法。

【請求項 7】

少なくとも 1 個の半導体素子を少なくとも 1 本の第 1 の配線に電氣的に接続し、

10

この第 1 の配線の少なくとも一端部を露出して前記半導体素子および前記半導体素子と前記第 1 の配線との接続部を覆って封止部材を設けるとともに、前記半導体素子および前記第 1 の配線を間に挟んで前記封止部材の表面上に互いに対向して少なくとも 1 本の第 2 の配線および少なくとも 1 本の第 3 の配線を設け、かつ、前記第 1 の配線、前記第 2 の配線、および前記第 3 の配線に電氣的に接続する少なくとも 1 本の第 4 の配線を前記封止部材の内部に設ける、

ことを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 5 ~ 7 のうちの少なくとも 1 項に記載の半導体装置の製造方法により製造された半導体装置を複数個積層させるとともに、積層方向において隣接する前記各半導体装置の前記第 2 の配線同士、または前記第 3 の配線同士、あるいは前記第 2 の配線と前記第 3 の配線とを電氣的に接続することを特徴とする半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置のパッケージング技術に係り、特に複数個の半導体素子を電氣的に接続しつつ積層可能な構造を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体装置の中には、一般にマルチチップパッケージあるいはマルチチップモジュール等と称される、複数個の半導体チップ（半導体素子）を備える半導体装置がある。また、そのようなマルチチップ構造を有する半導体装置の中には、複数個の半導体チップが積層されて搭載されたチップ積層型の半導体装置がある。そして、そのようなチップ積層型の半導体装置を得るために、1 個ないしは複数個の半導体チップが搭載された個々の半導体装置（パッケージ、モジュール）を複数個積層する技術が多数提案されている（例えば、特許文献 1 ~ 5 参照）。

30

【特許文献 1】特開 2002 - 134653 号公報

【特許文献 2】特開 2002 - 170906 号公報

【特許文献 3】特開 2002 - 184796 号公報

【特許文献 4】特開 2002 - 170921 号公報

40

【特許文献 5】特開 2002 - 305364 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

複数個の半導体パッケージ（半導体モジュール）を積層してチップ積層型のマルチチップパッケージ（マルチチップモジュール）を作製する場合、例えば次に述べるような作製方法がある。先ず、各パッケージを各層ごとに個別のパッケージとして作製する。次に、各パッケージを積層して 1 つのマルチチップパッケージとした後、このパッケージを実装基板に搭載するための下部接続配線（下部接続端子）を最下層のパッケージに設ける。また、このパッケージの上にさらに他の電気部品等を搭載する場合には、上部接続用配線（

50

上部接続端子)を最上層のパッケージに設ける。あるいは、最下層のパッケージを予め基板実装専用の構造を有する基板実装用パッケージとして作製したり、最上層のパッケージを予め部品実装専用の構造を有する部品実装用パッケージとして作製したりする。

【0004】

このような技術によれば、各パッケージを各層ごとに個別のパッケージとして作製するので、パッケージ全体の生産効率を向上させることが困難である。また、各パッケージごとに専用の組立設備を設ける必要が生じるおそれがあるなど、設備費の負担が大きくなるおそれがある。設備費の負担が大きくなると、各パッケージの生産コストが高くなる。ひいては、各パッケージを積層したマルチチップパッケージ全体、およびこのマルチチップパッケージを備える半導体装置の生産コストが高くなる。

10

【0005】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、構造的な汎用性を向上させることにより、単体での使用あるいは他の部品を接続しての使用に拘らず、また複数個積層して使用する場合の積層数や位置に拘らず使用することができるとともに、効率良く、かつ、低コストで容易に製造できる半導体装置およびその製造方法を提供することにある。また、そのような半導体装置が複数個積層されてなるとともに、効率良く、かつ、低コストで容易に製造できる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明の一態様に係る半導体装置は、少なくとも1個の半導体素子と、一方の主面上に第1の配線が少なくとも1本設けられているとともに、他方の主面上に第2の配線が少なくとも1本設けられており、かつ、前記半導体素子が少なくとも1本の前記第1の配線に電気的に接続されて前記一方の主面上に搭載されたチップ搭載基材と、前記半導体素子および前記第1の配線を覆って前記チップ搭載基材の前記一方の主面上に設けられた封止部材と、この封止部材の表面上に設けられた少なくとも1本の第3の配線と、前記封止部材および前記チップ搭載基材の内部に設けられて前記第1の配線、前記第2の配線、および前記第3の配線に電気的に接続された少なくとも1本の第4の配線と、を具備することを特徴とするものである。

20

【0007】

また、前記課題を解決するために、本発明の他の態様に係る半導体装置は、少なくとも1個の半導体素子と、一方の主面上に第1の配線が少なくとも1本設けられているとともに、少なくとも1本の前記第1の配線に電気的に接続された第2の配線が基材本体を貫通して他方の主面側に露出されて少なくとも1本設けられており、かつ、前記半導体素子が少なくとも1本の前記第1の配線に電気的に接続されて前記一方の主面上に搭載されたチップ搭載基材と、前記半導体素子および前記第1の配線を覆って前記チップ搭載基材の前記一方の主面上に設けられた封止部材と、この封止部材の表面上に設けられた少なくとも1本の第3の配線と、前記封止部材の内部に設けられて前記第1の配線および前記第3の配線に電気的に接続された少なくとも1本の第4の配線と、を具備することを特徴とするものである。

30

40

【0008】

また、前記課題を解決するために、本発明のまた他の態様に係る半導体装置は、少なくとも1個の半導体素子と、この半導体素子に電気的に接続された少なくとも1本の第1の配線と、この第1の配線の少なくとも一端部を露出して前記半導体素子および前記半導体素子と前記第1の配線との接続部を覆って設けられた封止部材と、前記半導体素子および前記第1の配線を間に挟んで前記封止部材の表面上に互いに対向して設けられた少なくとも1本の第2の配線および少なくとも1本の第3の配線と、前記封止部材の内部に設けられて前記第1の配線、前記第2の配線、および前記第3の配線に電気的に接続された少なくとも1本の第4の配線と、を具備することを特徴とするものである。

【0009】

50

また、前記課題を解決するために、本発明のまた他の態様に係る半導体装置は、本発明に係る半導体装置が複数個積層されているとともに、積層方向において隣接する前記各半導体装置の前記第2の配線同士、または前記第3の配線同士、あるいは前記第2の配線と前記第3の配線とが電氣的に接続されていることを特徴とするものである。

【0010】

また、前記課題を解決するために、本発明のまた他の態様に係る半導体装置の製造方法は、一方の主面上に第1の配線が少なくとも1本設けられているとともに、他方の主面上に第2の配線が少なくとも1本設けられているチップ搭載基材の前記一方の主面上に、少なくとも1個の半導体素子を少なくとも1本の前記第1の配線に電氣的に接続して搭載し、前記半導体素子および前記第1の配線を覆って前記チップ搭載基材の前記一方の主面上に封止部材を設けるとともに、この封止部材の表面上に少なくとも1本の第3の配線を設け、かつ、前記第1の配線、前記第2の配線、および前記第3の配線に電氣的に接続する少なくとも1本の第4の配線を前記封止部材および前記チップ搭載基材の内部に設ける、ことを特徴とするものである。

10

【0011】

また、前記課題を解決するために、本発明のまた他の態様に係る半導体装置の製造方法は、一方の主面上に第1の配線が少なくとも1本設けられているとともに、少なくとも1本の前記第1の配線に電氣的に接続された第2の配線が基材本体を貫通して他方の主面側に露出されて少なくとも1本設けられているチップ搭載基材の前記一方の主面上に、少なくとも1個の半導体素子を少なくとも1本の前記第1の配線に電氣的に接続して搭載し、前記半導体素子および前記第1の配線を覆って前記チップ搭載基材の前記一方の主面上に封止部材を設けるとともに、この封止部材の表面上に少なくとも1本の第3の配線を設け、かつ、前記第1の配線および前記第3の配線に電氣的に接続する少なくとも1本の第4の配線を前記封止部材の内部に設ける、ことを特徴とするものである。

20

【0012】

また、前記課題を解決するために、本発明のまた他の態様に係る半導体装置の製造方法は、少なくとも1個の半導体素子を少なくとも1本の第1の配線に電氣的に接続し、この第1の配線の少なくとも一端部を露出して前記半導体素子および前記半導体素子と前記第1の配線との接続部を覆って封止部材を設けるとともに、前記半導体素子および前記第1の配線を間に挟んで前記封止部材の表面上に互いに対向して少なくとも1本の第2の配線および少なくとも1本の第3の配線を設け、かつ、前記第1の配線、前記第2の配線、および前記第3の配線に電氣的に接続する少なくとも1本の第4の配線を前記封止部材の内部に設ける、ことを特徴とするものである。

30

【0013】

さらに、前記課題を解決するために、本発明のさらに他の態様に係る半導体装置の製造方法は、本発明に係る半導体装置の製造方法により製造された半導体装置を複数個積層させるとともに、積層方向において隣接する前記各半導体装置の前記第2の配線同士、または前記第3の配線同士、あるいは前記第2の配線と前記第3の配線とを電氣的に接続することを特徴とするものである。

【発明の効果】

40

【0014】

本発明に係る半導体装置は、構造的な汎用性が向上されているので、単体での使用あるいは他の部品を接続しての使用に拘らず、また複数個積層して使用する場合の積層数や位置に拘らず使用することができるとともに、効率良く、かつ、低コストで容易に製造され得る。また、そのような半導体装置が複数個積層されているので、効率良く、かつ、低コストで容易に製造され得る。

【0015】

また、本発明に係る半導体装置の製造方法によれば、半導体装置の構造的な汎用性を向上させることにより、単体での使用あるいは他の部品を接続しての使用に拘らず、また複数個積層して使用する場合の積層数や位置に拘らず使用することができる半導体装置を、

50

効率良く、かつ、低コストで容易に製造することができる。また、そのような半導体装置を複数個積層してなる半導体装置を、効率良く、かつ、低コストで容易に製造することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明に係る各実施形態を図面を参照しつつ説明する。

【0017】

(第1の実施の形態)

先ず、本発明に係る第1実施形態を図1～図3を参照しつつ説明する。図1～図3は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。

10

【0018】

本実施形態では、例えばチップ搭載基材上の半導体チップを樹脂封止した半導体パッケージ(半導体装置)において、チップ搭載基材のチップ非搭載面側(下面側)のみならず、封止樹脂の表層部(上面側)にも配線層を設ける。すなわち、半導体パッケージの上下(表裏)両側に配線層を設ける。これにより、本実施形態の半導体パッケージ自体を他の実装基材に搭載しつつ、その上部に一般に市場に流通している既存の他の半導体パッケージや受動部品等を容易に実装することができる。以下、本実施形態に係る半導体装置およびその製造方法について、図面を参照しつつ詳しく説明する。

【0019】

先ず、図1(a)に示すように、一方の主面上に半導体素子(半導体チップ)1が少なくとも1個搭載(実装)される1枚のチップ搭載基材(チップ搭載基板、チップ実装基材)2を用意する。本実施形態においては、チップ搭載基材として、その基材本体3が柔軟性(可撓性)を有する材料により形成されたフレキシブル基材2を用いる。フレキシブル基材2の基材本体3は、例えばポリイミド(polyimide)、ガラスエポキシ、あるいはBTレジン等によりテープ状に形成されている。また、基材本体3には、その表裏(上下)両主面を覆ってそれぞれ少なくとも1層の導電層(金属層)からなる導電体4が設けられている。具体的には、それら両導電体4は、ともに1層の銅箔(Cu箔、Cu層)により形成されている。このような構造からなるフレキシブル基材2は、両面銅貼テープとも称される。各Cu箔4は、それぞれ後述する第1の配線5および第2の配線6となる。

20

【0020】

次に、図1(b)に示すように、フレキシブル基材2の半導体チップ1が搭載される側の主面であるチップ搭載面2a上に、少なくとも1本の第1の配線5を形成する。それとともに、フレキシブル基材2のチップ搭載面2a上に、半導体チップ1を搭載するチップマウントアイランド8を形成する。本実施形態においては、複数本の第1の配線5をチップ搭載面2a上に形成する。これら各第1の配線5は、後述する第4の配線15とともに本実施形態の半導体装置20の内部配線を構成する。

30

【0021】

各第1の配線5のうち少なくとも1本は、半導体チップ1に電氣的に接続されるチップ接続配線となる。すなわち、全ての第1の配線5がチップ接続配線として形成されるとは限らない。各第1の配線5のうち幾つかは、半導体チップ1とは電氣的に非接続に形成されても構わない。例えば、図示は省略するが、半導体チップ1と断線された第1の配線5は、いわゆるダミー配線として形成されても構わない。あるいは、半導体チップ1と断線された第1の配線5は、後述する第2および第3の各配線6, 13等を介して半導体装置20に接続される外部の装置同士や他の部品同士を、半導体チップ1を介さずに電氣的に接続するための、いわゆる中継配線の一部として形成されても構わない。ただし、以下の説明においては、特に断りのない限り、各第1の配線5をチップ接続配線として簡略して説明することとする。また、図1(b)～(e)、図2(a)～(c)、および図3(a)～(c)においては、複数本の第1の配線5のうち、半導体チップ1に電氣的に接続されるチップ接続配線5のみを図示する。

40

【0022】

50

各チップ接続配線 5 およびチップマウントアイランド 8 は、チップ搭載面 2 a 上の Cu 箔 4 をエッチング加工することにより形成される。具体的には、先ず、チップ搭載面 2 a 上の Cu 箔 4 の表面上に図示しない感光性レジストを所定のパターンで塗工して露光する。これにより、チップ搭載面 2 a 上の Cu 箔 4 の表面上に図示しないレジストマスクを形成する。感光性レジストのパターンは、フレキシブル基材 2 に搭載される半導体チップ（シリコン素子）1 が有する図示しない 1 個ないし複数の接続用パッド部（電極、端子）の配置に応じて決められる。この後、チップ搭載面 2 a 上の Cu 箔 4 にエッチング処理や現像処理等を施して、Cu 箔 4 を所定のパターンで残す。これにより、フレキシブル基材 2 のチップ搭載面 2 a 上に所定のパターンからなる複数本のチップ接続配線 5 を形成する。このように、チップ接続配線（第 1 の配線）5 は、フレキシブル基材 2 のチップ搭載面 2 a 上に設けられている Cu 箔 4 を、予め定められている所定のパターンにパターンニングすることで形成される。すなわち、チップ接続配線（第 1 の配線）5 は、実質的にはフレキシブル基材 2 のチップ搭載面 2 a 上に予め設けられている Cu 箔 4 の一部である。

10

#### 【0023】

各チップ接続配線 5 は、少なくとも 1 本の第 4 の配線 1 5 とともに、半導体チップ 1 と後述する少なくとも 1 本の第 2 の配線 6 および少なくとも 1 本の第 3 の配線 1 3 との間を所定のパターンで電氣的に接続する。後述するように、第 2 および第 3 の各配線 6, 1 3 は、ともに半導体装置 2 0 の外部配線（外部端子）を構成する。また、各チップ接続配線 5 の一部には、半導体チップ 1 の各パッド部が電氣的に接続されるパッド接続部（接合部）5 a が設けられる。

20

#### 【0024】

なお、各チップ接続配線 5 を形成するためのエッチング処理を行う際には、フレキシブル基材 2 のチップ搭載面 2 a とは反対側の主面上の Cu 箔 4 の表面を、図示しないマスクで全面的に覆っておく。すなわち、フレキシブル基材 2 の半導体チップ 1 を搭載しない側の主面であるチップ非搭載面 2 b 上の Cu 箔 4 の表面を、マスクで全面的に覆っておく。このチップ非搭載面 2 b 上の Cu 箔 4 は、後述する第 2 の配線 6 となる。

#### 【0025】

次に、図 1 (c) に示すように、少なくとも各チップ接続配線 5 のパッド接続部 5 a の表面に所定の処理を施す。この表面処理としては、ワイヤボンディング法やフリップチップ接続法等、半導体チップ 1 のフレキシブル基材 2 への実装方法に応じた適正な処理が適用される。本実施形態においては、ワイヤボンディング法により半導体チップ 1 を各チップ接続配線 5 に電氣的に接続して、フレキシブル基材 2 に搭載する。この場合、各チップ接続配線 5 のパッド接続部 5 a の表面に、ニッケル (Ni) および金 (Au) を用いてめっき処理を施す。すなわち、各パッド接続部 5 a の表面上に Ni / Au めっき部 7 を設ける。

30

#### 【0026】

次に、図 1 (d) に示すように、少なくとも 1 個の半導体チップ 1 をフレキシブル基材 2 に搭載する。本実施形態においては、チップ搭載面 2 a 上に設けられた Cu 箔 4 のうち、半導体チップ 1 が搭載されるチップマウントアイランド 8 となる部分（領域）の上に、1 個の半導体チップ 1 を取り付ける。半導体チップ 1 は、例えば図示しないエポキシ樹脂等の接着剤を用いてチップマウントアイランド 8 に接着（接合）されて、フレキシブル基材 2 に搭載される。

40

#### 【0027】

次に、図 1 (e) に示すように、ワイヤボンディング法により半導体チップ 1 を各チップ接続配線 5 に電氣的に接続する。具体的には、複数本の金製のボンディングワイヤ (Au ボンディングワイヤ) 9 を、半導体チップ 1 の各接続パッドに接続する。それとともに、各 Au ボンディングワイヤ 9 を、各チップ接続配線 5 のパッド接続部 5 a 上に設けられた Ni / Au めっき部 7 に接続する。これにより、半導体チップ 1 は、各 Ni / Au めっき部 7 を介して、各チップ接続配線 5 に電氣的に接続される。各 Au ボンディングワイヤ 9 は、例えば超音波接合により半導体チップ 1 の各接続パッドおよび各 Ni / Au めっき

50

部 7 に接合される。

【 0 0 2 8 】

なお、1個の半導体チップ 1 をチップマウントアイランド 8 に搭載した後、その半導体チップ 1 の上にさらに少なくとも1個の半導体チップ 1 を積層して、チップ接続配線 5 にワイヤボンディング接続することもできる。これにより、半導体装置 2 0 をマルチチップパッケージ (マルチチップモジュール) として構成することもできる。そのような構造からなる半導体装置およびその製造方法については、後述する第 7 実施形態において詳しく説明する。

【 0 0 2 9 】

次に、図 2 ( a ) に示すように、フレキシブル基材 2 のチップ搭載面 2 a 上に封止部材 1 0 を設ける。具体的には、半導体チップ 1、各チップ接続配線 5 (各パッド接続部 5 a)、各 Ni / Au めっき部 7、チップマウントアイランド 8、および各 Au ボンディングワイヤ 9 等を覆って、フレキシブル基材 2 のチップ搭載面 2 a 上に封止部材 1 0 を設ける。これにより、少なくとも半導体チップ 1 および半導体チップ 1 と各チップ接続配線 5 との接続部分であるパッド接続部 5 a 等を封止する。この封止には、例えばインジェクションモールド法やトランスファモールド法等の非気密封止法 (ノン・ハーメチック法) が用いられる。本実施形態においては、トランスファモールド法により、封止部材 1 0 をフレキシブル基材 2 のチップ搭載面 2 a 上に設ける。また、封止部材 1 0 としては、例えばエポキシ樹脂とシリカフィラーとの混合樹脂が用いられる。これまでの工程により、半導体チップ 1、フレキシブル基材 2、および封止樹脂 1 0 等からなる樹脂封止パッケージ (モールド封止パッケージ) 1 1 が作成される。この樹脂封止パッケージ 1 1 は、本実施形態の半導体装置 2 0 の主要な構成部分となる。

【 0 0 3 0 】

続けて、図 2 ( a ) に示すように、第 4 の配線 1 5 を設けるための第 4 の配線用凹部 (穴、孔) 1 2 を樹脂封止パッケージ 1 1 に少なくとも1個設ける。本実施形態においては、第 4 の配線 1 5 を樹脂封止パッケージ 1 1 に複数本設けるので、第 4 の配線用凹部 1 2 を樹脂封止パッケージ 1 1 に複数個設ける。各第 4 の配線 1 5 は、各チップ接続配線 5 とともに半導体装置 2 0 の内部配線を構成する。また、各第 4 の配線 1 5 のうちの少なくとも1本は、少なくとも1本の各チップ接続配線 (第 1 の配線) 5、少なくとも1本の第 2 の配線 6、および少なくとも1本の第 3 の配線 1 3 を互いに電氣的に接続するために設けられる。すなわち、少なくとも1本の第 4 の配線 1 5 は、少なくとも1本の各チップ接続配線 5 とともに、半導体装置 2 0 の外部配線 (外部端子) を構成する少なくとも1本の第 2 の配線 6 および少なくとも1本の第 3 の配線 1 3 に半導体チップ 1 を電氣的に接続するために設けられる。

【 0 0 3 1 】

本実施形態においては、各第 4 の配線 1 5 のうち少なくとも半導体チップ 1 に電氣的に接続される第 4 の配線 1 5 を、樹脂封止パッケージ 1 1 の厚さ方向に沿って第 2 の配線 6 および第 3 の配線 1 3 に一括して電氣的に接続して設ける。このため、半導体チップ 1 に電氣的に接続される第 4 の配線 1 5 が設けられる各凹部 1 2 は、チップ接続配線 5、第 2 の配線 6、および第 3 の配線 1 3 を樹脂封止パッケージ 1 1 の厚さ方向に沿って一括して貫通できる位置に形成される。したがって、各凹部 1 2 のうち少なくとも半導体チップ 1 に電氣的に接続される第 4 の配線 1 5 が設けられる各凹部 1 2 は、樹脂封止パッケージ 1 1 をその厚さ方向に沿って一括して貫通する貫通孔 (スルーホール、ヴィアホール) として形成される。

【 0 0 3 2 】

なお、図示は省略するが、半導体チップ 1 とは断線される第 4 の配線 1 5 が設けられる各凹部も、樹脂封止パッケージ 1 1 をその厚さ方向に沿って一括して貫通するスルーホール (ヴィアホール) として形成して構わないのはもちろんである。全ての第 4 の配線用凹部 1 2 をスルーホールとして形成することにより、半導体チップ 1 と各第 4 の配線 1 5 との接続状態に拘らず、第 4 の配線用凹部 1 2 を形成する工程を簡略化 (単一化) すること



ができる。ひいては、半導体装置 20 の製造効率を高めることができる。以下の説明において、半導体チップ 1 に電氣的に接続される第 4 の配線 15 が、チップ接続配線 5、第 2 の配線 6、および第 3 の配線 13 に一括して電氣的に接続されて設けられる箇所を、配線接続部 16 と称することとする。

#### 【0033】

配線接続部 16 に形成されるスルーホール 12 は、具体的には、封止樹脂 10、各 Ni/Au めっき部 7、各パッド接続部 5a (チップ接続配線 5)、フレキシブル基材 2 の基材本体 3、およびフレキシブル基材 2 のチップ非搭載面 2b 上の Cu 箔 4 を、それらの厚さ方向に沿って一括して貫通して形成される。この貫通作業は、例えば図示しないドリル等を用いて行われる。また、各スルーホール 12 の直径は、それぞれ約 50 μm ~ 400 μm 程度の大きさに設定される。

10

#### 【0034】

次に、図 2 (b) に示すように、封止樹脂 10 の表面上および各スルーホール 12 の内壁面上に、第 3 の配線 13 となる導電体 (導電層) 14 および第 4 の配線 15 となる導電体 14 を設ける。本実施形態においては、それら第 3 の配線 13 となる導電体 14 および第 4 の配線 15 となる導電体 14 を一体に、かつ、一括して設ける。具体的には、まず、各スルーホール 12 内の残渣を除去 (デスマリア) する。この後、無電解めっき法により、厚さが約 0.01 μm ~ 1 μm 程度の Cu からなる導電層 (無電解 Cu 層) を、封止樹脂 10 の表面上および各スルーホール 12 の内壁面上に全面的に設ける。続けて、電解めっき法により、厚さが約 1 μm ~ 30 μm 程度の Cu からなる導電層 (電解 Cu 層) を無電解 Cu 層の表面上に全面的に設ける。この電解 Cu 層は、無電解 Cu 層をシード層 (下地層) として、無電解 Cu 層に一体化されつつ設けられる。これにより、第 3 の配線 13 となる 1 層の Cu 層 14 および第 4 の配線 15 となる 1 層の Cu 層 14 が、封止樹脂 10 の表面上および各スルーホール 12 の内壁面上に一体に、かつ、一括して設けられる。各スルーホール 12 の内壁面上に設けられた Cu 層 14 は、そのまま第 4 の配線 15 として用いられる。

20

#### 【0035】

なお、本実施形態においては、電解 Cu 層の厚さは、各スルーホール 12 を塞がないように、各スルーホール 12 の直径の大きさに応じて適宜、適正な大きさに設定される。また、この一連のめっき工程においては、フレキシブル基材 2 のチップ非搭載面 2b 上の Cu 箔 4 の表面は、前述した各チップ接続配線 5 を形成する際に設けられたマスクで全面的に覆われたままであるとする。

30

#### 【0036】

また、前述したように、本実施形態においては、無電解めっき法および電解めっき法を連続して行うことにより、第 3 の配線 13 となる Cu 層 (導電体) 14 を封止樹脂 10 の表面上に設けた。しかし、Cu 層 14 を設ける方法は、めっき法には限定されない。第 3 の配線 13 と封止樹脂 10 との密着強度を高める必要がある場合には、前述した封止樹脂 10 を設ける工程において、導電体 14 を封止樹脂 10 と一体に、かつ、一括して設けるとよい。例えば、図示は省略するが、半導体パッケージの上面に対向するモールド上金型のキャビティ部にマット処理を施した銅箔 (Cu 箔) を配置した後、トランスファモールドを行うとよい。あるいは、モールドを行う際に、Cu 箔にエポキシ樹脂や BT レジン等を塗工した樹脂付き Cu 箔を熱間ラミネートすることも有効である。これらの封止工程より、第 3 の配線 13 となる銅箔と封止樹脂との密着強度を高めつつ、銅箔を封止樹脂と一体に、かつ、一括して設けることができる。そのような構造からなる半導体装置およびその製造方法については、後述する第 8 および第 9 の各実施形態において詳しく説明する。

40

#### 【0037】

前述したように、配線接続部 16 において樹脂封止パッケージ 11 をその厚さ方向に沿って貫通する各スルーホール 12 内に形成された各第 4 の配線 15 (Cu 層 14) は、封止樹脂 10 の表面上に設けられた第 3 の配線 13 となる Cu 層 14 と一体化されている。

50

それとともに、配線接続部 16 において各スルーホール 12 内に形成された各第 4 の配線 15 は、フレキシブル基材 2 のチップ搭載面 2a 上に形成されている各チップ接続配線（第 1 の配線）5 を貫通しつつ、それらに電氣的に接続されている。さらに、配線接続部 16 に形成された各第 4 の配線 15 は、フレキシブル基材 2 のチップ非搭載面 2b 上に形成されている、第 2 の配線 6 となる Cu 箔 4 に電氣的に接続されている。すなわち、各第 4 の配線 15 は、いわゆるスループラグ（ヴィアプラグ）として樹脂封止パッケージ 11 の内部に設けられている。図 2（b）に示すように、樹脂封止パッケージ 11 内の半導体チップ 1 は、内部配線としての各スループラグ 15 および各チップ接続配線 5 等を介して、外部配線としての第 2 および第 3 の各配線 6, 13 に電氣的に接続される。

【0038】

また、前述したように、配線接続部 16 に形成された各スループラグ 15 は、半導体チップ 1 に電氣的に接続されている。ただし、全てのスループラグ 15 が半導体チップ 1 に電氣的に接続されて形成される必要はない。前述した第 1 の配線 5 と同様に、各スループラグ 15 のうちの幾つかは、半導体チップ 1 とは電氣的に非接続に形成されても構わない。

【0039】

例えば、図示は省略するが、複数個の半導体装置 20 を積層するとともに、隣接する半導体装置 20 同士をそれぞれの第 2 の配線 6 および第 3 の配線 13 を介して電氣的に接続するとする。この場合、所定の層の半導体装置 20 に設ける各スループラグ 15 のうちの幾つかを、その所定の層の半導体チップ 1（各チップ接続配線 5）とは断線させるとともに、その所定の層に隣接する他の層の半導体チップ 1 に電氣的に接続される通電経路（配線）上に形成しても構わない。あるいは、各層の半導体装置 20 に設ける各スループラグ 15 を、各層の半導体チップ 1 を 1 層おきに電氣的に接続する通電経路上に形成しても構わない。また、第 2 の配線 6 や第 3 の各配線 13 を介して、半導体装置 20 に複数個の外部装置や外部部品を電氣的に接続したり、半導体装置 20 を基板に実装したりとする。これらの場合、半導体装置 20 に設けられる各スループラグ 15 のうちの幾つかを、半導体チップ 1 とは断線させるとともに、外部装置や外部部品、あるいは基板に電氣的に接続される通電経路上に形成しても構わない。

【0040】

このように、全てのスループラグ 15 が半導体チップ 1 に電氣的に接続されて設けられる必要はない。前述した第 1 の配線 5 と同様に、半導体チップ 1 と断線された各スループラグ 15 は、ダミー配線の一部を構成するダミープラグとして形成されても構わない。あるいは、半導体チップ 1 と断線されたスループラグ 15 は、第 2 および第 3 の各配線 6, 13 等を介して半導体装置 20 に接続される外部の装置同士や他の部品同士を、半導体チップ 1 を介さずに電氣的に接続するための中継プラグとして形成されても構わない。ただし、以下の説明においては、特に断りのない限り、各スループラグ 15 を、半導体チップ 1 に電氣的に接続されたスループラグとして簡略して説明することとする。また、図 2（b）,（c）および図 3（a）～（c）においては、複数個のスループラグ 15 のうち、配線接続部 16 に設けられて半導体チップ 1 に電氣的に接続されるスループラグ 15 のみを図示する。

【0041】

次に、図 2（c）に示すように、フレキシブル基材 2 のチップ非搭載面 2b 上に少なくとも 1 本の第 2 の配線 6 を形成する。それとともに、封止樹脂 10 の表面上に少なくとも 1 本の第 3 の配線 13 を形成する。本実施形態においては、これら第 2 の配線 6 および第 3 の配線 13 をそれぞれ複数本ずつ形成する。また、各第 2 の配線 6 および各第 3 の配線 13 は、前述した第 1 の配線（チップ接続配線）5 を形成するのと同様の方法により形成される。

【0042】

先ず、第 2 の配線 6 を形成する場合について説明する。前述したように、樹脂封止パッケージ 11 内にスループラグ 15 を形成し終えた段階では、チップ非搭載面 2b 上の Cu

10

20

30

40

50

箔 4 の表面は、各チップ接続配線 5 を形成する際に設けられたマスクで全面的に覆われている。したがって、始めに、このチップ非搭載面 2 b 上の Cu 箔 4 の表面を覆っているマスクを剥離させる。続けて、チップ非搭載面 2 b 上の Cu 箔 4 の表面上に、図示しない感光性レジストを予め定められた所定のパターンで塗工して露光する。これにより、チップ非搭載面 2 b 上の Cu 箔 4 の表面上に図示しないレジストマスクを形成する。感光性レジストのパターンは、各スループラグ 1 5 の位置や、第 2 の配線 6 に電氣的に接続される外部装置および外部部品等との接続位置等に応じて予め決められる。この後、チップ非搭載面 2 b 上の Cu 箔 4 にエッチング処理や現像処理等を施して、Cu 箔 4 を所定のパターンで残す。これにより、フレキシブル基材 2 のチップ非搭載面 2 b 上に所定のパターンからなる複数本の第 2 の配線 6 を形成する。

10

**【 0 0 4 3 】**

このように、第 2 の配線 6 は、フレキシブル基材 2 のチップ非搭載面 2 b 上に設けられている Cu 箔 4 を、予め定められている所定のパターンにパターンニングすることで形成される。すなわち、第 2 の配線 6 は、実質的にはフレキシブル基材 2 のチップ非搭載面 2 b 上に予め設けられている Cu 箔 4 の一部である。

**【 0 0 4 4 】**

次に、第 3 の配線 1 3 を形成する場合について説明する。始めに、第 2 の配線 6 を形成する場合と同様に、封止樹脂 1 0 上の Cu 層 1 4 の表面上に、図示しない感光性レジストを予め定められた所定のパターンで塗工して露光する。これにより、封止樹脂 1 0 上の Cu 層 1 4 の表面上に図示しないレジストマスクを形成する。感光性レジストのパターンは、各スループラグ 1 5 の位置や、第 3 の配線 1 3 に電氣的に接続される外部装置および外部部品等との接続位置等に応じて予め決められる。この後、封止樹脂 1 0 上の Cu 層 1 4 にエッチング処理や現像処理等を施して、Cu 層 1 4 を所定のパターンで残す。これにより、所定のパターンからなる表層配線（表層端子）としての第 3 の配線 1 3 を封止樹脂 1 0 上に複数本形成する。このように、第 3 の配線 1 3 は、封止樹脂 1 0 の表面上に設けられている Cu 層 1 4 を、予め定められている所定のパターンにパターンニングすることで形成される。すなわち、第 3 の配線 1 3 は、実質的には封止樹脂 1 0 の表面上に設けられた Cu 層 1 4 の一部である。なお、この第 3 の配線 1 3 を形成する工程は、第 2 の配線 6 を形成する工程と一括して行われても構わない。

20

**【 0 0 4 5 】**

図 2 ( c ) に示すように、各第 2 の配線 6 および各第 3 の配線 1 3 は、半導体装置 2 0 の外部配線（外部端子）を構成する。前述したように、複数個の半導体装置 2 0 を電氣的に接続して積層する際には、各半導体装置 2 0 間の電氣的な接続は、各半導体装置 2 0 の各第 2 の配線 6 および各第 3 の配線 1 3 の少なくとも一方を介して行われる。同様に、半導体装置 2 0 を外部基板に実装したり、半導体装置 2 0 に他の半導体パッケージや外部装置、あるいは外部部品等を電氣的に接続したりする際に、各第 2 の配線 6 および各第 3 の配線 1 3 は外部接続配線（外部接続端子）として機能する。この際、半導体装置 2 0 には、各第 2 の配線 6 および各第 3 の配線 1 3 のどちらに他の半導体装置 2 0 や実装基板、あるいは外部装置が接続されても構わない。すなわち、各第 2 の配線 6 および各第 3 の配線 1 3 のどちらを、パッケージ搭載用配線（端子）、外部装置接続用配線（端子）、部品搭載用配線（端子）、あるいは基板実装用配線（端子）等として使用しても構わない。

30

40

**【 0 0 4 6 】**

同様に、半導体装置 2 0 は、そのフレキシブル基材 2 側および封止樹脂 1 0 側のどちらの側を上または下に向けても構わない。すなわち、各第 2 の配線 6 および各第 3 の配線 1 3 のどちらを、上部配線（上部端子）あるいは下部配線（下部端子）として使用しても構わない。また、同様に、半導体装置 2 0 は、そのフレキシブル基材 2 側および封止樹脂 1 0 側のどちらの主面を表面または裏面として用いても構わない。すなわち、各第 2 の配線 6 および各第 3 の配線 1 3 のどちらを、表面側配線（表面側端子）あるいは裏面側配線（裏面側端子）として使用しても構わない。

**【 0 0 4 7 】**

50

また、図 2 ( c ) に示すように、各第 2 の配線 6 および各第 3 の配線 1 3 のうちの幾つかは、各スルーラグ ( 第 4 の配線 ) 1 5 および各チップ接続配線 ( 第 1 の配線 ) 5 を介して半導体チップ 1 に電氣的に接続されている。しかし、前述したチップ接続配線 5 およびスルーラグ 1 5 と同様に、全ての第 2 の配線 6 および第 3 の配線 1 3 が半導体チップ 1 に電氣的に接続されて形成される必要はない。各第 2 の配線 6 および各第 3 の配線 1 3 のうちの幾つかは、半導体チップ 1 とは断線されて形成されても構わない。例えば、前述したチップ接続配線 5 およびスルーラグ 1 5 と同様に、半導体チップ 1 と断線された第 2 の配線 6 および第 3 の配線 1 3 は、ダミー配線として形成されても構わない。あるいは、半導体チップ 1 と断線された第 2 の配線 6 および第 3 の配線 1 3 は、同じく半導体チップ 1 と断線されたスルーラグ 1 5 とともに、半導体装置 2 0 に接続される外部の装置同 10  
士や他の部品同士を、半導体チップ 1 を介さずに電氣的に接続するための中継配線の一部として形成されても構わない。

#### 【 0 0 4 8 】

次に、図 3 ( a ) に示すように、複数本の第 2 の配線 6 が形成されたフレキシブル基材 2 のチップ非搭載面 2 b 上に、予め定められた所定のパターンでソルダーレジスト 1 7 を塗工する。同様に、複数本の第 3 の配線 1 3 が形成された封止樹脂 1 0 の表面上に、予め定められた所定のパターンでソルダーレジスト 1 7 を塗工する。続けて、図示は省略するが、各第 2 の配線 6 および各第 3 の配線 1 3 のうちパッケージ搭載用端子となる配線に、必要に応じて Ni / Au めっき処理や防錆処理等の所定の表面処理を施す。

#### 【 0 0 4 9 】

次に、図 3 ( b ) に示すように、樹脂封止パッケージ 1 1 の封止樹脂 1 0 側の主面上に、各第 3 の配線 1 3 に外部部品等を電氣的に接続するための接続用導電部材 1 8 を設ける。本実施形態においては、接続用導電部材としてクリーム半田 1 8 を用いる。また、本実施形態においては、樹脂封止パッケージ 1 1 の封止樹脂 1 0 側の主面をパッケージ搭載面 ( 外部装置接続面、部品搭載面 ) 1 1 a とする。すなわち、本実施形態においては、樹脂封止パッケージ 1 1 のパッケージ搭載面 1 1 a 上に、接続用導電部材としてのクリーム半田 1 8 を設ける。クリーム半田 1 8 は、例えば各第 3 の配線 1 3 およびソルダーレジスト 1 7 を覆ってスクリーン印刷されて、樹脂封止パッケージ 1 1 のパッケージ搭載面 1 1 a 上に全面的に設けられる。ただし、この接続用導電部材 1 8 を設ける方法は、前述したスクリーン印刷には限られない。例えば、図示は省略するが、接続用導電部材 1 8 として、 30  
P b S n や S n A g 等からなる半田ボールをソルダーレジスト 1 7 から露出している各第 3 の配線 1 3 の表面上に搭載しても構わない。

#### 【 0 0 5 0 】

なお、樹脂封止パッケージ 1 1 の封止樹脂 1 0 側の主面をパッケージ搭載面 1 1 a とすると、樹脂封止パッケージ 1 1 のフレキシブル基材 2 側の主面は基板実装面 1 1 b として用いることができる。この場合、図示は省略するが、樹脂封止パッケージ 1 1 の基板実装面 1 1 b の表面上に、必要に応じて接続用導電部材として P b S n や S n A g 等からなる複数個の半田ボールを搭載する。各半田ボールは、それらの少なくとも一部が各第 2 の配線 6 に接触 ( 接合 ) されて設けられていけばよい。

#### 【 0 0 5 1 】

次に、図 3 ( c ) に示すように、樹脂封止パッケージ 1 1 のパッケージ搭載面 1 1 a 上に、半田層 1 9 を形成する。具体的には、樹脂封止パッケージ 1 1 のパッケージ搭載面 1 1 a 上に設けられたクリーム半田 1 8 にリフローを実施することにより、ソルダーレジスト 1 7 から露出している各第 3 の配線 1 3 の表面を覆って半田層 1 9 を形成する。本実施形態においては、厚さが約 5 0  $\mu$  m ~ 0 . 3 m m の半田層 1 9 を各第 3 の配線 1 3 の表面上に形成する。この際、各スルーラグ 1 5 が形成された各スルーホール 1 2 の内部も半田層 1 9 により埋め込む。また、図示は省略するが、樹脂封止パッケージ 1 1 のパッケージ非搭載側である基板実装面 1 1 b 上の各第 2 の配線 6 に、必要に応じて所定の表面処理を施す。例えば、防錆処理や Ni / Au めっき処理等、半田が濡れ易く、かつ、高温テスト時に各第 2 の配線 6 の表面に非溶融酸化膜が形成され難くなる処理を、基板実装用端子 40  
50

となる各第2の配線6の表面に必要な応じて施す。

【0052】

なお、これまでの説明では、本実施形態の内容を理解し易くするために、樹脂封止パッケージ11を単独のパッケージとして作製するものとして説明してきた。しかし、図示は省略するが、実際の製造工程では、樹脂封止パッケージ11は複数個まとめて作製される。したがって、これまでの工程により一括して作製された樹脂封止パッケージ11の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、同じく図示は省略するが、各樹脂封止パッケージ11が実際に製品として使用できるか否かを検査するための各種テストを、低温あるいは高温等の様々な環境下で個々の樹脂封止パッケージ11ごとに実施する。そして、これらのテストに合格した樹脂封止パッケージ11を良品とする。これにより、図3(c)に示す構成を主要な構成部分とする、本実施形態に係る所望の半導体装置20を得る。

10

【0053】

すなわち、樹脂封止パッケージ11のパッケージ搭載面11a上にパッケージ搭載用端子(パッケージ搭載用配線)としてのCu配線(第3の配線)13を複数本備えるとともに、樹脂封止パッケージ11の基板実装面11b上に基板実装用端子(基板実装用配線)としてのCu配線(第2の配線)6を複数本備えており、かつ、チップ搭載基材2のチップ搭載面2a上に設けられた複数本のCuチップ接続配線(第1の配線)5にワイヤボンディング接続されてチップ搭載基材2に搭載された1個の半導体チップ1が、各Cuチップ接続配線5および樹脂封止パッケージ11をその厚さ方向に沿って貫通して設けられた複数本のCuスループラグ(第4の配線)15を介して、各Cu配線6および各Cu配線13とに接続されている樹脂封止パッケージ11からなる半導体装置20を得る。

20

【0054】

この後、半導体装置20のパッケージ搭載面11a上には、必要な応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置20の基板実装面11b上には、必要な応じて図示しない実装基板が実装される。

【0055】

なお、本実施形態において図示は省略するが、1個の半導体装置20を基本構成単位として、複数個の半導体装置20を積層することにより、積層体としての半導体装置(マルチチップパッケージ、マルチチップモジュール)を作製することができる。この場合、積層体としてのマルチチップパッケージに対して、各半導体装置20をシングルチップパッケージ(シングルチップモジュール)と称することができる。このようなシングルチップパッケージ20を複数個積層してなるマルチチップパッケージについては、後述する第2実施形態において、図面を参照しつつ詳しく説明する。

30

【0056】

以上説明したように、この第1実施形態によれば、半導体チップ1と電氣的に接続された外部配線としての第2および第3の各配線6, 13が、上下(表裏)両主面上に設けられている半導体装置20を得ることができる。これら第2および第3の各配線6, 13、ならびに内部配線としての第1および第4の各配線5, 15のそれぞれの配線パターンを適宜、適正な形状に形成することにより、半導体装置20のフレキシブル基材2側および封止樹脂10側のどちらにでも、実装基板や受動部品等の外部装置を接続することができる。また、基板や外部装置等の仕様に応じて、第2および第3の各配線6, 13や第1および第4の各配線5, 15の各配線パターンを適宜、適正な形状に形成することができる。これにより、半導体装置20を一般に市場に流通している様々な汎用の基板に実装したり、半導体装置20に一般に市場に流通している様々な汎用の外部装置を接続したりすることができる。さらに、後述する第2実施形態において詳しく説明するが、複数個の半導体装置20を積層してマルチチップパッケージを作製する場合、隣接する他の半導体装置20との接続状態等に応じて第1~第4の各配線5, 6, 13, 15の配線パターンを適宜、適正な形状に形成する。これにより、半導体装置20の積層数に拘らず、半導体装置20を所望の位置に配置することができる。

40

50

## 【0057】

このように、半導体装置20は、その汎用性および実装密度が高められている。また、半導体装置20は、これを構成部品の一部として用いる電気装置において、その実装密度の向上やコンパクト化にも寄与できる。すなわち、半導体装置20は、構造的な汎用性が向上されているので、単体での使用あるいは他の部品を接続しての使用に拘らず、また複数個積層して使用する場合の積層数や位置に拘らず、様々な設定で使用することができる。それとともに、そのような構造からなる半導体装置20は、効率良く、かつ、低コストで容易に製造できる。また、本実施形態に係る半導体装置の製造方法によれば、そのような半導体装置20を効率良く、かつ、低コストで容易に製造できる。

## 【0058】

(第2の実施の形態)

次に、本発明に係る第2実施形態を図4および図5を参照しつつ説明する。図4および図5は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

## 【0059】

本実施形態においては、前述した第1実施形態に係る半導体装置20を複数個積層してなる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

## 【0060】

先ず、図4に示すように、4個の第1実施形態の半導体装置20を積層して配置する。この際、下側の半導体装置20のパッケージ搭載面11a上の各半田層19と、上側の半導体装置20の基板実装面11b上の各第2の配線(下部接続端子、下部接続配線)6とを接触させて、各半導体装置20を配置する。

## 【0061】

次に、図5に示すように、積層された4個の半導体装置20に対してリフローを実施する。これにより、各半導体装置20のパッケージ搭載面11a上の各半田層19が熔融して、隣接する半導体装置20同士が電氣的に接続されて接合される。

## 【0062】

この後、図示は省略するが、接合された4個の半導体装置20からなる積層体に、これが実際に製品として使用できるか否かを検査するための各種テストを、低温あるいは高温等の様々な環境下で実施する。そして、これらのテストに合格した積層体を良品とする。これにより、図5に示すように、本実施形態に係る所望の半導体装置21を得る。すなわち、シングルチップパッケージ(シングルチップモジュール)としての第1実施形態の半導体装置20を4個積層してなる、チップ積層型のマルチチップパッケージ(マルチチップモジュール)としての半導体装置21を得る。

## 【0063】

この後、最上層のシングルチップパッケージ20のパッケージ搭載面11a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、最下層のシングルチップパッケージ20の基板実装面11b上には、必要に応じて図示しない実装基板が実装される。

## 【0064】

以上説明したように、この第2実施形態によれば、前述した第1実施形態に係る半導体装置20を積層しているので、チップ積層型の半導体装置21を効率良く、かつ、低コストで容易に製造できる。

## 【0065】

従来は、複数個の半導体パッケージ(半導体モジュール)を積層してチップ積層型のマルチチップパッケージ(マルチチップモジュール)を作製する場合、各パッケージを各層ごとに個別のパッケージとして作製するのが一般的である。そして、各パッケージを積層して1つのマルチチップパッケージとした後、このパッケージを実装基板に搭載するための下部接続配線(下部接続端子)を最下層のパッケージに設ける。また、このパッケージの上にさらに他の電気部品等を搭載する場合、上部接続用の配線(上部接続端子)を最上

10

20

30

40

50

層のパッケージに設ける。あるいは、最下層のパッケージを予め基板実装専用の構造を有する基板実装用パッケージとして作製したり、最上層のパッケージを予め部品実装専用の構造を有する部品実装用パッケージとして作製したりする。このように、従来は、チップ積層型のマルチチップパッケージを作製する場合、配置される位置に応じて各パッケージを作り分けなければならなかった。このため、製造効率が低く、製造コストも高くなり易かった。

#### 【0066】

これに対して、本実施形態のチップ積層型の半導体装置21は、構造的な汎用性が向上されており、複数個積層して使用する場合の積層数や位置に拘らず、様々な設定で使用することができる第1実施形態の半導体装置20を積層することにより作製されている。したがって、半導体装置21は効率良く、かつ、低コストで容易に製造できる。

10

#### 【0067】

また、従来のチップ積層型のマルチチップパッケージの中には、1つのパッケージ内に複数個の半導体チップが積層されて設けられたタイプのチップ積層型のマルチチップパッケージがある。以下、図23(a)、(b)および図24を参照しつつ、具体的かつ簡潔に説明する。

#### 【0068】

先ず、図23(a)に示すチップ積層型のマルチチップパッケージ(マルチチップモジュール)201について説明する。このマルチチップパッケージ201は、例えば次に述べる工程により製造される。先ず、図23(a)に示すように、1枚の実装基板202上に複数個の半導体チップ203を積層する。そして、ワイヤボンディングを繰り返すことにより各半導体チップ203を実装基板202に電氣的に接続する。続けて、実装基板202および各半導体チップ203にモールド封止を実施して、封止樹脂204で覆う。この後、モールド封止された実装基板202および各半導体チップ203に、いわゆるBurn-Inテストを実施する。これにより、チップ積層型のマルチチップパッケージ201を作製する。

20

#### 【0069】

次に、図23(b)に示すチップ積層型のマルチチップパッケージ211について説明する。このマルチチップパッケージ211は、例えば次に述べる工程により製造される。先ず、図23(b)に示すように、複数個の半導体チップ203をそれぞれ1枚のチップ接続基板212にフリップチップ接続する。そして、各半導体チップ203を、各チップ接続基板212とともに1枚の実装基板202上に複数個積層して、実装基板202に電氣的に接続(ダイアタッチ)する。続けて、実装基板202および各半導体チップ203を保護ケース213で覆って、パッケージングする。この後、前述したマルチチップパッケージ201の場合と同様に、Burn-Inテストを実施する。これにより、前述したマルチチップパッケージ201とは異なるタイプのチップ積層型のマルチチップパッケージ211を作製する。

30

#### 【0070】

これら各パッケージ201、211のような構成においては、各パッケージ201、211内の複数個の半導体チップ203のうち1個でもテストで不良となると、パッケージ201、211全体が不良品となる。しかも、各パッケージ201、211全体のテスト不良率は、各半導体チップ203それぞれの不良率を累積した不良率の影響を受ける。例えば、各パッケージ201、211のように、パッケージ内に4個の半導体チップ203が積層されているマルチチップパッケージにおいて、1層目から4層目までの各半導体チップの歩留まりが、それぞれ95%、95%、90%、85%であったとする。この場合、製品としてのパッケージ全体の最終歩留まりは、 $0.95 \times 0.95 \times 0.90 \times 0.85 \times 100 = 69$ (%)となり、70%を下回る。このように、パッケージ全体の歩留まりは、複数個の半導体チップのそれぞれの不良率のうち、最も高い不良率に引きずられる。それとともに、他の層の良品としての半導体チップに多大なロスが生じる。

40

#### 【0071】

50

また、封止樹脂 204 や保護ケース 213 には、それらの上部に外部装置を搭載するための配線が設けられていないため、各パッケージ 201, 211 の上部に外部装置を電氣的に接続して搭載することは困難である。すなわち、各パッケージ 201, 211 は、その実装密度が低い。さらに、パッケージ 211 については、実装基板 202 とは別構造のチップ接続基板 212 を設ける必要があるなど、その生産効率を向上し難く、かつ、パッケージ全体のコストが高価になり易い。

#### 【0072】

また、図 24 には、従来のパッケージ積層型モジュール 221 を示す。このモジュール 221 においては、先ず、複数個の半導体チップ 203、各チップ 203 が接続されるチップ接続基板 212、および隣接する各チップ 203 間に配置される複数枚の中間基板 222 からなる中間パッケージ 223 を、それぞれの層ごとに組み立てる。そして、各中間パッケージ 223 を作製した段階で一旦 Burn-In テスト等を実施し、各中間パッケージ 223 を良品と不良品とに選別する。続けて、良品として認められた中間パッケージ 223 をのみを所望の層数積層して、複数個の中間パッケージ 223 からなる積層体 224 を作製する。この後、積層体 224 の最下層の中間パッケージ 223 を、外部端子としての半田ボール (Ball Grid Array: BGA) 225 が複数個設けられた実装基板 226 に実装する。それとともに、積層体 224 の最上層の中間パッケージ 223 に、複数本の外部装置搭載用配線 227 が設けられた外部装置搭載用基板 228 を接続する。各半導体チップ 203、各半田ボール 225、および各外部装置搭載用配線 227 は、各中間基板 222 を貫通して設けられた複数本のスループラグ 229 等を介して、互いに電氣的に接続されている。

10

20

#### 【0073】

このモジュール 221 のような構成においては、予め良品として認められた中間パッケージ 223 のみを用いるので、前述した各パッケージ 201, 211 のような半導体チップ 203 の不良率の累積によるパッケージ全体の歩留まりロス回避される。しかし、各パッケージ 201, 211 と同様に、各層ごとに中間基板 222 を設けたり、チップ接続基板 212 や中間基板 222 とは別構造の実装基板 226 や外部装置搭載用基板 228 を設けたりする必要がある。そのため、モジュール 221 も、その生産効率を向上し難く、かつ、モジュール (パッケージ) 全体のコストが高価になり易い。

#### 【0074】

このように、従来の技術によれば、チップ積層型パッケージ (モジュール) 全体の生産効率を向上させることが困難である。特に、モジュール 221 のような構成からなるチップ積層型パッケージにおいては、各中間パッケージ 223 ごとに専用の組立設備を設ける必要があるなど、設備費の負担が大きくなるおそれがある。設備費の負担が大きくなると、各中間パッケージの生産コストが高くなるおそれがある。ひいては、各中間パッケージ 223 を積層したマルチチップパッケージ 221 全体、およびこのマルチチップパッケージ 221 を備える半導体装置の生産コストが高くなるおそれがある。

30

#### 【0075】

これに対して、本実施形態によれば、前述したように、各層毎のパッケージ 20 のテスト良品を図 5 に示すように積層することで、多層時は全層のチップ歩留まりを全層分累積することなく、多層パッケージを構築することができる。また最上層の樹脂封止パッケージ 20 上に受動部品も搭載でき、実装密度の向上にも寄与できる。さらには、直材として既存の半導体パッケージに銅箔を追加するだけで積層用のパッケージとすることができる。とともに、組立設備の流用も可能であり、チップ積層型のマルチチップパッケージ 21 を低コストで提供できる。これについては、後述する第 8 および第 9 の各実施形態において詳しく説明する。

40

#### 【0076】

(第 3 の実施の形態)

次に、本発明に係る第 3 実施形態を図 6 および図 7 を参照しつつ説明する。図 6 および図 7 は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお

50



、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0077】

本実施形態においては、前述した第1実施形態におけるワイヤボンディング法に代わり、フリップチップ接続法により半導体チップ1をフレキシブル基材2に接続してなる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

【0078】

まず、図6(a)に示すように、チップ搭載基材として、前述した第1実施形態で用いた1枚のフレキシブル基材(両面銅貼テープ)2を用意する。このフレキシブル基材2のチップ搭載面2a上には、第1実施形態と同様の工程により、少なくとも1本のチップ接続配線を含む複数本の第1の配線5が形成されている。後述するように、本実施形態において、フリップチップ接続法により半導体チップ1をチップ接続配線5に電氣的に接続してフレキシブル基材2に搭載する。したがって、チップ接続配線5のうちの少なくとも1本は、半導体チップ1が搭載されるチップマウントアイランド8を兼ねて形成される。

10

【0079】

チップマウントアイランド8の所定の領域は、半導体チップ1の各接続用パッド部の配置に応じて、パッド接続部5aとして設定される。チップマウントアイランド8の各パッド接続部5aは、図示しない他のチップ接続配線を介して、後述する第2の配線6、第3の配線13、およびスループラグ(第4の配線)15に電氣的に接続されているチップ接続配線5に、電氣的に接続されている。

【0080】

また、各パッド接続部5aの表面には、それらに半導体チップ1の各接続用パッド部を電氣的に接続するための表面処理が施される。例えば、各パッド接続部5aの表面には、半導体チップ1の各接続用パッド部の配置に応じてNi/Auめっき処理が施される。これにより、各パッド接続部5aの表面上に、半導体チップ1の各接続用パッド部の配置に応じてNiおよびAuからなるめっきバンプ(パッド接続用バンプ)31が設けられる。ただし、フリップチップ接続法を用いる本実施形態においては、各パッド接続部5aに対する表面処理は、前述したNi/Auめっきには限定されない。例えば、Ni/Auめっきの代わりに、各パッド接続部5aの表面上に図示しない半田を設けてもよい。

20

【0081】

次に、図6(b)に示すように、少なくとも1個の半導体チップ1をフレキシブル基材2のチップ搭載面2a上に搭載する。具体的には、フリップチップ接続法により、1個の半導体チップ1をチップマウントアイランド8に取り付ける。この際、半導体チップ1の各接続用パッド部は、それらに対応して各パッド接続部5aの表面上に設けられた各Ni/Auめっきバンプ31に、熱圧着や超音波接合等により接合される。それとともに、半導体チップ1は、エポキシ樹脂等の接着剤32を用いてチップマウントアイランド8に接着(接合)される。

30

【0082】

次に、図6(c)に示すように、第1実施形態と同様の工程に、トランスファモールディング法により、半導体チップ1、各チップ接続配線5、チップマウントアイランド8(各パッド接続部5a)、各Ni/Auめっきバンプ31、および接着剤32等を覆って、フレキシブル基材2のチップ搭載面2a上に封止樹脂10を設ける。それとともに、フレキシブル基材2のチップ非搭載面2b上に、1枚のCu箔4からなる複数本の第2の配線6を形成する。これまでの工程により、半導体チップ1、フレキシブル基材2、各第2の配線6、および封止樹脂10等からなる樹脂封止パッケージ33が作成される。この樹脂封止パッケージ33は、本実施形態の半導体装置34の主要な構成部分となる。

40

【0083】

次に、図7(a)に示すように、第1実施形態と同様の工程により、樹脂封止パッケージ33の各配線接続部16に、樹脂封止パッケージ33の厚さ方向に沿って貫通して複数個のスルーホール12を設ける。

【0084】

50

次に、図7(b)に示すように、第1実施形態と同様の工程により、封止樹脂10の表面上および各スルーホール12の内壁面上に、第3の配線13となる導電体14および第4の配線15となる導電体14を一体に、かつ、一括して設ける。すなわち、封止樹脂10の表面上に第3の配線13となる1層のCu層14を設けるとともに、各スルーホール12内に1層のCu層14からなるスループラグ15を設ける。

#### 【0085】

次に、図7(c)に示すように、第1実施形態と同様の工程により、封止樹脂10の表面上に、1層のCu層14からなる複数本の第3の配線13を形成する。前述した第1実施形態と同様に、本実施形態においても、樹脂封止パッケージ33の各第3の配線13が形成されている側(封止樹脂10側)の主面をパッケージ搭載面33aとするとともに、樹脂封止パッケージ33の各第2の配線6が形成されている側(フレキシブル基材2側)の主面を基板実装面33bとする。

10

#### 【0086】

次に、図7(d)に示すように、第1実施形態と同様の工程により、複数本の第2の配線6が形成されたフレキシブル基材2のチップ非搭載面2b上に、予め定められた所定のパターンでソルダーレジスト17を塗工する。同様に、複数本の第3の配線13が形成された封止樹脂10の表面上に、予め定められた所定のパターンでソルダーレジスト17を塗工する。

#### 【0087】

この後、図示は省略するが、第1実施形態と同様の工程により、パッケージ搭載用端子となる各第3の配線13に、必要に応じてNi/Auめっき処理や防錆処理等の所定の表面処理を施す。続けて、樹脂封止パッケージ33のパッケージ搭載面33a上にクリーム半田を設ける。それとともに、樹脂封止パッケージ33の基板実装面33b上に、必要に応じて複数個の半田ボールを各第2の配線6に接触(接合)させて搭載する。続けて、クリーム半田が設けられた樹脂封止パッケージ33にリフローを実施して、ソルダーレジスト17から露出している各第3の配線13の表面を覆って、厚さが約50 $\mu$ m~0.3mmの半田層を形成する。それとともに、各スループラグ15が形成された各スルーホール12内を半田層により埋め込む。また、基板実装用端子となる各第2の配線6に、例えば防錆処理やNi/Auめっき処理等、半田が濡れ易く、かつ、高温テスト時に各第2の配線6の表面に非溶融酸化膜が形成され難くなる表面処理を必要に応じて施す。

20

30

#### 【0088】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ33の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ33ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ33を良品とする。これにより、図7(d)に示す樹脂封止パッケージ33を主要な構成部分とする、本実施形態に係る所望の半導体装置34を得る。

#### 【0089】

すなわち、樹脂封止パッケージ33のパッケージ搭載面33a上にパッケージ搭載用端子(パッケージ搭載用配線)としてのCu配線(第3の配線)13を複数本備えるとともに、樹脂封止パッケージ33の基板実装面33b上に基板実装用端子(基板実装用配線)としてのCu配線(第2の配線)6を複数本備えており、かつ、チップ搭載基材2のチップ搭載面2a上に設けられた複数本のCuチップ接続配線(第1の配線)5にフリップチップ接続されてチップ搭載基材2に搭載された1個の半導体チップ1が、各Cuチップ接続配線5および樹脂封止パッケージ33をその厚さ方向に沿って貫通して設けられた複数本のCuスループラグ(第4の配線)15を介して、各Cu配線6および各Cu配線13とに接続されている樹脂封止パッケージ33からなる半導体装置34を得る。

40

#### 【0090】

この後、半導体装置34のパッケージ搭載面33a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置34の基板実装面3

50

3 b 上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置 3 4 を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

#### 【0091】

以上説明したように、この第3実施形態によれば、前述した第1実施形態と同様の効果を得ることができる。また、半導体チップ1をチップ接続配線5にフリップチップ接続するので、ワイヤボンディング法と異なりボンディングワイヤの接続不良等を排除することができるとともに、半導体チップ1のマウンティング工程を簡略化することができる。これにより、半導体装置34の品質、信頼性、性能、生産効率、および歩留まり等を向上させることができるとともに、生産コストを抑制することができる。また、フリップチップ接続法を用いることにより、チップ接続配線5、ひいては第2～第4の各配線6, 13, 15の微細化を図ることができる。これにより、半導体装置34のコンパクト化および高集積化を図ることができる。このように、本実施形態によれば、汎用性が高く高機能な半導体装置34を効率良く低コストで、かつ、容易に製造することができる。

10

#### 【0092】

(第4の実施の形態)

次に、本発明に係る第4実施形態を図8～図11を参照しつつ説明する。図8～図11は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

#### 【0093】

本実施形態においては、チップ搭載基材として、前述した第1実施形態で用いた両面銅貼テープ2の代わりに片面銅貼テープを用いる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

20

#### 【0094】

先ず、図8(a)に示すように、一方の主面上に半導体チップ1が少なくとも1個搭載される1枚のチップ搭載基材41を用意する。このチップ搭載基材41の基材本体42は、第1実施形態のチップ搭載基材2の基材本体3と同様に、例えばポリイミド、ガラスエポキシ、あるいはBTレジン等の柔軟性を有する材料によりテープ状に形成されている。すなわち、本実施形態のチップ搭載基材41は、第1実施形態のチップ搭載基材2と同様のフレキシブル基材である。しかし、第1実施形態のチップ搭載基材2と異なり、本実施形態のチップ搭載基材41には、その基材本体42の表裏(上下)いずれか一方の主面を覆って少なくとも1層の導電層からなる導電体4が設けられている。具体的には、フレキシブル基材41には、その半導体チップ1が搭載される側の主面であるチップ搭載面41aを覆って1層のCu箔4が設けられている。このような構造からなるフレキシブル基材41は、両面銅貼テープとも称される第1実施形態のフレキシブル基材2に対して、片面銅貼テープとも称される。Cu箔4は、第1の配線(チップ接続配線)5およびチップマウントアイランド8となる。

30

#### 【0095】

次に、図8(b)に示すように、フレキシブル基材41の基材本体42に、第2の配線43を設けるための第2の配線用凹部(穴、孔)44を少なくとも1個形成する。本実施形態においては、第2の配線43をフレキシブル基材41に複数本設けるので、第2の配線用凹部44をフレキシブル基材41に複数個形成する。各凹部44は、第2の配線43が予め定められている所定のパターンで設けられるように、その所定のパターンに沿って形成される。また、全ての第2の配線43は、基材本体42のCu箔4が設けられていない側の主面の表面に露出されて設けられる。すなわち、全ての第2の配線43は、フレキシブル基材41の半導体チップ1が搭載されない側の主面であるチップ非搭載面41bの表面に露出されて設けられる。また、各第2の配線43のうち少なくとも一本は、Cu箔4のうちチップ接続配線5となる部分に電氣的に接続されて設けられる。すなわち、各第2の配線43のうち少なくともチップ接続配線5となるCu箔4に電氣的に接続される第2の配線43は、基材本体42をその厚さ方向に沿って貫通して設けられる。したがって、各凹部44のうち少なくともチップ接続配線5となるCu箔4に電氣的に接続される

40

50

第2の配線43が設けられる凹部44は、基材本体42をその厚さ方向に沿って貫通する貫通孔（スルーホール、ビアホール）として形成される。

【0096】

なお、チップ接続配線5（半導体チップ1）とは断線される第2の配線43が設けられる各凹部44も、基材本体42をその厚さ方向に沿って一括して貫通するスルーホール（ビアホール）として形成して構わないのももちろんである。本実施形態においては、図8（b）に示すように、Cu箔4に接触して設けられる第2の配線43が設けられる第2の配線用凹部44を、全てスルーホールとして形成する。このように、全ての第2の配線用凹部44をスルーホールとして形成することにより、半導体チップ1と各第2の配線43との接続状態に拘らず、第2の配線用凹部44を形成する工程を簡略化（単一化）することができる。ひいては、本実施形態の半導体装置32の製造効率を高めることができる。以下の説明において、第2の配線43がCu箔4に接触して設けられる箇所を、第1の配線接続部（第1の外部端子部）45と称することとする。

10

【0097】

第1の配線接続部45に形成される各スルーホール44は、Cu箔4が露出するまでチップ非搭載面41b側から基材本体42にその厚さ方向に沿って孔を開けることにより形成される。この掘削作業は、例えば図示しない炭酸ガスレーザー光線やUVレーザー光線等を用いて行われる。この後、例えば炭化物等の各スルーホール44内の残渣を、過マンガン酸カリウム溶液等を用いて除去（デスマリア）する。

【0098】

次に、図8（c）に示すように、各第1の配線接続部45にそれぞれ1本ずつ第2の配線43を設ける。具体的には、先ず、各第1の配線接続部45に形成された各スルーホール44の内側に所定のめっき処理を施す。続けて、めっき処理が施された各スルーホール44の内部に第2の配線となる導電体（金属）43を充填して各スルーホール44を埋め込む。この後、基材本体42のチップ非搭載面41bにCMP処理等を施すことにより、各第1の配線接続部45にそれぞれ1本ずつ第2の配線43を埋め込み形成する。なお、第2の配線となる導電体43としては、例えばSn、Cu、Sn-Ag合金、あるいはPbSn等が用いられる。これにより、半導体チップ1は、各第2の配線43およびCu箔4（各チップ接続配線5）等を介して、図示しない外部の装置等に電氣的に接続される。ただし、第1実施形態と同様に、全ての第2の配線43が半導体チップ1に電氣的に接続されて形成される必要はない。各第2の配線43のうちの幾つかは、半導体チップ1とは電氣的に非接続に形成されても構わない。半導体チップ1と断線された各第2の配線43は、ダミー配線や中継配線として形成されても構わない。

20

30

【0099】

次に、図8（d）に示すように、前述した第1実施形態と同様に、Cu箔4にエッチング処理等を施して、フレキシブル基材41のチップ搭載面41a上に少なくとも1本のチップ接続配線を含む複数本の第1の配線5およびチップマウントアイランド8を形成する。なお、このエッチング処理を行う際には、フレキシブル基材41のチップ非搭載面41b側に露出されている各第2の配線43の表面を図示しないマスクで全面的に覆っておく。

40

【0100】

次に、図9（a）に示すように、第1実施形態と同様の工程により、各チップ接続配線5のパッド接続部5aの表面上にNi/Auめっき部7を設ける。

【0101】

次に、図9（b）に示すように、第1実施形態と同様の工程により、1個の半導体チップ1をチップマウントアイランド8上に取り付ける。

【0102】

次に、図9（c）に示すように、第1実施形態と同様に、ワイヤボンディング法により、半導体チップ1を、各パッド接続部5a上に設けられたNi/Auめっき部7を介して各チップ接続配線5に電氣的に接続する。

50

## 【0103】

次に、図10(a)に示すように、第1実施形態と同様に、トランスファモールド法により、半導体素子1、各チップ接続配線5(各パッド接続部5a)、各Ni/Auめっき部7、チップマウントアイランド8、および各Auボンディングワイヤ9等を覆って、フレキシブル基材41のチップ搭載面41a上に封止樹脂10を設ける。これまでの工程により、半導体素子1、フレキシブル基材41、および封止樹脂10等からなる樹脂封止パッケージ(モールド封止パッケージ)46が作成される。この樹脂封止パッケージ46は、本実施形態の半導体装置32の主要な構成部分となる。封止樹脂10の表面上には、少なくとも1本の第3の配線47が設けられる。

## 【0104】

次に、図10(b)に示すように、第4の配線48を設けるための第4の配線用凹部(穴、孔)49を樹脂封止パッケージ46に少なくとも1個設ける。本実施形態においては、第4の配線48を樹脂封止パッケージ46に複数本設けるので、第4の配線用凹部49を樹脂封止パッケージ46に複数個形成する。また、本実施形態においては、各第4の配線48のうち少なくとも半導体チップ1(チップ接続配線5)に電氣的に接続される第4の配線48を、樹脂封止パッケージ46の厚さ方向に沿って第1の配線5および第3の配線47に一括して電氣的に接続して設ける。このため、半導体チップ1に電氣的に接続される第4の配線48が設けられる各凹部49は、少なくとも封止樹脂10をその厚さ方向に沿って貫通して、各チップ接続配線5のパッド接続部5a上に設けられたNi/Auめっき部7の表面を露出できる位置に形成される。ただし、前述した第1実施形態と異なり、本実施形態においては、半導体チップ1に電氣的に接続される第4の配線48が設けられる各凹部49を、樹脂封止パッケージ46を貫通しない非貫通孔(非貫通ビアホール)として形成する。すなわち、半導体チップ1に電氣的に接続される第4の配線48が設けられる各凹部49は、フレキシブル基材41および各第2の配線43を貫通すること無く、封止樹脂10をその厚さ方向に沿って貫通して形成される。

## 【0105】

なお、半導体チップ1に電氣的に接続される第4の配線48が設けられる各凹部49は、各チップ接続配線5のパッド接続部5aおよびそれらの表面上に設けられた各Ni/Auめっき部7を貫通してもよいし、貫通しなくてもよい。半導体チップ1に電氣的に接続される第4の配線48が設けられる各凹部49は、その内部に設けられる第4の配線48が、少なくとも各Ni/Auめっき部7に電氣的に接触できる深さに形成されればよい。本実施形態においては、半導体チップ1に電氣的に接続される第4の配線48が設けられる各凹部49を、封止樹脂10のみをその厚さ方向に沿って貫通して、各チップ接続配線5のパッド接続部5a上に設けられたNi/Auめっき部7の表面を露出する深さに形成する。

## 【0106】

また、図示は省略するが、本実施形態においては、各チップ接続配線5(半導体チップ1)とは断線される第4の配線48が設けられる各凹部も非貫通ビアホールとして形成する。全ての第4の配線用凹部49を非貫通ビアホールとして形成することにより、半導体チップ1と各第4の配線48との接続状態に拘らず、第4の配線用凹部49を形成する工程を簡略化(単一化)することができる。ひいては、半導体装置32の製造効率を高めることができる。以下の説明において、半導体チップ1に電氣的に接続される第4の配線47が、各チップ接続配線5および各第3の配線47に一括して電氣的に接続されて設けられる箇所を、第2の配線接続部(第2の外部端子部、表層接続端子部)50と称することとする。

## 【0107】

第2の配線接続部50に形成される各非貫通ビアホール49は、例えばレーザー光線を用いて、Ni/Auめっき部7の表面が露出するまで封止樹脂10にその表面側から厚さ方向に沿って孔を開けることにより形成される。この際、第2の配線接続部50に形成される第4の配線用凹部49がフレキシブル基材41や各第2の配線43を貫通しない非

10

20

30

40

50

貫通ビアホールとして形成されるように、エッチングされて形成された表層接続端子部 50 の各チップ接続配線 5 を、ブラインド Cu マスクとして機能させる。

【0108】

次に、図 10 (c) に示すように、第 1 実施形態と同様の工程により、第 3 の配線 47 および第 4 の配線 48 となる 1 層の Cu 層 51 を、封止樹脂 10 の表面上および各非貫通ビアホール 49 の内側に一体に、かつ、一括して設ける。すなわち、無電解めっき法および電解めっき法を連続して行うことにより、厚さが約  $0.01\ \mu\text{m} \sim 1\ \mu\text{m}$  程度の無電解 Cu 層および厚さが約  $1\ \mu\text{m} \sim 30\ \mu\text{m}$  程度の電解 Cu 層が一体化されてなる 1 層の Cu 層 51 を、封止樹脂 10 の表面上および各非貫通ビアホール 49 の内側に一体に、かつ、一括して設ける。各非貫通ビアホール 49 の内側に設けられた Cu 層 51 は、そのまま第 4 の配線としての非貫通ビアプラグ 48 として用いられる。

10

【0109】

なお、本実施形態においては、電解 Cu 層の厚さは、各非貫通ビアホール 49 を塞がないように、各非貫通ビアホール 49 の直径の大きさに応じて適宜、適正な大きさに設定される。また、この一連のめっき工程においては、フレキシブル基材 41 のチップ搭載面 41b 側に露出されて基材本体 42 内に設けられた各第 2 の配線 43 の表面は、前述した各チップ接続配線 5 を形成する際に設けられたマスクで全面的に覆われたままであるとする。このマスクは、この一連のめっき工程が終了した後、所定の段階で各第 2 の配線 43 の表面から剥離されればよい。

【0110】

前述したように、表層接続端子部 50 に形成された各非貫通ビアプラグ 48 (Cu 層 51) は、封止樹脂 10 の表面上に設けられた第 3 の配線 47 となる Cu 層 51 と一体化されている。それとともに、表層接続端子部 50 に形成された各非貫通ビアプラグ 48 は、フレキシブル基材 2 のチップ搭載面 2a 上に形成されている各チップ接続配線 (第 1 の配線) 5 に、各 Ni/Au めっき部 7 を介して電氣的に接続されている。これにより、樹脂封止パッケージ 11 内の半導体チップ 1 は、図 2 (b) に示すように、内部配線としての各非貫通ビアプラグ 48 および各チップ接続配線 5 等を介して、外部配線としての第 2 および第 3 の各配線 43, 47 に電氣的に接続される。ただし、第 1 実施形態と同様に、全ての非貫通ビアプラグ 48 が半導体チップ 1 に電氣的に接続されて形成される必要はない。各非貫通ビアプラグ 48 のうちの幾つかは、半導体チップ 1 とは電氣的に非

20

30

【0111】

次に、図 11 (a) に示すように、第 1 実施形態と同様の工程により、封止樹脂 10 の表面上に、1 層の Cu 層 51 からなる複数本の第 3 の配線 47 を形成する。各第 3 の配線 47 のうちの幾つかは、各非貫通ビアプラグ (第 4 の配線) 48 および各チップ接続配線 (第 1 の配線) 5 を介して半導体チップ 1 に電氣的に接続されている。ただし、第 1 実施形態と同様に、全ての第 3 の配線 47 が半導体チップ 1 に電氣的に接続されて形成される必要はない。各第 3 の配線 47 のうちの幾つかは、半導体チップ 1 とは電氣的に非

40

【0112】

次に、図 11 (b) に示すように、第 1 実施形態と同様の工程により、複数本の第 3 の配線 47 が形成された封止樹脂 10 の表面上に、予め定められた所定のパターンでソルダーレジスト 17 を塗工する。

【0113】

50

この後、図示は省略するが、第1実施形態と同様の工程により、パッケージ搭載用端子となる各第3の配線47に、必要に応じてNi/Auめっき処理や防錆処理等の所定の表面処理を施す。続けて、樹脂封止パッケージ46のパッケージ搭載面46a上にクリーム半田を設ける。それとともに、樹脂封止パッケージ46の基板実装面46b上に、必要に応じて複数個の半田ボールを各第2の配線43に接触(接合)させて搭載する。続けて、クリーム半田が設けられた樹脂封止パッケージ46にリフローを実施して、ソルダーレジスト17から露出している各第3の配線47の表面を覆って、厚さが約50 $\mu$ m~0.3mmの半田層を形成する。それとともに、各非貫通ビアプラグ48が形成された各非貫通ビアホール49内を半田層により埋め込む。また、基板実装用端子となる各第2の配線43に、例えば防錆処理やNi/Auめっき処理等、半田が濡れ易く、かつ、高温テスト時に各第2の配線6の表面に非溶融酸化膜が形成され難くなる表面処理を必要に応じて施す。

10

#### 【0114】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ46の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ46ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ46を良品とする。これにより、図11(b)に示す樹脂封止パッケージ46を主要な構成部分とする、本実施形態に係る所望の半導体装置52を得る。

#### 【0115】

すなわち、樹脂封止パッケージ46のパッケージ搭載面46a上にパッケージ搭載用端子(パッケージ搭載用配線)としてのCu配線(第3の配線)47を複数本備えるとともに、樹脂封止パッケージ46の基板実装面46b側に、一端がチップ搭載基材41の基材本体42を貫通してチップ搭載基材41のチップ搭載面41a上に設けられた複数本のCuチップ接続配線(第1の配線)5に電氣的に接続されているとともに、他端がチップ搭載基材41のチップ非搭載面41b側に露出された基板実装用端子としてのCu配線(第2の配線)43を複数本備えており、かつ、各Cuチップ接続配線5にワイヤボンディング接続されてチップ搭載基材41に搭載された1個の半導体チップ1が、封止樹脂10をその厚さ方向に沿って貫通して設けられた複数本の非貫通ビアプラグ(第4の配線)48および各Cuチップ接続配線5を介して、各Cu配線43および各Cu配線47に電氣的に接続されている樹脂封止パッケージ46からなる半導体装置52を得る。

20

30

#### 【0116】

この後、半導体装置52のパッケージ搭載面46a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置52の基板実装面46b上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置52を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

#### 【0117】

以上説明したように、この第4実施形態によれば、前述した第1および第3の各実施形態で用いた両面銅貼テープ2の代わりに片面銅貼テープ41を用いても、第1および第3の各実施形態と同様の効果を得ることができる。また、Cuからなる各第2の配線43は、フレキシブル基材41の基材本体42の内部に埋め込み形成されているので酸化され難い。すなわち、各第2の配線43はそれらの品質が劣化し難く形成されており、耐久性および信頼性等が向上されている。ひいては、そのような各第2の配線43を備える本実施形態の半導体装置52は、その品質、信頼性、耐久性、および歩留まり等が向上されている。このように、本実施形態によれば、汎用性、品質、信頼性、耐久性、および歩留まり等が高い半導体装置52を効率良く低コストで、かつ、容易に製造することができる。

40

#### 【0118】

(第5の実施の形態)

次に、本発明に係る第5実施形態を図12~図14を参照しつつ説明する。図12~図14は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお

50

、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0119】

本実施形態においては、具体的には前述した第3実施形態と第4実施形態とを組み合わせる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

【0120】

先ず、図12(a)に示すように、チップ搭載基材として、前述した第4実施形態で用いた1枚のフレキシブル基材(片面銅貼テープ)41を用意する。このフレキシブル基材41のチップ搭載面41a上には、第3実施形態と同様の工程により、少なくとも1本のチップ接続配線を含む複数本の第1の配線5が設けられている。これら各第1の配線5の中には、少なくとも1個の半導体チップ1がフリップチップ接続法により電氣的に接続されて搭載されるチップマウントアイランド8も含まれる。また、チップマウントアイランド8のパッド接続部5aの表面上には、第3実施形態と同様の工程により、半導体チップ1の各接続用パッド部の配置に応じて複数個のNi/Auめっきバンプ31が設けられている。それとともに、フレキシブル基材41の各第1の配線接続部45には、第4実施形態と同様の工程により、一端がチップ搭載基材41の基材本体42を貫通してチップ搭載面41a上の各チップ接続配線(第1の配線)5に電氣的に接続されているとともに、他端がフレキシブル基材41のチップ非搭載面41b側に露出された第2の配線43が複数本設けられている。

10

【0121】

次に、図12(b)に示すように、第3実施形態と同様の工程により、1個の半導体チップ1を各Ni/Auめっきバンプ31を介してチップマウントアイランド8にフリップチップ接続する。それとともに、半導体チップ1を接着剤32によりチップマウントアイランド8に接着する。これにより、半導体チップ1は、少なくとも1本のチップ接続配線5に電氣的に接続されてフレキシブル基材41のチップ搭載面41a上に搭載される。

20

【0122】

次に、図12(c)に示すように、第3実施形態と同様に、トランスファモールド法により、半導体チップ1、各チップ接続配線5、チップマウントアイランド8(各パッド接続部5a)、各Ni/Auめっきバンプ31、および接着剤32等を覆って、フレキシブル基材41のチップ搭載面41a上に封止樹脂10を設ける。これまでの工程により、半導体チップ1、フレキシブル基材41、および封止樹脂10等からなる樹脂封止パッケージ61が作成される。この樹脂封止パッケージ61は、本実施形態の半導体装置64の主要な構成部分となる。

30

【0123】

次に、図13(a)に示すように、第4実施形態と同様の工程により、樹脂封止パッケージ61の各第2の配線接続部50に、封止樹脂10のみをその厚さ方向に沿って貫通して複数個の非貫通ビアホール49を設ける。

【0124】

次に、図13(b)に示すように、第4実施形態と同様に、無電解めっき法および電解めっき法を連続して行うことにより、厚さが約0.01 $\mu$ m~1 $\mu$ m程度の無電解Cu層および厚さが約1 $\mu$ m~30 $\mu$ m程度の電解Cu層が一体化されてなる1層のCu層51を、封止樹脂10の表面上および各非貫通ビアホール49の内側に一体に、かつ、一括して設ける。封止樹脂10の表面上に設けられたCu層51は、後の工程において複数本の第3の配線47に加工形成される。また、各非貫通ビアホール49の内側に設けられたCu層51は、そのまま複数本の第4の配線としての複数本の非貫通ビアプラグ48となる。

40

【0125】

次に、図13(c)に示すように、第4実施形態と同様の工程により、封止樹脂10の表面上に、1層のCu層51からなる複数本の第3の配線47を形成する。各第3の配線47のうちの幾つかは、各非貫通ビアプラグ48および各チップ接続配線5を介して半導体チップ1に電氣的に接続されている。

50



## 【0126】

前述した第1、第3、および第4の各実施形態と同様に、本実施形態においても、樹脂封止パッケージ61の第3の配線47が形成されている側（封止樹脂10側）の主面をパッケージ搭載面61aとするとともに、樹脂封止パッケージ61の第2の配線43が形成されている側（フレキシブル基材41側）の主面を基板実装面61bとする。

## 【0127】

次に、図13(d)に示すように、第1、第3、および第4の各実施形態と同様の工程により、複数本の第3の配線47が形成された封止樹脂10の表面上に、予め定められた所定のパターンでソルダーレジスト17を塗工する。続けて、図示は省略するが、第1実施形態と同様の工程により、パッケージ搭載用端子となる各第3の配線13に、必要に応じてNi/Auめっき処理や防錆処理等の所定の表面処理を施す。

10

## 【0128】

次に、図14(a)に示すように、樹脂封止パッケージ61のパッケージ搭載面61a上に、各第3の配線47および各非貫通ビアプラグ48に外部部品等を電氣的に接続するための接続用導電部材62を1個ずつ設ける。本実施形態においては、具体的には、ソルダーレジスト17から露出している各第3の配線47の表面上に半田ボール62を1個ずつ設ける。それとともに、非貫通ビアプラグ48が1本ずつ設けられた各非貫通ビアホール49の開口部に半田ボール62を1個ずつ設ける。

## 【0129】

次に、図14(b)に示すように、樹脂封止パッケージ61のパッケージ搭載面61a上に、半田層63を形成する。具体的には、第1実施形態と同様に、樹脂封止パッケージ61のパッケージ搭載面61a上に設けられた各半田ボール62にリフローを実施することにより、ソルダーレジスト17から露出している各第3の配線47の表面を覆って半田層63を形成する。それとともに、非貫通ビアプラグ48が1本ずつ設けられた各非貫通ビアホール49内を半田層19により埋め込む。この後、図示は省略するが、第1実施形態と同様の工程により、基板実装用端子となる各第2の配線43に、例えば防錆処理やNi/Auめっき処理等、半田が濡れ易く、かつ、高温テスト時に各第2の配線43の表面に非溶融酸化膜が形成され難くなる表面処理を必要に応じて施す。

20

## 【0130】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ61の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ61ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ61を良品とする。これにより、図14(b)に示す樹脂封止パッケージ61を主要な構成部分とする、本実施形態に係る所望の半導体装置64を得る。

30

## 【0131】

すなわち、樹脂封止パッケージ61のパッケージ搭載面61a上にパッケージ搭載用端子（パッケージ搭載用配線）としてのCu配線（第3の配線）47を複数本備えるとともに、樹脂封止パッケージ61の基板実装面61b側に、一端がチップ搭載基材41の基材本体42を貫通してチップ搭載基材41のチップ搭載面41a上に設けられた複数本のCuチップ接続配線（第1の配線）5に電氣的に接続されているとともに、他端がチップ搭載基材41のチップ非搭載面41b側に露出された基板実装用端子としてのCu配線（第2の配線）43を複数本備えており、かつ、各Cuチップ接続配線5にフリップチップ接続されてチップ搭載基材41に搭載された1個の半導体チップ1が、封止樹脂10をその厚さ方向に沿って貫通して設けられた複数本の非貫通ビアプラグ（第4の配線）48および各Cuチップ接続配線5を介して、各Cu配線43および各Cu配線47に電氣的に接続されている樹脂封止パッケージ61からなる半導体装置64を得る。

40

## 【0132】

この後、半導体装置64のパッケージ搭載面61a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置64の基板実装面6

50

1 b上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置64を必要に応じて複数個積層して、マルチチップパッケージとして用いる。なお、半導体装置64を複数個積層してマルチチップパッケージとして用いる技術については、後述する第6実施形態において詳しく説明する。

【0133】

以上説明したように、この第5実施形態によれば、前述した第1、第3、および第4の各実施形態と同様の効果を得ることができる。また、本実施形態においては、Cuからなる各第2の配線43が基材本体42の内部に埋め込み形成されたフレキシブル基材(片面銅貼テープ)41に、フリップチップ接続法により半導体チップ1を搭載する。これにより、半導体装置64の品質、信頼性、耐久性、性能、生産効率、および歩留まり等を向上させつつ、半導体装置64のコンパクト化および高集積化を図ることができるとともに、その生産コストを抑制することができる。すなわち、本実施形態によれば、汎用性、品質、信頼性、耐久性、性能(機能)、および歩留まり等が高く、かつ、コンパクトな半導体装置64を効率良く低コストで、かつ、容易に製造することができる。

10

【0134】

(第6の実施の形態)

次に、本発明に係る第6実施形態を図15および図16を参照しつつ説明する。図15および図16は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0135】

本実施形態においては、前述した第5実施形態に係る半導体装置64を複数個積層してなる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

20

【0136】

まず、図15に示すように、4個の第5実施形態の半導体装置64を積層して配置する。この際、下側の半導体装置64のパッケージ搭載面61a上の各半田層63と、上側の半導体装置64の基板実装面61b上の各下部接続端子(下部接続配線、各第2の配線)43とを接触させて、各半導体装置64を配置する。

【0137】

次に、図16に示すように、積層された4個の半導体装置64に対してリフローを実施する。これにより、隣接する半導体装置64同士が電氣的に接続されるとともに、互いに接合される。

30

【0138】

この後、図示は省略するが、接合された4個の半導体装置64からなる積層体に、これが実際に製品として使用できるか否かを検査するための各種テストを、低温あるいは高温等の様々な環境下で実施する。そして、これらのテストに合格した積層体を良品とする。これにより、図16に示すように、本実施形態に係る所望の半導体装置71を得る。すなわち、シングルチップパッケージ(シングルチップモジュール)としての第5実施形態の半導体装置64を4個積層してなる、チップ積層型のマルチチップパッケージ(マルチチップモジュール)としての半導体装置71を得る。

【0139】

この後、最上層のシングルチップパッケージ64のパッケージ搭載面61a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、最下層のシングルチップパッケージ64の基板実装面61b上には、必要に応じて図示しない実装基板が実装される。

40

【0140】

以上説明したように、この第6実施形態によれば、前述した第2実施形態と同様の効果を得ることができる。また、本実施形態のチップ積層型のマルチチップパッケージ71においては、第5実施形態の半導体装置64をシングルチップパッケージとして用いて積層する。これにより、マルチチップパッケージ71の品質、信頼性、耐久性、性能、生産効率、および歩留まり等をより向上させつつ、よりコンパクト化、かつ、より高集積化でき

50

るとともに、その生産コストをより抑制することができる。すなわち、本実施形態によれば、汎用性、品質、信頼性、耐久性、性能（機能）、および歩留まり等がより高く、かつ、よりコンパクトなチップ積層型のマルチチップパッケージ71をより効率良く、より低コストで、かつ、より容易に製造することができる。

#### 【0141】

（第7の実施の形態）

次に、本発明に係る第7実施形態を図17を参照しつつ説明する。図17は、本実施形態に係る半導体装置を示す断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

#### 【0142】

本実施形態においては、1個の半導体装置の中に複数個の半導体素子を積層してなる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

#### 【0143】

先ず、図17(a)には、前述した第1実施形態に係る樹脂封止パッケージ11（半導体装置20）と同様に、両面銅貼テープからなるフレキシブル基材2のチップ搭載面2a上に半導体チップ1をワイヤボンディング接続して搭載した樹脂封止パッケージ81を示す。フレキシブル基材2には、第1の配線（チップ接続配線）5が複数本形成されている。ただし、第1実施形態と異なり、フレキシブル基材2のチップ搭載面2a上には、3個の半導体チップ1が積層されて搭載されている。各半導体チップ1は、それぞれAuボンディングワイヤ9により各チップ接続配線5に電氣的に接続されている。また、封止樹脂10の表面上には、第3の配線となるCu箔82が設けられている。

#### 【0144】

図示は省略するが、このような構成からなる樹脂封止パッケージ81に、第2～第4の各配線をそれぞれ複数本ずつ形成する。第2～第4の各配線のうち第2および第3の各配線は、第1実施形態と同様の工程により形成すればよい。すなわち、各第2の配線は、フレキシブル基材2のチップ非搭載面2b上に設けられているCu箔4を所定のパターンにエッチングして形成すればよい。同様に、各第3の配線は、封止樹脂10の表面上に設けられているCu箔82を所定のパターンにエッチングして形成すればよい。ただし、各第4の配線（スループラグ）は、第1実施形態と異なり、各第3の配線とは別体に、かつ、別工程で形成する。

#### 【0145】

具体的には、先ず、ドリル等を用いて、Cu箔82（各第3の配線）、封止樹脂10、各Ni/Auめっき部7、各チップ接続配線（第1の配線）、フレキシブル基材2、およびCu箔4（各第2の配線）を樹脂封止パッケージ81の厚さ方向に沿って一括して貫通して複数個のスルーホールを形成する。この後、例えばめっき法により、各スルーホールの内壁面を覆ってCu層を設ける。これにより、各チップ接続配線（第1の配線）、各第2の配線、および各第3の配線を樹脂封止パッケージ81の厚さ方向に沿って一括して電氣的に接続するスループラグを、樹脂封止パッケージ81に複数本形成する。

#### 【0146】

なお、このような配線形成工程によれば、各第2の配線、各第3の配線、および各スループラグを形成する順番は適宜、適正な順番に設定することができる。例えば、各第2の配線、各第3の配線、そして各スループラグの順番に形成しても構わない。また、各第3の配線、各第2の配線、そして各スループラグの順番に形成しても構わない。また、各スループラグ、各第2の配線、そして各第3の配線の順番に形成しても構わない。あるいは、各第2の配線および各第3の配線を一括して形成した後、各スループラグを形成しても構わない。さらには、各スループラグを形成した後、各第2の配線および各第3の配線を一括して形成しても構わない。

#### 【0147】

樹脂封止パッケージ81に第2～第4の各配線を形成した後、各第2の配線が形成され

10

20

30

40

50

たフレキシブル基材 2 のチップ非搭載面 2 b 上および各第 3 の配線が形成された封止樹脂 10 の表面上に、それぞれ予め定められた所定のパターンでソルダーレジストを塗工する。続けて、各第 2 の配線および各第 3 の配線のうちパッケージ搭載用端子となる各配線に、必要に応じて Ni / Au めっき処理や防錆処理等の所定の表面処理を施す。続けて、樹脂封止パッケージ 8 1 のパッケージ搭載面 8 1 a 上にクリーム半田を設ける。それとともに、樹脂封止パッケージ 8 1 の基板実装面 8 1 b 上に、必要に応じて複数個の半田ボールを各第 2 の配線に接触（接合）させて搭載する。

**【0148】**

続けて、クリーム半田が設けられた樹脂封止パッケージ 8 1 にリフローを実施して、ソルダーレジストから露出している各第 3 の配線の表面を覆って半田層を形成する。それとともに、各スループラグ（第 4 の配線）が形成された各スルーホール内を半田層により埋め込む。また、基板実装用端子となる各第 2 の配線に、例えば防錆処理や Ni / Au めっき処理等、半田が濡れ易く、かつ、高温テスト時に各第 2 の配線の表面に非溶融酸化膜が形成され難くなる表面処理を必要に応じて施す。

10

**【0149】**

続けて、これまでの工程により一括して作製された樹脂封止パッケージ 8 1 の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ 8 1 ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ 8 1 を良品とする。これにより、図 17 ( a ) に示す樹脂封止パッケージ 8 1 を主要な構成部分とする、本実施形態に係る所望の半導体装置 8 3 を得る。すなわち、第 1 実施形態の樹脂封止パッケージ 1 1 と略同様の構成からなる樹脂封止パッケージ 8 1 内に、ワイヤボンディング法により 3 個の半導体チップ 1 が積層されて搭載されている半導体装置 8 3 を得る。

20

**【0150】**

この後、半導体装置 8 3 のパッケージ搭載面 8 1 a 上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置 8 3 の基板実装面 7 8 b 上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置 8 3 を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

**【0151】**

次に、図 17 ( b ) には、前述した第 4 実施形態に係る樹脂封止パッケージ 4 6 (半導体装置 5 2) と同様に、片面銅貼テープからなるフレキシブル基材 4 1 のチップ搭載面 4 1 a 上に半導体チップ 1 をフリップチップ接続して搭載した樹脂封止パッケージ 8 4 を示す。フレキシブル基材 4 1 には、第 1 の配線（チップ接続配線）5 および第 2 の配線 4 3 がそれぞれ複数本ずつ形成されている。ただし、第 4 実施形態と異なり、フレキシブル基材 4 1 のチップ搭載面 4 1 a 上には、3 個の半導体チップ 1 が積層されて搭載されている。各半導体チップ 1 は、それぞれ Au ボンディングワイヤ 9 により各チップ接続配線 5 に電氣的に接続されている。また、封止樹脂 10 の表面上には、第 3 の配線となる Cu 箔 8 2 が設けられている。

30

**【0152】**

図示は省略するが、このような構成からなる樹脂封止パッケージ 8 4 に、第 3 および第 4 の各配線をそれぞれ複数本ずつ形成する。各第 3 の配線は、第 4 実施形態と同様に、封止樹脂 10 の表面上に設けられている Cu 箔 8 2 を所定のパターンにエッチングして形成すればよい。ただし、各第 4 の配線（非貫通ヴィアプラグ）は、第 4 実施形態と異なり、各第 3 の配線とは別体に、かつ、別工程で形成する。

40

**【0153】**

具体的には、先ず、所定のレーザー光線等を用いて、Cu 箔 8 2 (各第 3 の配線) および封止樹脂 10 のみを樹脂封止パッケージ 8 4 の厚さ方向に沿って一括して貫通して複数個の非貫通ヴィアホールを形成する。この後、例えばめっき法により、各非貫通ヴィアホールの内側に Cu 層を設ける。これにより、各第 3 の配線および各第 2 の配線に電氣的に接続されている各チップ接続配線（第 1 の配線）を、樹脂封止パッケージ 8 4 の厚さ方向

50

に沿って一括して電氣的に接続する非貫通ヴィアプラグを、樹脂封止パッケージ 8 4 に複数本形成する。

【 0 1 5 4 】

なお、このような配線形成工程によれば、各第 3 の配線および各非貫通ヴィアプラグを形成する順番は適宜、適正な順番に設定することができる。例えば、各第 3 の配線、そして各非貫通ヴィアプラグの順番に形成しても構わない。あるいは、各非貫通ヴィアプラグ、そして各第 3 の配線の順番に形成しても構わない。

【 0 1 5 5 】

樹脂封止パッケージ 8 4 に第 3 および第 4 の各配線を形成した後、各第 2 の配線 4 3 が形成されたフレキシブル基材 4 1 のチップ非搭載面 4 1 b 上および各第 3 の配線が形成された封止樹脂 1 0 の表面上に、それぞれ予め定められた所定のパターンでソルダーレジストを塗工する。続けて、各第 2 の配線および各第 3 の配線のうちパッケージ搭載用端子となる各配線に、必要に応じて Ni / Au めっき処理や防錆処理等の所定の表面処理を施す。続けて、樹脂封止パッケージ 8 4 のパッケージ搭載面 8 4 a 上にクリーム半田を設ける。それとともに、樹脂封止パッケージ 8 4 の基板実装面 8 4 b 上に、必要に応じて複数個の半田ボールを各第 2 の配線 4 3 に接触（接合）させて搭載する。

10

【 0 1 5 6 】

続けて、クリーム半田が設けられた樹脂封止パッケージ 8 4 にリフローを実施して、ソルダーレジストから露出している各第 3 の配線の表面を覆って半田層を形成する。それとともに、各非貫通ヴィアプラグ（第 4 の配線）が形成された各非貫通ヴィアホール内を半田層により埋め込む。また、基板実装用端子となる各第 2 の配線 4 3 に、例えば防錆処理や Ni / Au めっき処理等、半田が濡れ易く、かつ、高温テスト時に各第 2 の配線 4 3 の表面に非溶融酸化膜が形成され難くなる表面処理を必要に応じて施す。

20

【 0 1 5 7 】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ 8 4 の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ 8 4 ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ 8 4 を良品とする。これにより、図 1 7 ( b ) に示す樹脂封止パッケージ 7 4 を主要な構成部分とする、本実施形態に係る他の所望の半導体装置 8 5 を得る。すなわち、第 4 実施形態の樹脂封止パッケージ 4 6 と略同様の構成からなる樹脂封止パッケージ 8 4 内に、ワイヤボンディング法により 3 個の半導体チップ 1 が積層されて搭載されている半導体装置 8 5 を得る。

30

【 0 1 5 8 】

この後、半導体装置 8 5 のパッケージ搭載面 8 4 a 上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置 8 5 の基板実装面 8 4 b 上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置 8 5 を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

【 0 1 5 9 】

以上説明したように、この第 7 実施形態によれば、前述した第 1 および第 3 ~ 第 5 の各実施形態と同様の効果を得ることができる。また、本実施形態の各半導体装置 8 3 , 8 5 は、それらの中に複数個の半導体チップ 1 が積層されて備えられている。すなわち、本実施形態の各半導体装置 8 3 , 8 5 は、それぞれが 1 個でチップ積層型のマルチチップパッケージとして構成されている。したがって、各半導体装置 8 3 , 8 5 は、第 1 および第 3 ~ 第 5 の各実施形態の各半導体装置 2 0 , 3 4 , 5 2 , 6 4 に比べて、さらに高集積化および高機能化（多機能化）が図られている。また、半導体チップ 1 の積層数が同じであれば、第 1 および第 5 の各実施形態の半導体装置 2 0 , 6 4 を複数個積層してなる第 2 および第 6 の各実施形態の半導体装置（マルチチップパッケージ） 2 1 , 7 1 に比べて、極めてコンパクトに作製することができる。

40

【 0 1 6 0 】

（第 8 の実施の形態）

50

次に、本発明に係る第8実施形態を図18～図20を参照しつつ説明する。図18は、本実施形態に係る半導体装置が備える第3の配線となる導電体を示す斜視図および平面図である。図19および図20は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0161】

本実施形態においては、封止樹脂と第3の配線（上部配線、パッケージ搭載用配線）とを一括して設けてなる半導体装置およびその製造方法について説明する。以下、詳しく説明する。

【0162】

先ず、本発明を説明するのに先立って、本実施形態に対する比較例としての背景技術について図25～図27を参照しつつ説明する。

【0163】

図25に示す半導体装置（半導体パッケージ）301は、例えば次に述べる方法により製造される。先ず、半導体チップ302をダイパッド303にダイアタッチする。続けて、半導体チップ302が有する図示しない複数個の接続パッド（電極）を、複数本のボンディングワイヤ304を介して複数本のリードフレーム305に電氣的に接続する。続けて、半導体チップ302、ダイパッド303、各ボンディングワイヤ304、および各リードフレーム305を図示しないモールド金型のキャビティ内に収容する。この後、エポキシとシリカフィラーとの混合樹脂からなる封止樹脂（モールド樹脂）306をキャビティ内に流し込み、トランスファ成形（トランスファモールド成形）を実行する。この際、各リードフレーム305の半導体チップ302に接続されていない側の端部がモールド樹脂306により覆われない設定とする。これにより、図25に示すように、各リードフレーム305の半導体チップ302に接続されていない側の端部がモールド樹脂306から露出された半導体パッケージ（樹脂封止パッケージ）301を得る。

【0164】

また、図26に示す半導体装置（半導体パッケージ）311は、例えば次に述べる方法により製造される。先ず、複数個の半導体チップ302を1枚のチップ搭載基板312上に積層して搭載する。各半導体チップ302は、チップ搭載基板312または下側の半導体チップ302に接着材313を用いて接着される。それとともに、各半導体チップ302の各接続パッドを、複数本のボンディングワイヤ304を介してチップ搭載基板312のチップ搭載面312a上に設けられている複数本のチップ接続配線314に電氣的に接続する。続けて、各半導体チップ302、チップ搭載基板312、および各ボンディングワイヤ304をモールド金型のキャビティ内に収容する。この後、エポキシとシリカフィラーとの混合樹脂からなるモールド樹脂306をキャビティ内に流し込み、トランスファ成形を実行する。この際、モールド樹脂306が、各半導体チップ302、各ボンディングワイヤ304、および各チップ接続配線314を覆って、チップ搭載基板312のチップ搭載面312a上にのみ設けられる設定とする。この後、チップ搭載基板312のチップ非搭載面312b上に、外部端子としての半田ボール（Ball Grid Array：BGA）315を複数個設ける。これにより、図26に示すように、各半導体チップ302、各ボンディングワイヤ304、および各チップ接続配線314がモールド樹脂306により覆われた、チップ積層型の半導体パッケージ（マルチチップBGAパッケージ）311を得る。

【0165】

また、図27に示す半導体装置（半導体パッケージ）321は、実質的に、前述した図26に示すチップ積層型の半導体パッケージ311において、チップ搭載基板312上に半導体チップ302を1個だけ搭載したパッケージである。すなわち、図27に示す半導体パッケージ321は、いわゆるシングルチップBGAパッケージである。

【0166】

以上説明した半導体パッケージの製造方法によれば、各半田ボール315や各リードフ

10

20

30

40

50

レーム 305 の端部等、チップ搭載基板 312 やリードフレーム 305 に予め作り込んだ I/O 端子以外はモールド樹脂 306 により覆われてしまう。すなわち、前述した半導体パッケージの製造方法によれば、各半導体パッケージ 301, 311, 321 の上面となるモールド樹脂 306 の表面に、他の装置や部品を電氣的に接続するための配線や端子を作ることができない。このため、図示は省略するが、各半導体パッケージ 301, 311, 321 を実装基板上に実装すると、各半導体パッケージ 301, 311, 321 を実装したエリアには他の半導体パッケージや受動部品等を実装（配置）することができない。したがって、各半導体パッケージ 301, 311, 321 を他の半導体パッケージや受動部品等と併せて 1 枚の実装基板上に混載しようとする、それらを実装基板の表面に沿った方向でしか配置することができず、半導体パッケージ 301, 311, 321 は実装密度を高めることに対する支障となってしまう。

10

**【0167】**

なお、図 25 ~ 図 27 に示すような構造からなる半導体装置およびその製造方法に関する技術は、例えば特開平 11 - 87560 号公報、特開平 10 - 284873 号公報、特開 2001 - 189515 号公報、特開 2001 - 223295 号公報、特開 2001 - 127186 号公報、特開 2000 - 31207 号公報等に関示されている。

**【0168】**

本実施形態は、前述した構造からなる樹脂封止パッケージ（モールドイングパッケージ）を用いる場合の実装密度の低下を改善するためになされたものであり、その目的とするところは、外部装置等を接続できる配線や端子を封止部材の表面に備えるとともに、容易に、かつ、効率良く製造できる半導体装置を提供することにある。また、そのような半導体装置を容易に、かつ、効率良く製造できる半導体装置の製造方法を提供することにある。

20

**【0169】**

本実施形態においては、前述した第 1、第 3 ~ 第 5、および第 7 の各実施形態と同様に、基板上に搭載された半導体チップをトランスファモールド法により封止する。ただし、封止を行う際に、モールド金型と半導体チップ（基板）との間に、半導体チップを覆う箱形状に形成された導電体を設置する。そして、この導電体と半導体チップが搭載された基板との間に向けて封止部材を供給する。これにより、半導体チップ等の封止と封止樹脂の表面（モールド封止面）上への導電体の設置とを一括して行う。モールド封止面上に設けられた導電体は、上部配線（上部端子）やパッケージ搭載用配線（パッケージ搭載用端子）となる。以下、本実施形態に係る半導体装置およびその製造方法について、図 18 ~ 図 20 を参照しつつ詳しく説明する。

30

**【0170】**

まず、図 18 (a), (b) を参照しつつ、封止樹脂 10 の表面上に設けられて第 3 の配線（上部配線、パッケージ搭載用配線）となる導電体 91 について説明する。導電体 91 には、その厚さが約 1 ~ 20  $\mu\text{m}$  の電解銅からなる銅箔（Cu 箔）を用いることが好ましい。本実施形態で用いる Cu 箔 91 は、図 18 (a) に示すように、それぞれ四角形状に形成された 1 つの主面（蓋部、底部）91a および 4 つの側面（側壁部）91b からなる。Cu 箔 91 は、具体的には、後述するモールドイング工程において用いるモールド金型 84 のキャビティ部 85 の形状に合う箱形状に形成される。また、Cu 箔 91 は、封止樹脂 10（半導体チップ 1）に対向する側が開口されて、チップ搭載基材 2（41）に搭載された半導体チップ 1 を覆う箱形状に形成される。

40

**【0171】**

Cu 箔 91 の箱形状への成形は、具体的には、図 18 (b) に示すような十字形状への切り出しと、および図 18 (a) に示すような箱形状への折り曲げとを、図示しない打ち抜き金型を用いて一括して行うことが好ましい。この際、各側壁部（折り曲げ部）91b の高さ（幅）は、それらが封止工程中および封止工程後にチップ搭載基材 2（41）に搭載された半導体チップ 1 に接触するおそれがない大きさに設定される。具体的には、各側壁部 91b の高さは、チップ搭載基材 2（41）のチップ搭載面 2a（41a）から半導

50

体チップの表面（上面）までの高さに、約10～200 $\mu$ m加えた大きさに設定されることが好ましい。

#### 【0172】

また、Cu箔91には、その外側から内側に封止樹脂10を導入するための封止部材導入口92が少なくとも1箇所に設けられる。この封止部材導入口92は、モールド金型94の封止樹脂射出ゲート部96に対応する位置に設けられる。本実施形態においては、封止部材導入口92は、図18(a)、(b)に示すように、Cu箔91の四隅のうちの1箇所に設けられる。また、封止部材導入口92は、これを介してCu箔91の外側から内側に封止樹脂10を円滑に流入させるために、各側壁部91b同士の間隔をモールド金型94の封止樹脂射出ゲート部96と同等以上の大きさに離間させることにより形成される。

10

#### 【0173】

同様に、Cu箔91には、その内側と外側とで気体を自在に出入りさせるための通気口93が、封止部材導入口92とは異なる箇所に少なくとも1個設けられる。モールド金型94には、その内部に封止樹脂10が流れ込んだ際にその封止樹脂10と略同体積のエアを金型94内から排出するためのエアイベント部（エアイベント口）97が設けられている。通気口93は、モールド金型94のエアイベント部97に対応する位置に設けられる。本実施形態においては、通気口93は、図18(a)、(b)に示すように、Cu箔91の四隅のうち封止部材導入口92が設けられていない3箇所に設けられる。また、通気口93は、これを介して金型94内のエアをCu箔91の内側から外側に排出できるように、各側壁部91b同士の間隔をモールド金型94のエアイベント部97と同等以下の大きさに離間させることにより形成される。各通気口93は、封止部材導入口92よりも狭く形成される。

20

#### 【0174】

次に、図19(a)～(c)を参照しつつ、半導体チップ1等の封止および封止樹脂10の表面上へのCu箔91の設置を一括して行う、本実施形態のトランスファモールド法について説明する。

#### 【0175】

まず、図19(a)に示すように、モールド上金型94aおよびモールド下金型94bからなるモールド金型94のキャビティ部95内に、半導体チップ1が搭載されたチップ搭載基材2(41)を配置する。併せて、半導体チップ1やAuボンディングワイヤ9等をそれらの上方から覆うように、前述した箱形状のCu箔91を、その開口側を半導体チップ1に対向させてキャビティ部95内に配置する。すなわち、Cu箔91の蓋部91aおよび側壁部91bをキャビティ部95のモールド上金型94a側の内面に沿わせて、Cu箔91をキャビティ部95内に配置する。この際、図19(a)に示すように、Cu箔91の封止部材導入口92をモールド金型94の封止樹脂射出ゲート部96に対向させる。同様に、Cu箔91の各通気口93をモールド金型84のエアイベント部97に対向させる。このように、半導体チップ1が搭載されたチップ搭載基材2(41)およびCu箔91をモールド金型94のキャビティ部95内に収容した後、キャビティ部95内に向けて封止樹脂10を射出する。

30

40

#### 【0176】

次に、図19(b)に示すように、モールド金型94の封止樹脂射出ゲート部96から、Cu箔91の封止部材導入口92を介して、Cu箔91と半導体チップ1が搭載されたチップ搭載基材2(41)との間に封止樹脂10を導入する。

#### 【0177】

次に、図19(c)に示すように、Cu箔91の内面、チップ搭載基材2(41)上の半導体チップ1、および各Auボンディングワイヤ9等を略全て覆うまで、Cu箔91とチップ搭載基材2(41)との間に封止樹脂10を流入（充填）させる。これにより、Cu箔91の表面を露出させつつ、半導体チップ1や各Auボンディングワイヤ9等の封止と、封止樹脂10の表面（モールド封止面）上へのCu箔91の取り付けとを一括して行

50



う。モールド封止面上に設けられたCu箔91は、第3の配線、すなわち上部配線（上部端子）やパッケージ搭載用配線（パッケージ搭載用端子）99となる。これまでの工程により、半導体チップ1、フレキシブル基材2（41）、封止樹脂10、およびCu箔91等からなる樹脂封止パッケージ（モールド封止パッケージ）98が作成される。この樹脂封止パッケージ98は、本実施形態の半導体装置92の主要な構成部分となる。

#### 【0178】

このような本実施形態のトランスファモールディング工程によれば、箱形状のCu箔91は、その内側に流れ込んだ封止樹脂10の圧力（射出圧）により、モールド上金型94a側に押し付けられる。この結果、Cu箔91は、さらにキャビティ部95のモールド上金型94a側の内面に沿う形状（金型形状）に成形される。前述したように、Cu箔91の各側壁部91bの高さは、それらが封止工程中および封止工程後にチップ搭載基材2（41）に搭載された半導体チップ1等に接触するおそれがない大きさに設定されている。したがって、Cu箔91は、半導体チップ1や各Auボンディングワイヤ9等に接触することなく、モールド封止面上に取り付けられる。

#### 【0179】

また、前述したトランスファモールディング工程によれば、図19（c）に示すように、封止樹脂10の圧力によりキャビティ部95のモールド上金型94a側の内面に沿って成形されたCu箔91が、封止樹脂（モールド樹脂）10とモールド上金型94aとの間に設けられる。そのような位置に配置されたCu箔91は離型材の役割を果たすので、モールド金型84と樹脂封止パッケージ98との離型性向上に寄与する。これにより、モールド樹脂10の組成材料全体に占める離型材の割合を低減させて、モールド樹脂10とCu箔91との密着強度を向上させることができる。併せて、モールド樹脂10と半導体チップ1やチップ搭載基材2（41）との密着強度を向上させることができる。この結果、樹脂封止パッケージ98全体の封止性（密封性）を向上させることができる。

#### 【0180】

なお、前述したトランスファモールディング工程を行うのに先立って、チップ搭載基材2（41）のチップ搭載面2a（41a）上には、各Auボンディングワイヤ9を介して半導体チップ1が電氣的に接続されるチップ接続配線（第1の配線）5が予め複数本形成される。そして、チップ搭載基材2を用いる場合には、トランスファモールディング工程後に、チップ搭載基材2のチップ非搭載面2b上に第2の配線6が複数本形成される。これら各第2の配線6は、半導体チップ1を樹脂封止パッケージ98の外部の部品等に電氣的に接続するための外部接続配線（外部接続端子）や、半導体チップ1を実装基板に実装するための外部実装配線（外部実装端子）等となる。それとともに、チップ搭載基材2には、トランスファモールディング工程後に、前述した各第1の配線接続部（縦接続部）16においてチップ搭載基材2を貫通して第4の配線が複数本形成される。これら各第4の配線は、各チップ接続配線5と各第2の配線6とをチップ搭載基材2の厚さ方向（縦方向）に沿って電氣的に接続するための縦接続配線となる。

#### 【0181】

これに対して、チップ搭載基材41を用いる場合には、トランスファモールディング工程を行うのに先立って、前述した各第1の配線接続部（第1の外部端子部、縦接続部）45においてチップ搭載基材41を貫通して第2の配線43が予め複数本形成される。そして、これら各第2の配線43自体が、縦接続配線の一部としての役割を果たす。

#### 【0182】

ただし、図19（a）～（c）においては、図面を見易くするために、チップ搭載基材2（41）の基材本体3，42のみを図示し、チップ接続配線（第1の配線）5および第2の配線43等の各配線の図示を省略している。

#### 【0183】

次に、図20（a），（b）を参照しつつ、前述したトランスファモールディング工程により作成された樹脂封止パッケージ98に、上部配線（パッケージ搭載用配線）としての第3の配線99や、縦接続配線としての第4の配線100等を形成する工程について簡

10

20

30

40

50

潔に説明する。以下、チップ搭載基材として両面銅貼テープであるチップ搭載基材 2 を用いる場合について説明する。この場合、第 3 の配線 9 9 および第 4 の配線 1 0 0 は、前述した第 1 および第 3 の各実施形態と略同様の方法により形成される。なお、チップ搭載基材の代わりにリードフレームを用いる場合については、第 9 実施形態において説明する。

#### 【 0 1 8 4 】

先ず、図 2 0 ( a ) に示すように、Cu 箔 8 1 が封止樹脂 1 0 の表面上に一体化されて設けられた樹脂封止パッケージ 8 8 の各第 1 の配線接続部 ( 縦接続部 ) 1 6 に、ドリルあるいはレーザーなどを用いてスルーホール 1 2 を 1 個ずつ形成する。本実施形態においては、各スルーホール 1 2 は、樹脂封止パッケージ 9 8 の各縦接続部 1 6 において、チップ搭載基材 2 のチップ非搭載面 2 b 上に設けられている Cu 箔 4 ( 第 2 の配線 6 ) を貫通せず、Cu 箔 9 1、封止樹脂 1 0、各チップ接続配線 5、および基材本体 3 のみを貫通して形成される。この際、各スルーホール 1 2 の径の大きさは、樹脂封止パッケージ 9 8 の厚さとの比が約 1 : 6 以下となる大きさに設定されることが好ましい。また、チップ搭載基材 2 の各スルーホール 1 2 が形成される部分 ( 縦接続部 1 6 ) の径の大きさは、各スルーホール 1 2 の径の大きさに約 5 ~ 1 0 0  $\mu\text{m}$  程度加えた大きさに設定されることが好ましい。すなわち、各チップ接続配線 ( 第 1 の配線 ) 5 や各第 2 の配線 6 となる Cu 箔 4 のうち、第 4 の配線としてのスループラグ 1 0 0 に電氣的に接続される部分の径の大きさは、スルーホール 1 2 の径の大きさに約 5 ~ 1 0 0  $\mu\text{m}$  程度加えた大きさに設定されることが好ましい。

10

#### 【 0 1 8 5 】

次に、図 2 0 ( b ) に示すように、無電解銅めっきを行うことにより、各スルーホール 1 2 の内壁面に厚さ約 0 . 0 1 ~ 3  $\mu\text{m}$  程度の無電解 Cu めっき膜を全面的に設ける。これにより、樹脂封止パッケージ 9 8 のパッケージ搭載面 ( 上面、表面 ) 9 8 a 上に設けられている Cu 箔 9 1 と樹脂封止パッケージ 9 8 の基板実装面 ( 下面、裏面 ) 9 8 b 上に設けられている Cu 箔 4 との導電性が、各スルーホール 1 2 内の無電解 Cu めっき膜により確保される。なお、この無電解めっき工程を行うのに際して、樹脂封止パッケージ 9 8 の露出面上に既にエッチング済み ( パターン形成済み ) の配線や端子等があれば、それらを図示しないマスクにより予め覆っておく。この後、各スルーホール 1 2 内の無電解 Cu めっき膜をシード層として電解銅めっきを行うことにより、各スルーホール 1 2 内の Cu 膜の膜厚を一般的な配線の厚さと同程度の厚さまで厚くする。これにより、各スルーホール 1 2 内に一体化された無電解 Cu めっき膜および電解 Cu めっき膜からなる Cu 膜 1 0 0 を設ける。これら各 Cu 膜 1 0 0 は、そのまま縦接続配線としてのスループラグ ( 第 4 の配線 ) となる。

20

30

#### 【 0 1 8 6 】

この後、図示は省略するが、感光性ドライフィルムなどのレジスト膜を Cu 箔 9 1 の表面上に貼り付ける。続けて、Cu 箔 9 1 側の複数個の縦接続端子 ( 配線 )、パッケージ搭載面 9 8 a 上に搭載する部品の接続端子に応じた実装端子、および複数本の第 3 の配線 9 9 等のそれぞれのパターンが描画されている露光マスクを用いて露光作業を行う。これにより、Cu 箔 9 1 の表面に、前述した各端子や各第 3 の配線 9 9 等のパターンを転写する。この後、Cu 箔 9 1 にエッチング処理や現像処理等を施す。これにより、樹脂封止パッケージ 9 8 のパッケージ搭載面 9 8 a 上に複数本の第 3 の配線 9 9 等が形成される。続けて、必要に応じて、各第 3 の配線 9 9 の表面上にソルダーレジストを塗工したり、各縦接続端子や各実装端子等の表面に Ni / Au めっきを施したりする。

40

#### 【 0 1 8 7 】

同様に、図示は省略するが、感光性ドライフィルムなどのレジスト膜をチップ搭載基材 2 のチップ非搭載面 2 b 上に設けられている Cu 箔 4 に貼り付ける。続けて、Cu 箔 4 側の複数個の縦接続端子 ( 配線 )、基板実装面 9 8 b 上に実装する基板の接続端子に応じた実装端子、および複数本の第 2 の配線 6 等のそれぞれのパターンが描画されている露光マスクを用いて露光作業を行う。これにより、Cu 箔 4 の表面に、前述した各端子や各第 2 の配線 6 等のパターンを転写する。この後、Cu 箔 4 にエッチング処理や現像処理等を施

50

す。これにより、樹脂封止パッケージ 98 の基板実装面 98 b 上に複数本の第 2 の配線 6 等が形成される。続けて、必要に応じて、各第 2 の配線 6 の表面上にソルダーレジストを塗工したり、各縦接続端子や各実装端子等の表面に Ni / Au めっきを施したりする。

#### 【0188】

これまでの工程により、図 20 ( b ) に示すように、樹脂封止パッケージ 98 のパッケージ搭載面 98 a 上に、所望の配線パターンからなる複数本の第 3 の配線 99 等を形成することができる。各第 3 の配線 99 は、パッケージ搭載面 98 a 上にパッケージ等の部品を搭載するための部品搭載用配線 ( 部品搭載用端子 ) となる。また、各第 2 の配線 6 には、例えば防錆処理や Ni / Au めっき処理等、半田が濡れ易く、かつ、高温テスト時に各第 2 の配線 6 の表面に非溶融酸化膜が形成され難くなる表面処理が必要に応じて施される。それとともに、樹脂封止パッケージ 98 の基板実装面 98 b 上に、複数個の半田ボール 101 を各第 2 の配線 6 に接触 ( 接合 ) させて搭載する。

10

#### 【0189】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ 98 の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ 98 ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ 98 を良品とする。これにより、図 20 ( b ) に示す樹脂封止パッケージ 98 を主要な構成部分とする、本実施形態に係る所望の半導体装置 102 を得る。すなわち、トランスファモールディング工程により、複数本の第 3 の配線 99 と封止樹脂 10 とが一体に、かつ、一括して設けられた樹脂封止パッケージ 98 からなる半導体装置 102 を得る。

20

#### 【0190】

この後、半導体装置 102 のパッケージ搭載面 98 a 上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置 102 の基板実装面 98 b 上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置 102 を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

#### 【0191】

以上説明したように、この第 8 実施形態によれば、前述した第 1 および第 3 ~ 第 5 の各実施形態と同様の効果を得ることができる。また、本実施形態においては、トランスファモールディング工程により、第 3 の配線 99 となる Cu 箔 91 と封止樹脂 10 とを一体に、かつ、一括して設ける。これにより、各第 3 の配線 99 と封止樹脂 10 との密着強度を高めることができる。封止樹脂 10 との密着強度を高められた各第 3 の配線 99 は、それらの強度、耐久性、および信頼性も高められている。それとともに、各第 3 の配線 99 と封止樹脂 10 との密着強度を高めることにより、封止樹脂 10 中の離型材の含有量を減らして、封止樹脂 10 と半導体チップ 1 やチップ搭載基材 2 との密着強度を高めることができる。この結果、樹脂封止パッケージ 98 全体の封止性 ( 密封性 ) を高めて、半導体装置 92 全体の強度、耐久性、および信頼性を高めることができる。

30

#### 【0192】

また、Cu 箔 91 と封止樹脂 10 とを一括して設けることにより、半導体装置 102 ( 樹脂封止パッケージ 98 ) の製造工程を簡略化することができる。さらに、トランスファモールディングを行う際に、Cu 箔 91 を半導体チップ 1 が搭載されたチップ搭載基材 2 とともにモールド金型 94 のキャビティ 95 内に配置するだけなので、一般の組立設備の流用も極めて容易である。したがって、設備費等の負担が増えるおそれは殆ど無い。このように、本実施形態によれば、汎用性、強度、信頼性、および耐久性がより高められた半導体装置 102 を効率良く低コストで、かつ、容易に製造することができる。

40

#### 【0193】

( 第 9 の実施の形態 )

次に、本発明に係る第 9 実施形態を図 21 を参照しつつ説明する。図 21 は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、第 1 実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

50

## 【0194】

本実施形態は、前述した第8実施形態に係る半導体装置およびその製造方法に関するバリエーションの一つである。具体的には、本実施形態では、チップ搭載基材の代わりにリードフレームに半導体チップを接続する。以下、詳しく説明する。

## 【0195】

先ず、図21(a)に示すように、1個の半導体チップ1をチップマウントアイランド111上に接着材32を用いて接着して搭載する。続けて、半導体チップ1の各接続パッド(電極)と第1の配線としての複数本のリードフレーム112とを、それぞれAuボンディングワイヤ9を用いて電氣的に接続する。各Auボンディングワイヤ9は、チップ接続配線としての各リードフレーム112のパッド接続部112aに接続される。

10

## 【0196】

続けて、図示は省略するが、チップマウントアイランド111上に搭載された半導体チップ1、各リードフレーム112、および各Auボンディングワイヤ9等をモールド金型のキャビティ部内に配置する。併せて、半導体チップ1や各Auボンディングワイヤ9等をそれらの上方から覆うように、前述した箱形状のCu箔91を、その開口側を半導体チップ1に対向させてキャビティ部内に配置する。さらに、本実施形態においては、半導体チップ1や各Auボンディングワイヤ9等をそれらの下方からも覆うように、他の箱形状のCu箔91を、その開口側をチップマウントアイランド111に対向させてキャビティ部内に配置する。すなわち、本実施形態においては、半導体チップ1、各Auボンディングワイヤ9、およびチップマウントアイランド111等を半導体チップ1の上下(表裏)両主面側から覆うように、半導体チップ1や各リードフレーム112等を間に挟んで2枚の箱形状のCu箔91を対向させてキャビティ部内に配置する。この際、各Cu箔91は、それらの封止部材導入口92をモールド金型の封止樹脂射出ゲート部に対向させられて配置される。同様に、各Cu箔91は、それらの各通気口93をモールド金型のエアベント部に対向させられて配置される。

20

## 【0197】

続けて、半導体チップ1、各リードフレーム112、および2枚のCu箔91等が収容されたキャビティ部内に向けて封止樹脂10を射出する。封止樹脂10は、モールド金型の封止樹脂射出ゲート部から、各Cu箔91の封止部材導入口92を介して、各Cu箔91の間に導入される。封止樹脂10は、各Cu箔91の内面、チップマウントアイランド111上の半導体チップ1、各Auボンディングワイヤ9、各リードフレーム112のパッド接続部112a等を略全て覆うまで、各Cu箔91の間に流入(充填)させられる。これにより、各Cu箔91の表面および各リードフレーム112のパッド接続部112a側とは反対側の端部を露出させつつ、半導体チップ1や各Auボンディングワイヤ9等の封止と、封止樹脂10の上下両主面(上下両モールド封止面)上への各Cu箔91の取り付けを一括して行う。

30

## 【0198】

各Cu箔91のうち、半導体チップ1に対向してモールド封止面上に設けられたCu箔91は、第3の配線、すなわち上部配線(上部端子)やパッケージ搭載用配線(パッケージ搭載用端子)117となる。また、各Cu箔91のうち、チップマウントアイランド111に対向してモールド封止面上に設けられたCu箔91は、第2の配線、すなわち下部配線(下部端子)や基板実装用配線(基板実装用端子)116となる。なお、各Cu箔91のうち少なくとも半導体チップ1に対向してモールド封止面上に設けられたCu箔91の各側壁部91bの高さは、各側壁部81bが封止工程中および封止工程後に各リードフレーム112に接続された各Auボンディングワイヤ9等に接触するおそれがない大きさに設定されている。例えば、各側壁部91bの高さは、各リードフレーム112の表面から各Auボンディングワイヤ9の最も高い部分までの高さ、約10~200μm加えた大きさに設定されることが好ましい。これにより、Cu箔91は、各Auボンディングワイヤ9等に接触することなく、モールド封止面上に取り付けられる。

40

## 【0199】

50

これまでの工程により、図 2 1 ( a ) に示すように、半導体チップ 1、各リードフレーム 1 1 2、封止樹脂 1 0、および上下 2 枚の Cu 箔 9 1 等からなる樹脂封止パッケージ ( モールド封止パッケージ ) 1 1 3 が作成される。この樹脂封止パッケージ 1 1 3 は、本実施形態の半導体装置 1 1 9 の主要な構成部分となる。このパッケージ 1 1 3 のように、チップ接続配線として複数本のリードフレーム 1 1 2 を使用する場合、トランスファモールドを行う際に、半導体チップ 1 や各リードフレーム 1 1 2 等を間に挟んで、キャビティ部のモールド上金型側およびモールド下金型側にそれぞれ 1 枚ずつ Cu 箔 9 1 を対向配置するとよい。このような設定でトランスファモールドを行うことにより、半導体チップ 1 や各 Au ボンディングワイヤ 9 等の封止と併せて、封止樹脂 1 0 ( パッケージ 1 1 3 ) の上下両主面上に外部配線 ( 外部端子 ) として利用する導電体 ( Cu 箔 ) 9 1 を一括して取り付けることができる。

#### 【 0 2 0 0 】

次に、図 2 1 ( b ) に示すように、封止樹脂 1 0 の上下両主面上に Cu 箔 9 1 が 1 枚ずつ一体化されて設けられた樹脂封止パッケージ 1 1 3 の各第 1 の配線接続部 ( 縦接続部 ) 1 1 4 に、ドリルあるいはレーザーなどを用いてスルーホール 1 1 5 を 1 個ずつ形成する。本実施形態においては、各スルーホール 1 1 5 は、樹脂封止パッケージ 1 1 3 の各縦接続部 1 1 4 において、上下 2 枚の各 Cu 箔 9 1 ( 第 2 の配線 1 1 6、第 3 の配線 1 1 7 )、封止樹脂 1 0、および各リードフレーム ( チップ接続配線 ) 1 1 2 を貫通して形成される。この際、前述した第 8 実施形態と同様に、各スルーホール 1 1 5 の径の大きさは、樹脂封止パッケージ 1 1 3 の厚さとの比が約 1 : 6 以下となる大きさに設定されることが好ましい。また、各リードフレーム 1 1 2 の各スルーホール 1 1 5 が形成される部分 ( 縦接続部 1 1 4 ) の径の大きさも、第 8 実施形態と同様に、各スルーホール 1 1 5 の径の大きさに約 5 ~ 1 0 0  $\mu\text{m}$  程度加えた大きさに設定されることが好ましい。すなわち、各リードフレーム ( チップ接続配線、第 1 の配線 ) 1 1 2 や各第 2 の配線 1 1 6 となる Cu 箔 8 1 のうち、第 4 の配線としてのスループラグ 1 1 8 に電氣的に接続される部分の径の大きさは、スルーホール 1 1 5 の径の大きさに約 5 ~ 1 0 0  $\mu\text{m}$  程度加えた大きさに設定されることが好ましい。

#### 【 0 2 0 1 】

次に、図 2 1 ( b ) に示すように、無電解銅めっきを行うことにより、各スルーホール 1 1 5 の内壁面に厚さ約 0 . 0 1 ~ 3  $\mu\text{m}$  程度の無電解 Cu めっき膜を全面的に設ける。これにより、樹脂封止パッケージ 1 1 3 のパッケージ搭載面 ( 上面、表面 ) 1 1 3 a 上に設けられている Cu 箔 9 1 と樹脂封止パッケージ 1 1 3 の基板実装面 ( 下面、裏面 ) 1 1 3 b 上に設けられている Cu 箔 9 1 との導電性が、各スルーホール 1 1 5 内の無電解 Cu めっき膜により確保される。なお、この無電解めっき工程を行うのに際して、樹脂封止パッケージ 1 1 3 の露出面上に既にエッチング済み ( パターン形成済み ) の配線や端子等があれば、それらを図示しないマスクにより予め覆っておく。この後、各スルーホール 1 1 5 内の無電解 Cu めっき膜をシード層として電解銅めっきを行うことにより、各スルーホール 1 1 5 内の Cu 膜の膜厚を一般的な配線の厚さと同程度の厚さまで厚くする。これにより、各スルーホール 1 1 5 内に一体化された無電解 Cu めっき膜および電解 Cu めっき膜からなる Cu 膜 1 1 8 を設ける。これら各 Cu 膜 1 1 8 は、そのまま縦接続配線としてのスループラグ ( 第 4 の配線 ) となる。

#### 【 0 2 0 2 】

この後、図示は省略するが、感光性ドライフィルムなどのレジスト膜を上下両 Cu 箔 9 1 の表面上に貼り付ける。続けて、樹脂封止パッケージ 1 1 3 の基板実装面 1 1 3 b 上に設けられている Cu 箔 9 1 に対して露光作業を行う。この際、Cu 箔 9 1 側の複数個の縦接続端子 ( 配線 )、基板実装面 1 1 3 b 上に実装する基板の接続端子に応じた実装端子、および複数本の第 2 の配線 1 1 6 等のそれぞれのパターンが描画されている露光マスクを用いる。これにより、基板実装面 1 1 3 b 上の Cu 箔 9 1 の表面上に、前述した各端子や各第 2 の配線 1 1 6 等のパターンを転写する。この後、Cu 箔 9 1 にエッチング処理や現像処理等を施す。これにより、樹脂封止パッケージ 1 1 3 の基板実装面 1 1 3 b 上に複数本

の第2の配線116等が形成される。続けて、必要に応じて、各第2の配線116の表面上にソルダーレジストを塗工したり、各縦接続端子や各実装端子等の表面にNi/Auめっきを施したりする。

#### 【0203】

同様に、図示は省略するが、樹脂封止パッケージ113のパッケージ搭載面113a上に設けられているCu箔91に対して露光作業を行う。この際、Cu箔11側の複数の縦接続端子(配線)、パッケージ搭載面113a上に搭載する部品の接続端子に応じた実装端子、および複数本の第3の配線117等のそれぞれのパターンが描画されている露光マスクを用いる。これにより、パッケージ搭載面113a上のCu箔91の表面に、前述した各端子や各第3の配線117等のパターンを転写する。その後、Cu箔91にエッチング処理や現像処理等を施す。これにより、樹脂封止パッケージ113のパッケージ搭載面113a上に複数本の第3の配線117等が形成される。続けて、必要に応じて、各第3の配線117の表面上にソルダーレジストを塗工したり、各縦接続端子や各実装端子等の表面にNi/Auめっきを施したりする。

10

#### 【0204】

これまでの工程により、図21(b)に示すように、樹脂封止パッケージ113の基板実装面113b上に、所望の配線パターンからなる複数本の第2の配線116等を形成することができる。各第2の配線116は、基板実装面113b上に実装基板を実装するための基板実装用配線(基板実装用端子)となる。同様に、樹脂封止パッケージ113のパッケージ搭載面113a上に、所望の配線パターンからなる複数本の第3の配線117等を形成することができる。各第3の配線117は、パッケージ搭載面113a上にパッケージ等の部品を搭載するための部品搭載用配線(部品搭載用端子)となる。なお、図示は省略するが、各第2の配線116には、例えば防錆処理やNi/Auめっき処理等、半田が濡れ易く、かつ、高温テスト時に各第2の配線116の表面に非溶解酸化膜が形成され難くなる表面処理が必要に応じて施される。それとともに、各第2の配線116の露出面上には、必要に応じて複数個の半田ボールが搭載される。

20

#### 【0205】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ113の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。その後、各樹脂封止パッケージ113ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ113を良品とする。これにより、図21(b)に示す樹脂封止パッケージ113を主要な構成部分とする、本実施形態に係る所望の半導体装置119を得る。すなわち、トランスファモールドイング工程により、封止樹脂10を間に挟んでその上下両主面上に対向配置される複数本の第2の配線116および複数本の第3の配線117、ならびに封止樹脂10が一体に、かつ、一括して設けられた樹脂封止パッケージ113からなる半導体装置119を得る。

30

#### 【0206】

この後、半導体装置119のパッケージ搭載面113a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置119の基板実装面113b上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置119を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

40

#### 【0207】

以上説明したように、この第9実施形態によれば、前述した第1、第3～第5、および第8の各実施形態と同様の効果を得ることができる。また、第2の配線116となるCu箔91、第3の配線117となるCu箔81、および封止樹脂10を一括して設けることにより、半導体装置119(樹脂封止パッケージ113)の製造工程をさらに簡略化することができる。また、トランスファモールドイングを行う際に、半導体チップ1が電気的に接続された各リードフレーム112を2枚のCu箔91の間に挟んでモールド金型のキャビティ内に配置するだけなので、一般の組立設備の流用も極めて容易である。したがって、設備費等の負担が増えるおそれは殆ど無い。このように、本実施形態によれば、汎用

50

性、強度、信頼性、および耐久性がさらに高められた半導体装置 119 をより効率良くより低コストで、かつ、より容易に製造することができる。

#### 【0208】

(第10の実施の形態)

次に、本発明に係る第10実施形態を図22を参照しつつ説明する。図22は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

#### 【0209】

本実施形態においては、前述した第8および第9の各実施形態と同様に、封止樹脂の表面上に第3の配線となる導電体を設けた後、封止樹脂の内部に第4の配線を設ける。ただし、第8および第9の各実施形態と異なり、封止樹脂と導電体とを別工程により別体に設ける。以下、簡潔に説明する。

#### 【0210】

先ず、図22(a)に示すように、ワイヤボンディング法により半導体チップ1が搭載されたチップ搭載基材2のチップ搭載面2a上に、半導体チップ1、各チップ接続配線5、およびAuボンディングワイヤ9等を覆って封止樹脂10を設ける。封止樹脂10は、第8および第9の各実施形態と同様に、トランスファモールディング法によりチップ搭載基材2のチップ搭載面2a上に設けられる。ただし、本実施形態のトランスファモールディング工程においては、第8および第9の各実施形態と異なり、封止樹脂10のみをチップ搭載基材2のチップ搭載面2a上に設ける。

#### 【0211】

次に、図22(b)に示すように、封止樹脂10の表面上に第3の配線となる導電体121を設ける。具体的には、導電体として、厚さが約5~12 $\mu$ m程度のCu箔121を封止樹脂10の表面上に設ける。本実施形態においては、第8および第9の各実施形態と異なり、Cu箔121を、トランスファモールディング工程の後工程において、封止樹脂10とは別体に封止樹脂10の表面上に設ける。このため、Cu箔121は、第8および第9の各実施形態で用いたCu箔91と異なり、必ずしも箱形状に形成される必要はない。それとともに、Cu箔121は、封止部材導入口82や通気口83を備える必要もない。ただし、本実施形態においては、第8および第9の各実施形態で用いたCu箔91と同じ形状からなるCu箔121を使用することとする。このように、半導体装置の構成部品を共通化することにより、半導体装置の製造工程の相違に拘らず、半導体装置の製造設備の共通化や製造工程の簡略化を図ることができる。ひいては、半導体装置の製造コストを削減することができる。

#### 【0212】

また、図示は省略するが、Cu箔121の封止樹脂10に接着される側の面上には、厚さが約8~50 $\mu$ m程度の接着材が塗工されている。この接着材には、例えばエポキシ系やイミド系の接着材が用いられる。このような接着材付きのCu箔121を、例えば熱間ラミネート法や真空プレス法により、封止樹脂10の表面(モールド封止面)上に貼り付ける。これまでの工程により、半導体チップ1、フレキシブル基材2、封止樹脂10、およびCu箔121等からなる樹脂封止パッケージ(モールド封止パッケージ)122が作成される。この樹脂封止パッケージ122は、本実施形態の半導体装置125の主要な構成部分となる。

#### 【0213】

次に、図22(c)に示すように、第8実施形態と同様の工程により、樹脂封止パッケージ122の各第1の配線接続部(縦接続部)16に、複数個のスルーホール12を形成する。続けて、各スルーホール12内に、縦接続配線としてのスループラグ(第4の配線)100を1本ずつ設ける。それとともに、各スループラグが設けられた樹脂封止パッケージ122に、下部配線(基板実装用配線)としての第2の配線6や、上部配線(パッケージ搭載用配線、部品搭載用端子)としての第3の配線123等を、それぞれ複数本ずつ形成する。各第3の配線123は、Cu箔121をエッチング工程等により所定のパター

10

20

30

40

50

ンに加工することにより形成される。この後、第8実施形態と同様に、各第2の配線6および各第3の配線123等に、必要に応じて所定の表面処理を施す。それとともに、樹脂封止パッケージ122の基板実装面112b上に、複数個の半田ボール101を各第2の配線6に接触（接合）させて搭載する。

#### 【0214】

続けて、これまでの工程により一括して作製された樹脂封止パッケージ122の集合体を、ダイシング等によりテープ状態から個々のパッケージごとに切断して個片化する。この後、各樹脂封止パッケージ122ごとに各種テストを実施する。そして、これらのテストに合格した樹脂封止パッケージ122を良品とする。これにより、図22(c)に示す樹脂封止パッケージ122を主要な構成部分とする、本実施形態に係る所望の半導体装置125を得る。すなわち、複数本の第3の配線123となるCu箔121と封止樹脂10とが別体に、かつ、別工程で設けられた樹脂封止パッケージ122からなる半導体装置125を得る。

10

#### 【0215】

この後、半導体装置125のパッケージ搭載面122a上には、必要に応じて図示しない受動部品等の所定の外部装置が搭載される。それとともに、半導体装置125の基板実装面122b上には、必要に応じて図示しない実装基板が実装される。あるいは、半導体装置125を必要に応じて複数個積層して、マルチチップパッケージとして用いる。

#### 【0216】

以上説明したように、この第10実施形態によれば、前述した第1、第3～第5、および第8の各実施形態と同様の効果を得ることができる。また、Cu箔121と封止樹脂10とを、モールドイング工程において一体に、かつ、一括して設ける必要がないので、Cu箔121をその内部に封止樹脂10が流入し易い特殊な形状に形成する必要がない。したがって、Cu箔121の作成に掛かる工程を簡略化して、Cu箔121の作成コストを抑制することができる。ひいては、半導体装置125の製造工程を簡略化して、半導体装置125の製造コストを抑制することができる。また、本実施形態の半導体装置およびその製造方法は、Cu箔121の形状を、樹脂封止パッケージのモールド封止面に応じた適正な形状に形成することにより、いわゆるSOP、OMPAC、あるいはStacked MCP等の様々な樹脂封止パッケージの製造に適用することができる。すなわち、本実施形態の半導体装置およびその製造方法は、モールド金型のキャビティ部の形状に拘らず、様々な半導体装置の製造に適用することができる。したがって、本実施形態の半導体装置およびその製造方法は、その適用範囲が極めて広く、汎用性が極めて高い。

20

30

#### 【0217】

なお、本発明に係る半導体装置およびその製造方法は、前述した第1～第10の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは製造工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

#### 【0218】

例えば、第1および第4の各実施形態においては、各チップ搭載基材2,41を、それぞれテープ状としたが、これに限定されるものではない。各チップ搭載基材2,41は、フィルム状や板状に形成されても構わない。

40

#### 【0219】

また、半導体チップ1は、1種類の機能に限定されない。半導体チップ1としては、CPU、メモリ、DSP、画像処理エンジン等、様々な機能の半導体チップを用いることができる。

#### 【0220】

また、第2実施形態においては、第1実施形態の半導体装置20を4個積層させて1個のマルチチップパッケージ21を作製した。同様に、第6実施形態においては、第5実施形態の半導体装置64を4個積層させて1個のマルチチップパッケージ71を作製した。しかし、マルチチップパッケージは、同一の半導体装置20,64等を複数個積層して作

50



製されるとは限らない。例えば、第1実施形態の半導体装置20、第3実施形態の半導体装置33、第4実施形態の半導体装置52、第5実施形態の半導体装置64、および第7実施形態の半導体装置83、85を混在させて積層することにより、1個のマルチチップパッケージを作製しても構わない。チップ積層型のマルチチップパッケージを作製する場合、各半導体装置20、34、52、64、83、85を所望の構成に応じて適宜、適正な個数ずつ、適正な位置に配置して用いればよい。また、各半導体装置20、34、52、64、83、85（各半導体チップ1）同士の電気的な接続、すなわち、第1～第4の各配線5、6、13、15、43、47、48も、所望の構成に応じて適宜、適正なパターンおよび本数に設定されればよい。

#### 【0221】

また、第4実施形態においては、フレキシブル基材41のチップ搭載面41a上に封止樹脂10を設けた後、第3の配線47と第4の配線48とを一体に、かつ、一括して設けたが、これに限定されるものではない。例えば、第8実施形態と同様の工程により、半導体装置52を作製しても構わない。すなわち、先ず、フレキシブル基材41のチップ搭載面41a上に封止樹脂10と第3の配線47となるCu箔とを一体に、かつ、一括して設ける。この後、少なくともCu箔およびこのCu箔が設けられた封止部材10をその厚さ方向に沿って一括して貫通させて、第4の配線としての非貫通ビアプラグ48を設ける。このように、フレキシブル基材41のチップ搭載面41a上に封止樹脂10と第3の配線47となるCu箔とを一体に、かつ、一括して設けた後、非貫通ビアプラグ48を第3の配線47とは別体に、かつ、別工程により設けても構わない。

#### 【0222】

あるいは、第10実施形態と同様の工程により、半導体装置52を作製しても構わない。すなわち、先ず、フレキシブル基材41のチップ搭載面41a上に封止樹脂10を設ける。この後、第3の配線47を、封止樹脂10とは別体に、かつ、別工程により封止樹脂10の表面上に設ける。続けて、少なくとも第3の配線47および第3の配線47が設けられた封止部材10をその厚さ方向に沿って一括して貫通させて、第4の配線としての非貫通ビアプラグ48を設ける。このように、フレキシブル基材41のチップ搭載面41a上に封止樹脂10を設けた後、第3の配線47と非貫通ビアプラグ48とを別体に、かつ、別工程により設けても構わない。

#### 【0223】

また、第7実施形態の半導体装置83、85においては、複数個の半導体チップ1を全てワイヤボンディング法によりチップ搭載基材2、41に搭載したが、これに限定されるものではない。例えば、各半導体チップ1のうち、チップ搭載基材2、41に直接接触する最下層の半導体チップ1は、フリップチップ接続法によりチップ搭載基材2、41に搭載されても構わない。さらに、半導体装置83、85においては、CPU、メモリ、DSP、画像処理エンジン等、様々な機能の半導体チップ1を積層してチップ搭載基材2、41に混載することができるのはもちろんである。

#### 【0224】

また、第8実施形態においては、第4の配線90を設けるための凹部をスルーホール12として形成したが、これに限定されるものではない。例えば、チップ搭載基材として片面銅貼テープであるチップ搭載基材41を用いるとともに、第4の配線90を設けるための凹部を、第4実施形態のように、非貫通ビアホールとして形成しても構わない。この場合、各非貫通ビアホールの径の大きさを、樹脂封止パッケージ88の厚さととの比が約1:1以上となる大きさに設定することが好ましい。これは、チップ搭載基材2、41の代わりにリードフレーム112を用いる第9の実施形態の半導体装置119においても同様である。少なくとも、第2の配線116とリードフレーム112との電気的な接続、および第3の配線117とリードフレーム112との電気的な接続が確保できればよい。

#### 【0225】

また、第8および第9の各実施形態においては、Cu箔91の形状を図18(a)、(b)に示すような四角い箱形状としたが、これに限定されるものではない。Cu箔91の

10

20

30

40

50

形状は、モールド金型のキャビティ部の形状や、所望する樹脂封止パッケージ（半導体装置）のモールド封止面の形状などに応じて適宜、適正な形状に形成して構わない。これは、封止部材導入口 9 2 および通気口 9 3 の大きさ、形状、形成箇所、および個数などについても同様である。Cu 箔 9 1 と封止樹脂 1 0 とを、トランスファモールドング工程において一体に、かつ、一括して設ける場合、封止部材導入口 9 2 および通気口 9 3 の大きさ、形状、形成箇所、および個数などは、第 8 および第 9 の各実施形態と同様の効果が得られるように適宜、適正な状態に設定されればよい。すなわち、封止部材導入口 8 2 および通気口 8 3 の大きさ、形状、形成箇所、および個数などは、トランスファモールドング工程において Cu 箔 9 1 の表面（上面）が封止樹脂 1 0 に覆われることなく、かつ、半導体チップ 1 や Au ボンディングワイヤ 9 などが封止樹脂 1 から露出することなく、Cu 箔 9 1 とチップ搭載基材 2 との間に封止樹脂 1 0 が適正に充填される状態に設定されればよい。

10

## 【 0 2 2 6 】

また、第 9 実施形態においては、半導体チップ 1 をチップマウントアイランド 1 1 1（リードフレーム 1 1 2）の一方の主面上に 1 個だけ搭載したが、これに限定されるものではない。第 7 実施形態と同様に、チップマウントアイランド 1 1 1 の一方の主面上に、複数個の半導体チップ 1 を積層させて搭載しても構わない。あるいは、チップマウントアイランド 1 1 1 の上下両方の主面上に、半導体チップ 1 を 1 個ずつ対向させて搭載しても構わない。さらには、チップマウントアイランド 1 1 1 の上下両方の主面上に、半導体チップ 1 を複数個ずつ積層かつ対向させて搭載しても構わない。

20

## 【 0 2 2 7 】

また、第 9 実施形態においては、第 2 の配線 1 1 6 および第 3 の配線 1 1 7 となる 2 枚の Cu 箔 9 1 と封止樹脂 1 0 とを一体に、かつ、一括して設けた後、第 4 の配線としてのスループラグ 1 0 8 を設けたが、これに限定されるものではない。例えば、第 1 実施形態と同様の工程により、半導体装置 1 1 9 を作製しても構わない。すなわち、先ず、半導体チップ 1 および半導体チップ 1 と第 1 の配線としてのリードフレーム 1 1 2 との接続部を覆って封止樹脂 1 0 を設ける。この後、例えばめっき法により、封止樹脂 1 0 および封止樹脂 1 0 に覆われたリードフレーム 1 1 2 を半導体チップ 1 の厚さ方向に沿って一括して貫通させてスループラグ 1 1 8 を設けつつ、第 2 の配線 1 1 6 となる Cu 箔 9 1 および第 3 の配線 1 1 7 となる Cu 箔 9 1 の少なくとも一方をスループラグ 1 1 8 と一体に、かつ

30

## 【 0 2 2 8 】

あるいは、第 1 0 実施形態と同様の工程により、半導体装置 1 1 9 を作製しても構わない。すなわち、先ず、半導体チップ 1 および半導体チップ 1 と第 1 の配線としてのリードフレーム 1 1 2 との接続部を覆って封止樹脂 1 0 を設ける。この後、第 2 の配線 1 1 6 となる Cu 箔 9 1 および第 3 の配線 1 1 7 となる Cu 箔 9 1 の少なくとも一方を、封止樹脂 1 0 とは別体に、かつ、別工程により封止樹脂 1 0 の表面上に設ける。続けて、封止樹脂 1 0、封止樹脂 1 0 に覆われたリードフレーム 1 1 2、ならびに第 2 の配線 1 1 6 となる Cu 箔 9 1 および第 3 の配線 1 1 7 となる Cu 箔 9 1 の少なくとも一方を半導体チップ 1 の厚さ方向に沿って一括して貫通させてスループラグ 1 1 8 を設ける。続けて、一方の Cu 箔 9 1 に対向させて、封止樹脂 1 0 の反対側の表面上に他方の Cu 箔 9 1 を設ける。このように、半導体チップ 1 および半導体チップ 1 とリードフレーム 1 1 2 との接続部を覆って封止樹脂 1 0 を設けた後、第 2 の配線 1 1 6 となる Cu 箔 9 1 および第 3 の配線 1 0 7 となる Cu 箔 9 1 の少なくとも一方とスループラグ 1 1 8 とを別体に、かつ、別工程により設けても構わない。

40

## 【 0 2 2 9 】

50

さらに、第 1 および第 3 ~ 第 5 の各実施形態においては、第 4 の配線 15, 48 を第 3 の配線 13, 47 と併行して設けた。また、第 8 ~ 第 10 の各実施形態においては、第 4 の配線 100, 118 を設けるのに先立って、第 3 の配線 99, 117, 123 を設けた。しかし、第 4 の配線 15, 48, 100, 118 を設ける順番は、必ずしも前述した順番には限られない。例えば、第 1、第 3 ~ 第 5、第 8、および第 10 の各実施形態において、封止樹脂 10 内に第 4 の配線 15, 48, 100 を設けた後、封止樹脂 10 の表面上に第 3 の配線 13, 47, 99, 123 を設けても構わない。あるいは、第 9 実施形態において、封止樹脂 10 内に第 4 の配線 118 を設けた後、封止樹脂 10 の表面上に第 2 の配線 116 および第 3 の配線 117 の少なくとも一方を設けても構わない。

#### 【図面の簡単な説明】

10

#### 【0230】

【図 1】第 1 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 2】第 1 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 3】第 1 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 4】第 2 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 5】第 2 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 6】第 3 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 7】第 3 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 8】第 4 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 9】第 4 実施形態に係る半導体装置の製造方法を示す工程断面図。

20

【図 10】第 4 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 11】第 4 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 12】第 5 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 13】第 5 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 14】第 5 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 15】第 6 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 16】第 6 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 17】第 7 実施形態に係る半導体装置を示す断面図。

【図 18】第 8 実施形態に係る半導体装置が備える第 3 の配線となる導電体を示す斜視図および平面図。

30

【図 19】第 8 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 20】第 8 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 21】第 9 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 22】第 10 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 23】第 1 ~ 第 7 の各実施形態に係る半導体装置に対する比較例としての背景技術に係る半導体装置を示す断面図。

【図 24】第 1 ~ 第 7 の各実施形態に係る半導体装置に対する比較例としての背景技術に係る他の半導体装置を示す断面図。

【図 25】第 8 および第 9 の各実施形態に係る半導体装置に対する比較例としての背景技術に係る半導体装置を一部破断して示す斜視図。

40

【図 26】第 8 および第 9 の各実施形態に係る半導体装置に対する比較例としての背景技術に係る他の半導体装置を示す断面図。

【図 27】第 8 および第 9 の各実施形態に係る半導体装置に対する比較例としての背景技術に係るさらに他の半導体装置を一部破断して示す斜視図。

#### 【符号の説明】

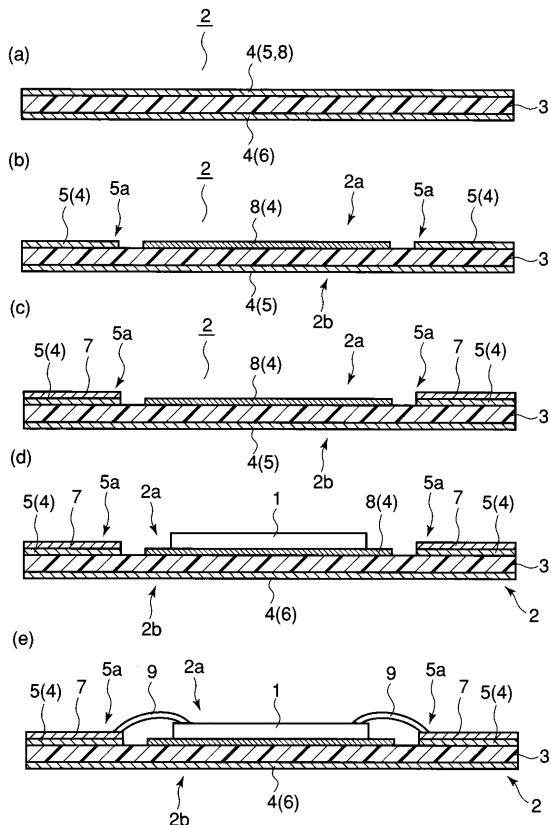
#### 【0231】

1 ... 半導体チップ (半導体素子)、2 ... フレキシブル基材 (両面銅貼テープ、チップ搭載基材)、2 a ... チップ搭載面 (チップ搭載基材の一方の主面)、2 b ... チップ非搭載面 (チップ搭載基材の他方の主面)、3 ... 基材本体、4 ... Cu 箔 (第 1 の配線、第 2 の配線)、5 ... チップ接続配線 (第 1 の配線)、5 a, 112 a ... パッド接続部 (半導体素子と第

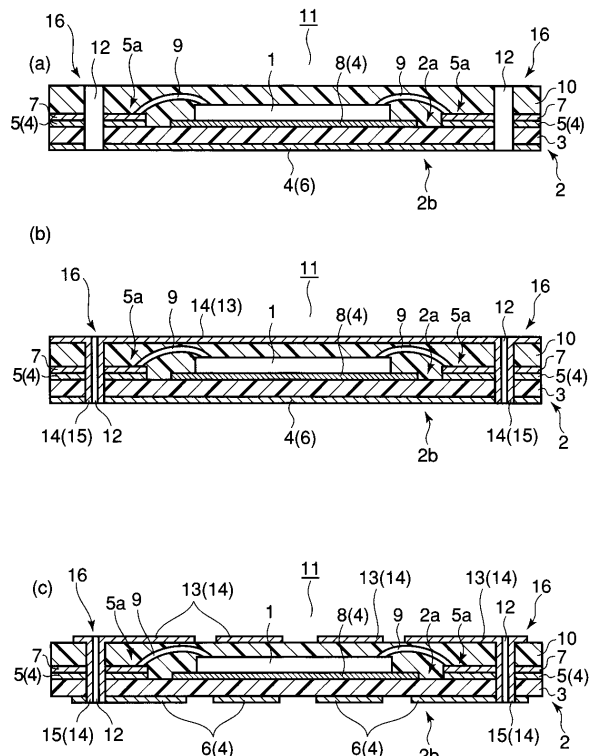
50

1の配線との接続部)、6, 43, 116...基板実装用配線(基板実装用端子、下部配線、下部端子、第2の配線)、8...チップマウントアイランド(チップ接続配線、第1の配線)、10...封止樹脂(封止部材)、13, 47, 99, 117, 123...パッケージ搭載用配線(パッケージ搭載用端子、部品搭載用配線、上部配線、上部端子、第3の配線)、14, 51...Cuめっき膜(第3の配線、第4の配線)、15, 100, 118...スループラグ(第4の配線)、20, 21, 34, 52, 64, 71, 83, 85, 102, 119, 125...半導体装置、41...フレキシブル基材(片面銅貼テープ、チップ搭載基材)、41a...チップ搭載面(チップ搭載基材の一方の主面)、41b...チップ非搭載面(チップ搭載基材の他方の主面)、42...基材本体、48...非貫通ビアプラグ(第4の配線)、82, 121...Cu箔(第3の配線)、91...Cu箔(第2の配線、第3の配線)、112...リードフレーム(チップ接続配線、第1の配線)

【図1】



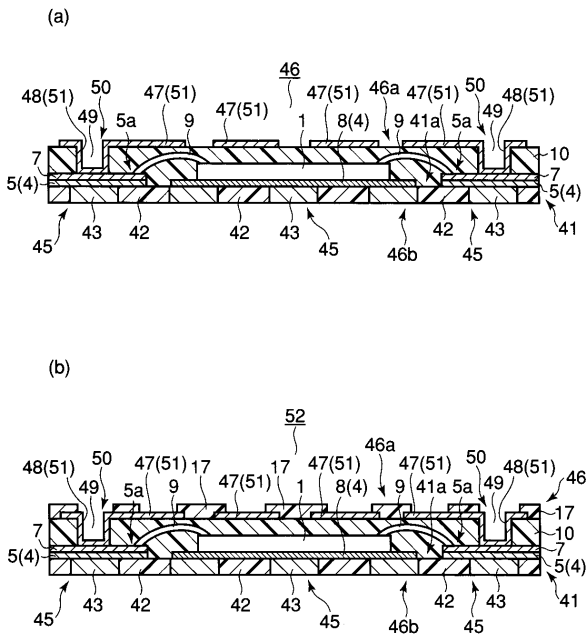
【図2】



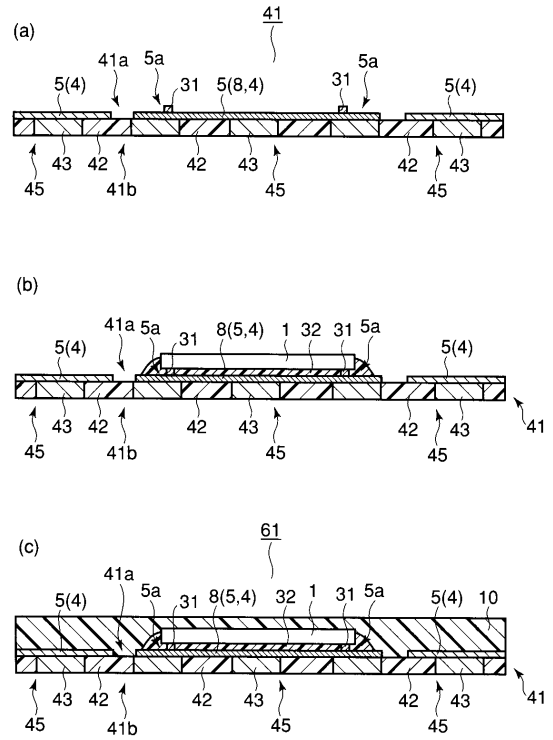




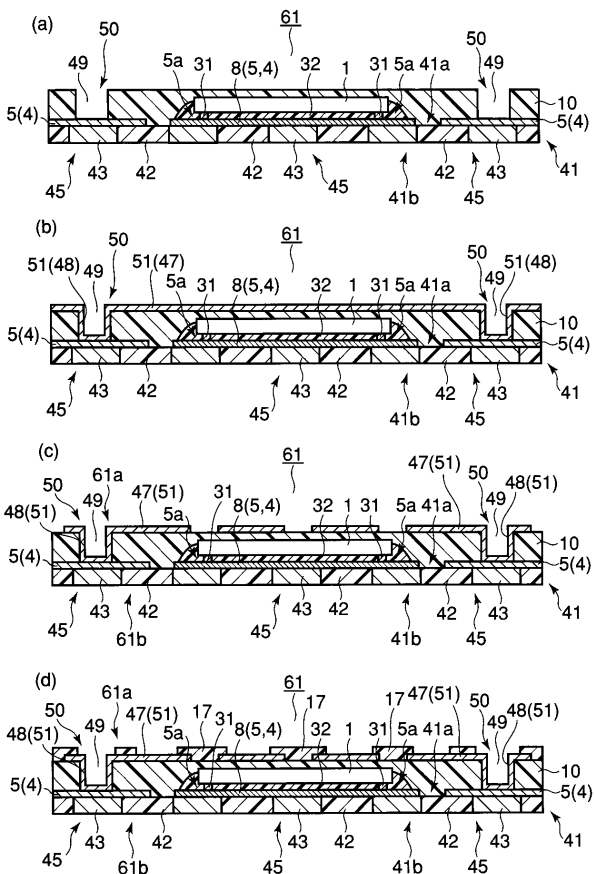
【 図 1 1 】



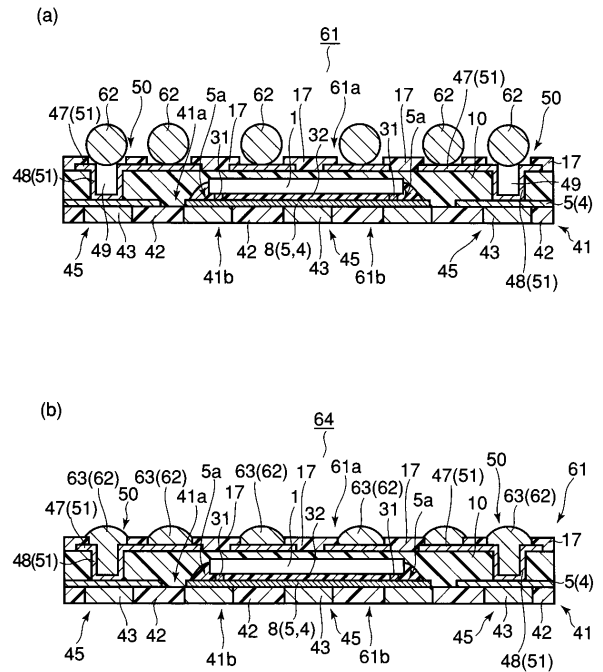
【 図 1 2 】



【 図 1 3 】



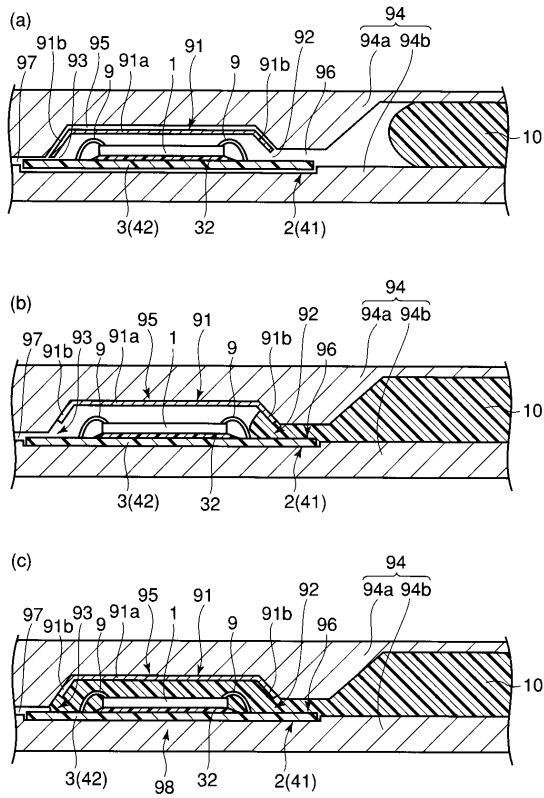
【 図 1 4 】



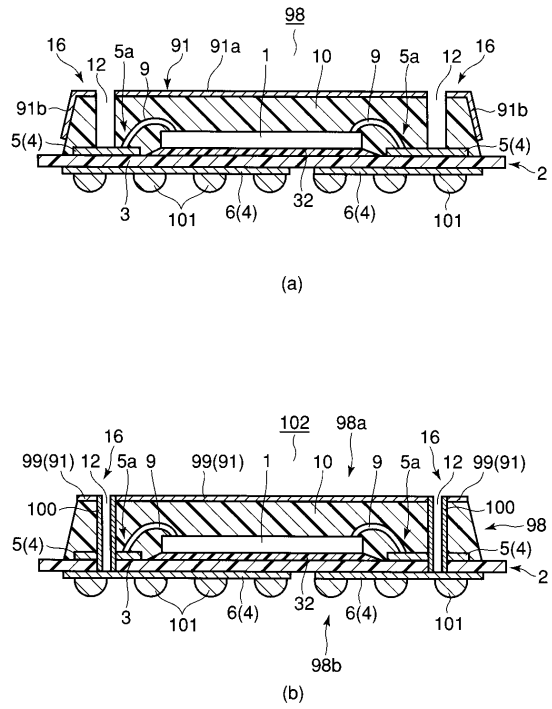




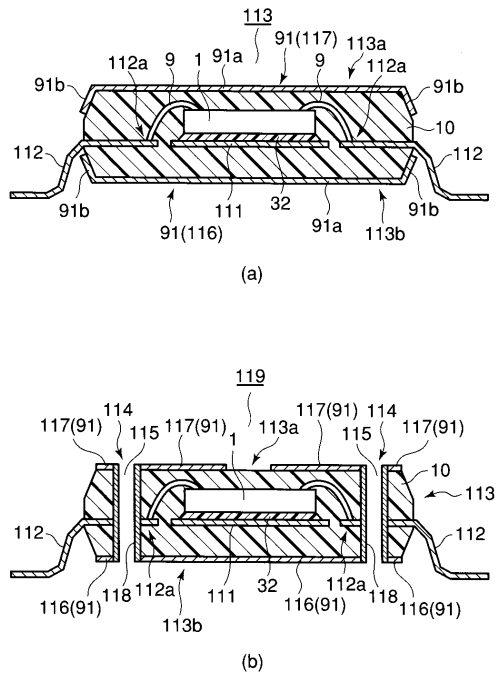
【 図 1 9 】



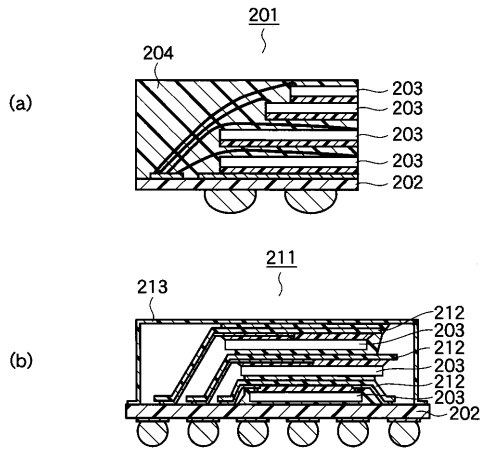
【 図 2 0 】



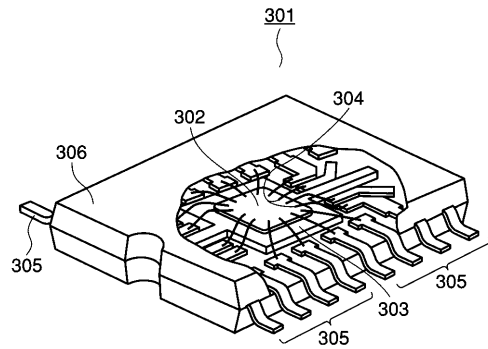
【 図 2 1 】



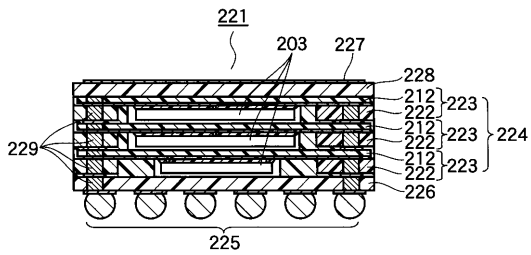
【 図 2 3 】



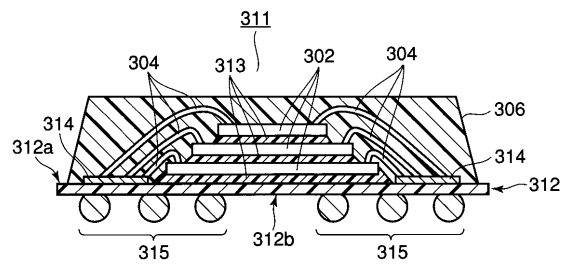
【 図 2 5 】



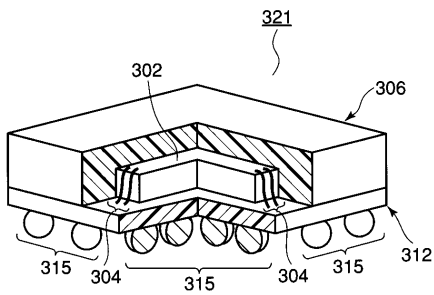
【 図 2 4 】



【 図 2 6 】



【 図 2 7 】



---

フロントページの続き

- (72)発明者 井本 孝志  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 田窪 知章  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内