

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年9月17日(17.09.2020)



(10) 国際公開番号  
**WO 2020/183937 A1**

(51) 国際特許分類:  
H01L 29/78 (2006.01) H01L 27/06 (2006.01)  
H01L 21/336 (2006.01) H01L 27/088 (2006.01)  
H01L 21/8234 (2006.01) H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2020/002508

(22) 国際出願日: 2020年1月24日(24.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2019-047655 2019年3月14日(14.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

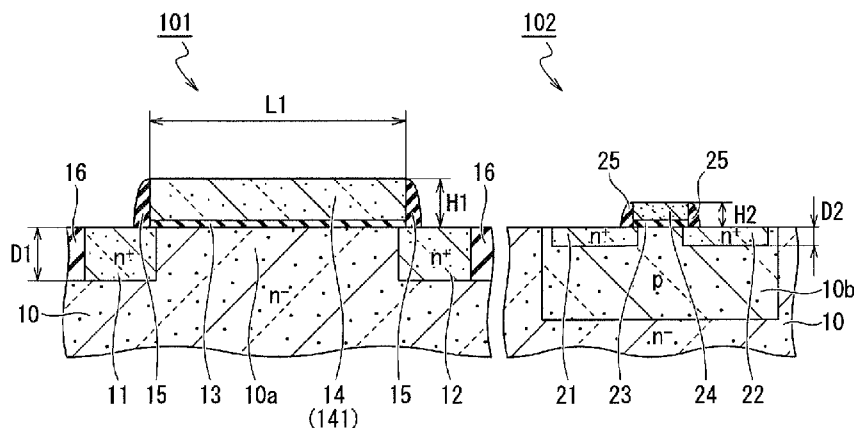
(72) 発明者: 君塚 直彦 (KIMIZUKA Naohiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 片岡 豊隆(KATAOKA Toyotaka); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 工藤 義治 (KUDOH Yoshiharu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲てつ ▼, 外 (TANAKA Hidetsu et al.); 〒1056032 東京都港区虎ノ門四

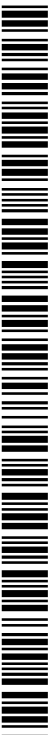
(54) Title: SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR ELEMENT, AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体素子、半導体装置、半導体素子の製造方法及び半導体装置の製造方法

[図3]



(57) Abstract: Provided is a semiconductor device which can further improve the performance of a semiconductor element having a gate electrode surrounding three surfaces of a plate-shaped channel region. The present invention comprises: a semiconductor layer; a channel region that is provided on the semiconductor layer; first and second main electrode regions that are provided to face both end sides of the channel region in a channel length direction; gate insulation films that are provided on inner walls of first and second trenches provided on both mutually facing sides of the channel region and on the upper surface of the channel region; and a gate electrode that has a first convex part embedded in the first trench with the gate insulation film therebetween, a second convex part embedded in the second trench with the gate insulation film therebetween, and a horizontal part connected to the upper ends of the first and second convex parts and provided on the



WO 2020/183937 A1

丁目3番1号 城山トラストタワー32階 特許  
業務法人日栄国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

upper surface of the channel region with the gate insulation film therebetween, wherein the depths of the first and second main electrode regions are equal to or larger than the depths of the first and second convex parts.

(57) 要約：板状のチャネル領域の3面を囲むゲート電極を有する半導体素子の性能を更に改善することができる半導体装置を提供する。半導体層と、半導体層の上部に設けられたチャネル領域と、チャネル領域のチャネル長方向の両端側に対向して設けられた第1及び第2主電極領域と、チャネル領域の互いに対向する側面の両側に設けられた第1及び第2トレンチの内壁、並びにチャネル領域の上面に設けられたゲート絶縁膜と、ゲート絶縁膜を介して第1トレンチに埋め込まれた第1凸部、ゲート絶縁膜を介して第2トレンチに埋め込まれた第2凸部、第1及び第2凸部の上端に接続され、チャネル領域の上面にゲート絶縁膜を介して設けられた水平部を有するゲート電極とを備え、第1及び第2主電極領域の深さが、第1及び第2凸部の深さ以上である。

## 明 細 書

発明の名称：

半導体素子、半導体装置、半導体素子の製造方法及び半導体装置の製造方法

### 技術分野

[0001] 本開示に係る技術（本技術）は、半導体素子、半導体装置、半導体素子の製造方法及び半導体装置の製造方法に関する。

### 背景技術

[0002] 従来、ノイズの改善等のために、半導体層の上部に埋め込まれた凸部を有するゲート電極により、板状のチャネル領域の主要な3面を囲んだMOSFET（フィン型FET）が提案されている（特許文献1及び2参照）。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2006-121093号公報  
特許文献2：特開2006-121093号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] 特許文献1及び2に記載のフィン型FETには、相互コンダクタンス $g_m$ の向上等の更なる性能の改善が求められる。特許文献1及び2では、MOSFETのゲート電極が有する凸部の深さと、ソース領域及びドレイン領域の深さとの関係は何ら開示されていない。

[0005] 本技術は、板状のチャネル領域の3面を囲むゲート電極を有する絶縁ゲート型半導体素子の性能を更に改善することができる半導体素子、半導体装置、半導体素子の製造方法及び半導体装置の製造方法を提供することを目的とする。

#### 課題を解決するための手段

[0006] 本技術の一態様に係る半導体素子は、半導体層と、半導体層の上部に設けられたチャンネル領域と、チャンネル領域のチャンネル長方向の両端側に対向して設けられた第1及び第2主電極領域と、チャンネル領域のチャンネル幅方向の互いに対向する側面の両側に設けられた第1及び第2トレンチの内壁、並びにチャンネル領域の上面に設けられたゲート絶縁膜と、ゲート絶縁膜を介して第1トレンチに埋め込まれた第1凸部、ゲート絶縁膜を介して第2トレンチに埋め込まれた第2凸部、第1及び第2凸部の上端に接続され、チャンネル領域の上面にゲート絶縁膜を介して設けられた水平部を有するゲート電極とを備え、第1及び第2主電極領域の深さが、第1及び第2凸部のゲート絶縁膜を含めた深さと同一であることを要旨とする。

[0007] 本技術の一態様に係る半導体装置は、半導体層と、半導体層の上部に設けられたチャンネル領域と、チャンネル領域のチャンネル長方向の両端側に対向して設けられた第1及び第2主電極領域と、チャンネル領域のチャンネル幅方向の互いに対向する側面の両側に設けられた第1及び第2トレンチの内壁、並びにチャンネル領域の上面に設けられたゲート絶縁膜と、ゲート絶縁膜を介して第1トレンチに埋め込まれた第1凸部、ゲート絶縁膜を介して第2トレンチに埋め込まれた第2凸部、第1及び第2凸部の上端に接続され、チャンネル領域の上面にゲート絶縁膜を介して設けられた水平部を有するゲート電極とを有する第1半導体素子と、半導体層の上部に対向して設けられた第3及び第4主電極領域、第3及び第4主電極領域に挟まれた半導体層上に第2ゲート絶縁膜を介して設けられた第2ゲート電極とを有する第2半導体素子とを備え、第1及び第2主電極領域の深さが、第1及び第2凸部のゲート絶縁膜を含めた深さと同一であることを要旨とする。

[0008] 本技術の一態様に係る半導体素子の製造方法は、半導体層の上部に凹部を掘り、凹部で区画されたチャンネル領域を形成する工程と、凹部に素子分離絶縁膜を埋め込む工程と、半導体層の上部にチャンネル領域を形成する工程と、半導体層の上部に素子分離絶縁膜を埋め込む工程と、素子分離絶縁膜を選択的に除去して、チャンネル領域のチャンネル幅方向の互いに対向する側面を露出

する第1及び第2トレンチを掘る工程と、第1及び第2トレンチの内壁、並びにチャネル領域の上面にゲート絶縁膜を形成する工程と、ゲート絶縁膜を介して第1及び第2トレンチに導電性材料層を埋め込み、第1トレンチに埋め込まれた第1凸部、第2トレンチに埋め込まれた第2凸部、第1及び第2凸部の上端に接続され、チャネル領域の上面にゲート絶縁膜を介して設けられた水平部を有するゲート電極を形成する工程と、チャネル領域のチャネル長方向の両端側を挟んで互いに対向する第1及び第2主電極領域を、第1及び第2凸部のゲート絶縁膜を含めた深さと同一の深さで形成する工程とを含むことを要旨とする。

[0009] 本技術の一態様に係る半導体装置の製造方法は、半導体層の上部に凹部を掘り、凹部で区画されたチャネル領域を形成する工程と、凹部に素子分離絶縁膜を埋め込む工程と、素子分離絶縁膜を選択的に除去して、チャネル領域のチャネル幅方向の互いに対向する側面を露出する第1及び第2トレンチを掘る工程と、第1及び第2トレンチの内壁、並びにチャネル領域の上面にゲート絶縁膜を形成する工程と、ゲート絶縁膜を介して第1及び第2トレンチに導電性材料層を埋め込み、第1トレンチに埋め込まれた第1凸部、第2トレンチに埋め込まれた第2凸部、第1及び第2凸部の上端に接続され、チャネル領域の上面にゲート絶縁膜を介して設けられた水平部を有するゲート電極を形成する工程と、チャネル領域のチャネル長方向の両端側を挟んで互いに対向する第1及び第2主電極領域を、第1及び第2凸部のゲート絶縁膜を含めた深さと同一の深さで形成する工程と、半導体層上にゲート絶縁膜を介して第2ゲート電極を形成する工程と、第2ゲート電極の下方の半導体層を挟んで互いに対向する第3及び第4主電極領域を、第1及び第2主電極領域とは異なる深さで形成する工程とを含むことを要旨とする。

### 図面の簡単な説明

[0010] [図1]図1は、第1実施形態に係る半導体装置（固体撮像装置）の概略構成図である。

[図2]図2は、第1実施形態に係る半導体装置の画素領域の等価回路である。

[図3]図3は、第1実施形態に係る半導体装置の要部断面図である。

[図4]図4は、第1実施形態に係る半導体装置の要部平面図である。

[図5]図5は、図4のB-B'方向から見た断面図である。

[図6]図6は、図4のC-C'方向から見た断面図である。

[図7A]図7Aは、第1実施形態に係る半導体装置の製造方法を示す工程断面図である。

[図7B]図7Bは、第1実施形態に係る半導体装置の製造方法を示す工程断面図である。

[図8A]図8Aは、第1実施形態に係る半導体装置の製造方法を示す図7Aに引き続く工程断面図である。

[図8B]図8Bは、第1実施形態に係る半導体装置の製造方法を示す図7Bに引き続く工程断面図である。

[図9A]図9Aは、第1実施形態に係る半導体装置の製造方法を示す図8Aに引き続く工程断面図である。

[図9B]図9Bは、第1実施形態に係る半導体装置の製造方法を示す図8Bに引き続く工程断面図である。

[図10A]図10Aは、第1実施形態に係る半導体装置の製造方法を示す図9Aに引き続く工程断面図である。

[図10B]図10Bは、第1実施形態に係る半導体装置の製造方法を示す図9Bに引き続く工程断面図である。

[図11]図11は、第1実施形態に係る半導体装置の製造方法を示す図10に引き続く工程断面図である。

[図12]図12は、第1実施形態に係る半導体装置の製造方法を示す図11に引き続く工程断面図である。

[図13]図13は、第1実施形態に係る半導体装置の製造方法を示す図12に引き続く工程断面図である。

[図14]図14は、第1実施形態の変形例に係る半導体装置の要部断面図である。

[図15]図15は、第2実施形態に係る半導体装置の要部断面図である。

[図16]図16は、第2実施形態の比較例に係る半導体装置の要部断面図である。

[図17]図17は、第2実施形態に係る半導体装置の製造方法を示す工程断面図である。

[図18]図18は、第2実施形態に係る半導体装置の製造方法を示す図17に引き続く工程断面図である。

[図19]図19は、第2実施形態に係る半導体装置の製造方法を示す図18に引き続く工程断面図である。

[図20]図20は、第2実施形態に係る半導体装置の製造方法を示す図19に引き続く工程断面図である。

[図21]図21は、第2実施形態に係る半導体装置の製造方法を示す図20に引き続く工程断面図である。

[図22]図22は、第2実施形態に係る半導体装置の製造方法を示す図21に引き続く工程断面図である。

[図23]図23は、第2実施形態の変形例に係る半導体装置の製造方法を示す工程断面図である。

[図24]図24は、第2実施形態の変形例に係る半導体装置の製造方法を示す図23に引き続く工程断面図である。

[図25]図25は、第2実施形態の変形例に係る半導体装置の製造方法を示す図24に引き続く工程断面図である。

[図26]図26は、その他の実施形態に係る半導体装置を適用した電子機器を示す概略図である。

### 発明を実施するための形態

[0011] 以下において、図面を参照して本技術の第1及び第2実施形態を説明する。以下の説明で参照する。図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留

意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。なお、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0012] 本明細書において、固体撮像装置を含む半導体装置を構成する半導体素子の「第1主電極領域」とは、絶縁ゲート型電界効果トランジスタ（MISFET）、絶縁ゲート型静電誘導トランジスタ（MISST）又は高電子移動度トランジスタ（HEMT）等のソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。「第2主電極領域」とは、MISFET等の上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。このように、「第1主電極領域」がソース領域であれば、「第2主電極領域」はドレイン領域を意味する。また、固体撮像装置を含む半導体装置を構成する半導体素子の「第3主電極領域」及び「第4主電極領域」も、「第1主電極領域」及び「第2主電極領域」と同様の関係を有する。

[0013] また、以下の説明では、第1導電型がn型、第2導電型がp型の場合について例示的に説明する。しかし、導電型を逆の関係に選択して、第1導電型をp型、第2導電型をn型としても構わない。また、「n」や「p」に付す「+」や「-」は、「+」及び「-」が付記されていない半導体領域に比して、それぞれ相対的に不純物濃度が高い又は低い半導体領域であることを意味する。但し、同じ「n」と「n」とが付された半導体領域であっても、それぞれの半導体領域の不純物濃度が厳密に同じであることを意味するものではない。

[0014] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0015] (第1実施形態)

<半導体装置>

第1実施形態に係る半導体装置(半導体集積回路)の一類型として、CMOSイメージセンサ等の固体撮像装置を例示する。第1実施形態に係る半導体装置は、図1に示すように、画素領域1及び周辺回路(3, 4, 5, 6, 7)を備える。画素領域1は、2次元マトリクス状に配列された複数の画素2を有する。図1では図示を省略するが、複数の画素2のそれぞれは、入射光を光電変換する光電変換部と、光電変換された信号電荷を制御する複数の画素トランジスタとを有する。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、選択トランジスタ及び増幅トランジスタの4つのトランジスタを採用できる。

[0016] 周辺回路(3, 4, 5, 6, 7)は、垂直駆動回路3、カラム信号処理回路4、水平駆動回路5、出力回路6及び制御回路7を含む。垂直駆動回路3は、例えばシフトレジスタで構成される。垂直駆動回路3は、画素駆動配線8aを順次選択し、選択した画素駆動配線8aに画素2を駆動するためのパルスを供給し、各画素2を行単位で駆動する。即ち、垂直駆動回路3は、画素領域1の各画素2を行単位で順次垂直方向に選択走査し、各画素2の光電変換部で生成した信号電荷に基づく画素からの出力信号(画素信号)を、垂直信号線8bを通してカラム信号処理回路4に供給する。

[0017] カラム信号処理回路4は、例えば、画素2の列毎に配置されており、1行分の画素2から出力される信号を画素列毎にノイズ除去等の信号処理を行う。例えば、カラム信号処理回路4は、画素固有の固定パターンノイズを除去するための相関2重サンプリング(CDS)及びアナログ・デジタル(AD)変換等の信号処理を行う。

[0018] 水平駆動回路5は、例えばシフトレジスタで構成される。水平駆動回路5は、水平走査パルスをカラム信号処理回路4に順次出力して、カラム信号処理回路4を順番に選択し、選択したカラム信号処理回路4に、信号処理が行われた画素信号を水平信号線9に出力させる。出力回路6は、カラム信号処

理回路4の各々から水平信号線9を通して、順次に供給される画素信号に対し信号処理を行って出力する。

[0019] 制御回路7は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路3、カラム信号処理回路4、及び水平駆動回路5等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路7は、生成したクロック信号や制御信号を、垂直駆動回路3、カラム信号処理回路4及び水平駆動回路5等に出力する。

[0020] 第1実施形態に係る半導体装置は、図1に示した構成を1枚の基板で構成してもよく、複数の基板を貼り合わせた積層構造で構成してもよい。例えば、第1実施形態に係る半導体装置を第1及び第2基板で構成し、第1基板に、光電変換部と画素トランジスタを設け、第2基板に周辺回路(3, 4, 5, 6, 7)等を設けてもよい。或いは、第1基板に光電変換部と画素トランジスタの一部を設けると共に、第2基板に画素トランジスタの残余の一部と周辺回路(3, 4, 5, 6, 7)等を設ける構成でもよい。

[0021] 図2は、第1実施形態に係る半導体装置の画素2の等価回路の一例を示す。図2に示すように、画素2の光電変換部であるフォトダイオードPDのアノードが接地され、フォトダイオードPDのカソードに、能動素子である転送トランジスタT1のソースが接続されている。転送トランジスタT1のドレインには、浮遊状態の電荷蓄積領域(フローティング・ディフュージョン領域)FDが接続されている。電荷蓄積領域FDは、能動素子であるリセットトランジスタT2のソースと、能動素子である増幅トランジスタT3のゲートに接続されている。増幅トランジスタT3のソースは、能動素子である選択トランジスタT4のドレインに接続され、増幅トランジスタT3のドレインは電源V<sub>dd</sub>に接続されている。選択トランジスタT4のソースは垂直信号線V<sub>SL</sub>に接続されている。リセットトランジスタT2のドレインは電源V<sub>dd</sub>に接続されている。

[0022] 第1実施形態に係る半導体装置の動作時には、画素2のフォトダイオードPDで生成された信号電荷が画素2の転送トランジスタT1を介して画素2

の電荷蓄積領域FDに蓄積される。画素2の電荷蓄積領域FDに蓄積された信号電荷が読み出されて、画素2の増幅トランジスタT3のゲートに印加される。画素2の選択トランジスタT4のゲートには水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。選択用制御信号をハイ(H)レベルにすることにより、選択トランジスタT4が導通し、画素2の増幅トランジスタT3で増幅された画素2の電荷蓄積領域FDの電位に対応する電流が垂直信号線VSLに流れる。また、リセットトランジスタT2のゲートに印加するリセット用制御信号をハイ(H)レベルにすることにより、画素2のリセットトランジスタT2が導通し、画素2の電荷蓄積領域FDに蓄積された信号電荷をリセットする。

[0023] 第1実施形態に係る半導体装置は、図3に示すように、同一の半導体層(半導体基板)10に設けられた第1半導体素子101及び第2半導体素子102を備える。第1半導体素子101は、例えば図2に示した増幅トランジスタT3に対応する能動素子であり、半導体層10の活性領域(第1活性領域)の内部に定義される。第2半導体素子102は、例えば図1に示した周辺回路(3, 4, 5, 6, 7)に含まれる低電圧のアナログトランジスタに対応する能動素子であり、半導体層10の活性領域(第2活性領域)の内部に定義される。

[0024] 図4は、図3の左側に示した第1半導体素子101の平面図であり、図4のA-A'方向から見た断面図が図3に相当する。図5は、図4のB-B'方向から見た断面図である。図6は、図4のC-C'方向から見た断面図である。なお、図3~図6では便宜上、第1半導体素子101及び第2半導体素子102を被覆する層間絶縁膜、ゲート表面配線、ソース電極、ドレイン電極、保護膜等の図示を省略している。

[0025] 図3~図6に示すように、第1半導体素子101は、チャンネル領域10aのチャンネル長Lの方向の両端側の、半導体層10の上部に互いに対向して設けられた第1導電型(n+型)の第1主電極領域(ソース領域)11及び第1導電型(n+型)の第2主電極領域(ドレイン領域)12を有する。

[0026] 半導体層10は、高比抵抗の第1導電型(n-型)のシリコン(Si)基板で構成し、空乏化した状態で用いてもよい。また、半導体層10は、Si基板の上部のウェル領域又はSi基板上的エピタキシャル成長層であってもよい。或いは、半導体層10は、SOI基板を構成する絶縁層上の半導体層で構成してもよい。また、半導体層10は、第2導電型(p-型)のSi基板で構成してもよい。

[0027] 第1主電極領域11及び第2主電極領域12の不純物濃度は、半導体層10の不純物濃度よりも高い。図3において定義される第1主電極領域11及び第2主電極領域12の深さD1は、例えば200nm~500nm程度であり、例えば300nm程度である。第1主電極領域11及び第2主電極領域12は、半導体層10の上部に設けられた素子分離絶縁膜16により区画され、素子分離されている。素子分離絶縁膜16は、シリコン酸化膜(SiO<sub>2</sub>膜)等の絶縁膜で構成できる。

[0028] 図3、図4及び図6に示すように、第1主電極領域11及び第2主電極領域12に挟まれた半導体層10の一部がチャネル領域(第1チャネル領域)10aを構成する。第1チャネル領域10aはフィン型(板状)に構成され、第1主電極領域11及び第2主電極領域12が対向する方向(チャネル長L1の方向)に延伸する。図4では、ゲート電極(第1ゲート電極)14の直下に隠れる第1チャネル領域10aを破線で模式的に示している。

[0029] 図3~図6に示すように、第1半導体素子101は、第1チャネル領域10aの互いに対向する側面の両側及び上面をゲート絶縁膜(第1ゲート絶縁膜)13を介して囲むように設けられた第1ゲート電極14を備える。

[0030] 第1ゲート絶縁膜13の材料としては、シリコン酸化膜(SiO<sub>2</sub>膜)、シリコン酸窒化膜(SiON膜)、ストロンチウム酸化膜(SrO膜)、シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)、アルミニウム酸化膜(Al<sub>2</sub>O<sub>3</sub>膜)、マグネシウム酸化膜(MgO膜)、イットリウム酸化膜(Y<sub>2</sub>O<sub>3</sub>膜)、ハフニウム酸化膜(HfO<sub>2</sub>膜)、ジルコニウム酸化膜(ZrO<sub>2</sub>膜)、タンタル酸化膜(Ta<sub>2</sub>O<sub>5</sub>膜)、ビスマス酸化膜(Bi<sub>2</sub>O<sub>3</sub>膜)のいずれか1つの単層膜或い

はこれらの複数を積層した複合膜等が使用可能である。第1ゲート絶縁膜13がSiO<sub>2</sub>膜の場合、ファウラー・ノルトハイム(FN)トンネル電流が問題にならない低電圧で動作させる状況であれば、第1ゲート絶縁膜13の厚さを例えば5nm~20nm程度に設定することができる。SiO<sub>2</sub>膜の厚さが5nm以下になる場合は直接トンネル電流によるリークを考慮する必要があるが、第1ゲート絶縁膜13の比誘電率の大きな材料を選択することにより、SiO<sub>2</sub>膜への換算膜厚を1nm以下とすることも可能である。

[0031] 第1ゲート電極14の材料としては、例えば高濃度のn型不純物が導入されたポリシリコン(ドーパドポリシリコン)が使用可能である。なお、第1ゲート電極14の材料は、ドーパドポリシリコン(DOPoS)の他にも、タングステン(W)、モリブデン(Mo)、チタン(Ti)等の高融点金属や、高融点金属とポリシリコンとのシリサイド、ポリシリコンと高融点金属のシリサイドとの複合膜であるポリサイド等の導電性材料でもよい。

[0032] 第1ゲート電極14は、図3~図6に示すように、半導体層10の上部に第1ゲート絶縁膜13を介して埋め込まれ、互いに平行な第1凸部142及び第2凸部143と、半導体層10上に第1ゲート絶縁膜13を介して設けられ、第1凸部142及び第2凸部143のそれぞれの上面を互いに接続する水平部141とを有する。第1ゲート電極14は、第1凸部142、第2凸部143及び水平部141でC型レールに近い形状(以下において「C型レール状」という。)をなしている。即ち、第1半導体素子101は、C型レール状の第1ゲート電極14により上面及び側面が囲まれた板状(フィン型)の第1チャネル領域10aを有するMOSFET(フィン型FET)を構成している。そして、C型レール状の第1ゲート電極14が、板状(薄い直方体状)の第1チャネル領域10aの3面を囲む構造を実現している。

[0033] 図6に示すように、第1ゲート電極14のC型レール状の断面形状は、ギリシャ文字のπ字状に例えることも可能である。第1凸部142及び第2凸部143は、第1主電極領域11及び第2主電極領域12の対向する方向と直交する方向(チャネル幅W1の方向)において、第1ゲート絶縁膜13を

介して第1チャネル領域10aの側面の両側を挟む。第1凸部142及び第2凸部143は、第1主電極領域11及び第2主電極領域12の間において、第1チャネル領域10aのチャンネル長L1の方向と平行に延伸する。図3及び図5に示すように、第1ゲート電極14の水平部141のチャンネル端部となる側壁には、シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)等からなる側壁絶縁膜15が設けられている。

[0034] 図3～図6では、第1ゲート電極14が2本の第1凸部142及び第2凸部143を有するC型レール状の形状を例示するが、第1ゲート電極14の凸部の本数は特に限定されず、C型レール状に限定されるものではない。例えば、第1ゲート電極14が3本以上の凸部を有し、且つ凸部の本数に対応した2本以上である複数本のチャンネル領域が設けられていてもよい。

[0035] 第1ゲート電極14は、第1ゲート絶縁膜13を介して、第1凸部142、第2凸部143及び水平部141に対向する第1チャネル領域10aの表面ポテンシャルを静電的に制御することにより、第1チャネル領域10aの側面の両側及び上面側にチャンネルを形成する。

[0036] 図5及び図6で定義される、チャンネル領域10aの上面からの、第1ゲート絶縁膜13の厚さを含めた第1凸部142及び第2凸部143の深さD0は、例えば200nm～400nm程度であり、例えば300nm程度である。図3及び図5で定義される、第1ゲート絶縁膜13の厚さを含めた水平部141のチャンネル領域10a上の高さH1は、例えば200nm～400nm程度であり、例えば300nm程度である。第1凸部142及び第2凸部143の深さD0と水平部141の高さH1とは、互いに略同一でもよく、互いに異なってもよい。

[0037] 第1実施形態に係る半導体装置において、図3で定義される第1主電極領域11及び第2主電極領域12の深さD1が、図5及び図6で定義される第1ゲート絶縁膜13の厚さを含めた第1凸部142及び第2凸部143の深さD0以上に設定されている。D1 ≥ D0とすることにより、第1実施形態に係る半導体装置の相互コンダクタンスg<sub>m</sub>を増大させることができる。第

1主電極領域11及び第2主電極領域12の深さD1は、例えば第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含んだ深さD0よりも0nm~200nm程度深くてもよく、0nm~100nm程度深くてもよい。

[0038] 但し、第1主電極領域11及び第2主電極領域12の深さD1を深くするほど短チャネル効果が増大し、ドレイン電流をゲート電圧で制御することが困難となる。したがって、第1半導体素子101がMOSFETやMISFETの場合においては、短チャネル効果の顕在化を抑制するために、第1主電極領域11及び第2主電極領域12の深さD1を、第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0と略同一に設定することが好ましい。なお、図3で定義される第1主電極領域11及び第2主電極領域12の深さD1を、第1ゲート絶縁膜13の厚さを含まない寸法で定義される第1凸部142及び第2凸部143のみの深さと略同一に設定してもよい。また、第1主電極領域11及び第2主電極領域12の深さD1が、第1ゲート絶縁膜13の厚さを含めた第1凸部142及び第2凸部143の深さD0と同一という場合には、必ずしも完全に同一である必要はなく、第1実施形態に係る半導体装置の特性に支障が生じない範囲内で略同一又は同程度の値であればよい。また、製造誤差程度の値の違いがあっても構わない。

[0039] なお、第1半導体素子101がMISSITやMOSSITの場合には、SITは短チャネル効果を積極的に利用した半導体素子であるため、第1主電極領域11及び第2主電極領域12の深さD1を第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0よりも深くして、相互コンダクタンス $g_m$ を増大させてもよい。

[0040] また、第1実施形態に係る半導体装置において、第1ゲート電極14の水平部141の高さH1が、第1主電極領域11及び第2主電極領域12の深さD1以上に設定されている。例えば、第1ゲート電極14の水平部141の高さH1は、第1主電極領域11及び第2主電極領域12の深さD1と略

同一（例えばそれぞれ300nm）である。第1実施形態に係る半導体装置の製造プロセスにおいて、第1主電極領域11及び第2主電極領域12を形成する際に、水平部141をイオン注入用マスクとして用いて、自己整合的に不純物をイオン注入する。この場合、水平部141の高さH1を、第1主電極領域11及び第2主電極領域12の深さD1以上に設定することにより、注入された不純物イオンが水平部141を突き抜けて第1チャンネル領域10aまで到達することを防止することができる。

[0041] 一方、図3の右側に示した第2半導体素子102は、一般的なプレーナ型のnチャンネルMOSFETで構成されている。第2半導体素子102は、半導体層10の上部に設けられた第2導電型（p型）のウェル領域10bに設けられている。なお、半導体層10が第2導電型（p型）のSi基板で構成される場合には、第2半導体素子102は半導体層10に設けられていてよい。第2半導体素子102は、ウェル領域10bの上部に対向して設けられた第1導電型（n<sup>+</sup>型）の第3主電極領域（ソース領域）21及び第1導電型（n<sup>+</sup>型）の第4主電極領域（ドレイン領域）22を有する。第3主電極領域21及び第4主電極領域22の不純物濃度は、半導体層10の不純物濃度よりも高い。

[0042] 第2半導体素子102は、第3主電極領域21及び第4主電極領域22に挟まれたウェル領域10bの上面側であるチャンネル領域（第2チャンネル領域）上に第2ゲート絶縁膜23を介して設けられた第2ゲート電極24を更に備える。第2ゲート電極24は、第2ゲート絶縁膜23を介して、第2チャンネル領域の表面ポテンシャルを静電的に制御することにより、第2チャンネル領域に反転チャンネルを形成する。第2ゲート電極24のチャンネル端部となる側壁には、シリコン窒化膜（Si<sub>3</sub>N<sub>4</sub>膜）等からなる側壁絶縁膜25が設けられている。

[0043] 第2半導体素子102の第3主電極領域21及び第4主電極領域22は、第1半導体素子101の第1主電極領域11及び第2主電極領域12を形成する工程とは異なる独立した工程で作分けられている。第2半導体素子1

02の第3主電極領域21及び第4主電極領域22の深さD2は、第1半導体素子101の第1主電極領域11及び第2主電極領域12の深さD1と異なるように設定される。例えば、第2半導体素子102の第3主電極領域21及び第4主電極領域22の深さD2は、第1主電極領域11及び第2主電極領域12の深さD1よりも浅く設定する。第2半導体素子102の第3主電極領域21及び第4主電極領域22の深さD2は、例えば100nm~200nm程度であり、例えば150nm程度であってよい。

[0044] 例えば、第2半導体素子102が周辺回路のトランジスタである場合に、第2半導体素子102の第3主電極領域21及び第4主電極領域22を、第1半導体素子101の第1主電極領域11及び第2主電極領域12とは独立した工程で作り分けることで、第1半導体素子101の第1主電極領域11及び第2主電極領域12を深く設けた場合でも、第1半導体素子101が周辺回路の素子分離幅、ゲート長等の微細化に影響を与えることを防止することができる。

[0045] 第2半導体素子102の第2ゲート電極24は、第1半導体素子101の第1ゲート電極14を形成する工程とは異なる独立した工程で作り分けられている。第2ゲート電極24の高さH2は、第1ゲート電極14の水平部141の高さH1と異なるように設定されている。例えば、第2ゲート電極24の高さH2は、第1ゲート電極14の水平部141の高さH1よりも低く設定され、第1ゲート電極14のように厚膜化しなくてよい。第2ゲート電極24の高さH2は、例えば100nm~200nm程度であり、例えば150nm程度である。

[0046] 第2半導体素子102が周辺回路のトランジスタである場合等に、第2半導体素子102の第2ゲート電極24を、第1半導体素子101の第1ゲート電極14とは独立した工程で作り分けらることで、第1ゲート電極14の水平部141の高さH1を高くしても、第1半導体素子101の影響を受けずに第2半導体素子102の第2ゲート電極24のゲート長を微細化することができる。

[0047] <半導体装置の製造方法>

次に、図7A～図13を参照して、第1実施形態に係る半導体装置の製造方法の一例を、半導体装置に含まれる半導体素子の構造に着目して説明する。ここでは、図3の左側に示した第1半導体素子101に主に着目して説明する。図7A、図8A、図9A、図10～図13は、図3のA-A'方向から見た工程断面図であり、図7B、図8B、図9Bは、図3のC-C'から見た工程断面図である。

[0048] まず、半導体層10上に酸化膜等の食刻保護膜（第1食刻保護膜）41を堆積する。そして、フォトリソグラフィ技術及び反応性イオンエッチング（RIE）等のドライエッチングにより、第1及び第2活性領域を定義するように第1食刻保護膜41をパターニングする。パターニングされた第1食刻保護膜41をエッチング用マスクとして用いて、RIE等のドライエッチングにより、図7A及び図7Bに示すように、半導体層10の上部に第1及び第2活性領域を残すように凹部（素子分離用凹部）30を掘る。凹部30により区画され、第1活性領域として露出した半導体層10の上部が第1チャネル領域10aとなる。その後、第1食刻保護膜41を除去する。

[0049] 次に、シャロートレンチアイソレーション（STI）の手法に沿って、半導体層10の凹部30の内部に酸化膜等の素子分離絶縁膜16を埋め込むことにより、図8A及び図8Bに示すように、第1活性領域を区画するように素子分離絶縁膜16を形成する。

[0050] 次に、CVD法等により、第1チャネル領域10a及び素子分離絶縁膜16上に酸化膜等の新たな食刻保護膜（第2食刻保護膜）42を堆積する。そして、フォトリソグラフィ技術及びドライエッチングにより、第2食刻保護膜42をパターニングする。パターニングされた第2食刻保護膜42をエッチング用マスクとして用いて、RIE等のドライエッチングにより、図9A及び図9Bに示すように、素子分離絶縁膜16の一部を選択的に除去して、第1チャネル領域10aの側面の両側が露出するように、一对の第1トレンチ31及び第2トレンチ32を互いに平行に掘る。一对の第1トレンチ31

及び第2トレンチ32のそれぞれの垂直側壁に囲まれて第1チャンネル領域10aが区画される。一对の第1トレンチ31及び第2トレンチ32は、素子分離絶縁膜16を貫通して、素子分離絶縁膜16の底部の半導体層10の上面を露出させる。その後、第2食刻保護膜42を除去する。

[0051] 次に、熱酸化法（ドライ酸化法）等により、一对の第1トレンチ31及び第2トレンチ32の内壁、第1チャンネル領域10aの上面に第1ゲート絶縁膜13として酸化膜を形成する。この第1半導体素子101の第1ゲート絶縁膜13を形成する工程と同時に、図3に示した第2半導体素子102の第2ゲート絶縁膜23も同じ膜厚で第2活性領域に形成する。更に、CVD法等により、第1活性領域においては、一对の第1トレンチ31及び第2トレンチ32内を埋め込むように第1チャンネル領域10a及び素子分離絶縁膜16上に第1ゲート絶縁膜13を介してDOPOS層等の導電性材料層を堆積する。そして、フォトリソグラフィ技術及びドライエッチングにより、第1ゲート絶縁膜13及び導電性材料層の一部を選択的に除去する。この結果、図10A及び図10Bに示すように、第1トレンチ31及び第2トレンチ32内に第1ゲート絶縁膜13を介して埋め込まれた導電性材料層からなる第1凸部142及び第2凸部143と、半導体層10上に第1ゲート絶縁膜13を介して設けられた導電性材料層からなる水平部141とでC型レール状の第1ゲート電極14を第1活性領域に形成する。

[0052] また、第1半導体素子101の第1ゲート電極14を形成する工程とは個別に、図3に示した第2半導体素子102の第2ゲート電極24を形成する工程を、第2活性領域に対して行う。即ち、CVD法等により、第2半導体素子102を形成する予定領域となる半導体層10上に導電性材料層を堆積する。そして、フォトリソグラフィ技術及びドライエッチングにより、導電性材料層の一部を選択的に除去して、図3に示した第2活性領域において、第2半導体素子102の第2ゲート電極24を形成する。なお、第2半導体素子102の第2ゲート絶縁膜23は、第1半導体素子101の第1ゲート絶縁膜13と別個の工程で形成してもよい。

[0053] 次に、CVD法等により、図10Aに示した半導体層10及び水平部141上に拡張絶縁膜を堆積する。そして、フォトリソグラフィ技術及びドライエッチングにより、水平部141のゲート長方向の両端に拡張絶縁膜が残留するように、拡張絶縁膜の一部を選択的に除去する。拡張絶縁膜の選択的エッチングにより、図11に示すように、水平部141のゲート長方向の側壁に半蒲鉾型の側壁絶縁膜15を形成する。

[0054] 次に、フォトレジスト膜43を塗布して、フォトリソグラフィ技術を用いてフォトレジスト膜43をパターニングする。そして、図12に示すように、パターニングされたフォトレジスト膜43の開口部に対し、砒素イオン ( $^{75}\text{As}^+$ ) や燐イオン ( $^{31}\text{P}^+$ ) 等の第1導電型 (n型) を呈する不純物イオンを注入することにより、半導体層10の上部にイオン注入領域11x, 12xを形成する。n型を呈する不純物イオンの注入は、図12に示すように、パターニングされたフォトレジスト膜43の開口部の内部に露出した水平部141及び側壁絶縁膜15をイオン注入用マスクとして用いて、自己整合的に実施される。この際、水平部141の高さH1が、図3で定義した深さD1以上に設定されているため、注入された不純物イオンが水平部141を突き抜けて第1チャネル領域10aまで到達することを防止することができる。その後、フォトレジスト膜43を除去する。

[0055] また、第2活性領域において図3に示した第2半導体素子102の第3主電極領域21及び第4主電極領域22を形成するために、新たなフォトレジスト膜を塗布して、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をイオン注入用マスクとして用いてイオン注入を行う。この際、第1主電極領域11及び第2主電極領域12を形成するためのイオン注入の射影飛程D3よりも射影飛程が浅くなるように加速電圧を調整する。

[0056] なお、水平部141の高さH1を、不純物を熱拡散した後の第1主電極領域11及び第2主電極領域12の深さD1以上に設定する代わりに、水平部141の高さH1を、図12に定義する射影飛程D3以上に設定してもよい

。射影飛程D3は、第1主電極領域11及び第2主電極領域12の深さD1よりも浅い。

[0057] その後、熱処理により、イオン注入領域11x, 12xの不純物イオンを活性化させ、且つ活性化後の不純物元素を熱拡散させることにより、図13に示すように第1主電極領域11及び第2主電極領域12を形成する。第1主電極領域11及び第2主電極領域12の深さD1は、第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0以上となる。また、この熱処理により、第2半導体素子102のイオン注入領域の不純物イオンを同時に活性化させ、且つ活性化後の不純物元素を同時に熱拡散させることにより、第3主電極領域21及び第4主電極領域22を形成する。その後、周知のメタライゼーション工程によりゲート配線、ソース電極、ドレイン電極等を形成することにより、図3に示した第1半導体素子101及び第2半導体素子102を回路素子の一部として含む半導体装置が完成する。

[0058] 第1実施形態に係る半導体装置の製造方法によれば、第1半導体素子101の第1主電極領域11及び第2主電極領域12の深さD1を、第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0以上とすることにより、相互コンダクタンスgmを増大することができる第1半導体素子101を実現可能となる。

[0059] 更に、第1半導体素子101の第1ゲート電極14を形成する工程と、第2半導体素子102の第2ゲート電極24を形成する工程とを個別に行うため、第1半導体素子101の第1主電極領域11及び第2主電極領域12の深さD1を深くした場合でも、第2半導体素子102の微細化に与える影響を防止することができる。

[0060] 更に、第1半導体素子101の第1主電極領域11及び第2主電極領域12を形成するためのイオン注入工程と、第2半導体素子102の第3主電極領域21及び第4主電極領域22を形成するためのイオン注入工程とを個別に行うため、第1半導体素子101の第1主電極領域11及び第2主電極領

域 1 2 の深さ D 1 を深くした場合でも、第 2 半導体素子 1 0 2 の微細化に与える影響を防止することができる。

[0061] <第 1 実施形態の変形例>

第 1 実施形態の変形例に係る半導体装置に含まれる第 1 半導体素子 1 0 1 は、図 1 4 に示すように、低濃度ドープド・ドレイン (L D D) 構造を構成する点が、図 3 に示した第 1 実施形態に係る半導体装置の第 1 半導体素子 1 0 1 と異なる。図 1 4 に示すように、第 1 主電極領域 1 1 の上部には、低濃度張り出し領域 (L D D 領域) となる第 1 エクステンション領域 1 1 a が設けられている。第 1 エクステンション領域 1 1 a の深さは、第 1 主電極領域 1 1 の深さよりも浅く、第 1 エクステンション領域 1 1 a の不純物濃度は、第 1 主電極領域 1 1 の不純物濃度よりも低い。第 2 主電極領域 1 2 の上部には、低濃度張り出し領域となる第 2 エクステンション領域 1 2 a が設けられている。第 2 エクステンション領域 1 2 a の深さは、第 2 主電極領域 1 2 の深さよりも浅く、第 2 エクステンション領域 1 2 a の不純物濃度は、第 2 主電極領域 1 2 の不純物濃度よりも低い。

[0062] 図 1 4 に示すように、第 1 エクステンション領域 1 1 a 及び第 2 エクステンション領域 1 2 a は、互いに対向してよりチャネル側に向かって迫り出し、水平部 1 4 1 の端部の下の領域と重複している。第 1 実施形態の変形例に係る半導体装置に含まれる半導体素子 1 0 1 は、第 1 エクステンション領域 1 1 a 及び第 2 エクステンション領域 1 2 a を備えてゲートオーバーラップ構造にしているので、より短チャネル効果の抑制に適した構造となる。第 1 実施形態の変形例に係る半導体装置に含まれる第 1 半導体素子 1 0 1 の他の構成は、図 3 ~ 図 6 に示した第 1 実施形態に係る半導体装置の第 1 半導体素子 1 0 1 と同様であるので、重複した説明を省略する。

[0063] (第 2 実施形態)

<半導体装置>

第 2 実施形態に係る半導体装置に含まれる半導体素子 1 0 1 は、図 1 5 に示すように、半導体層 1 0 の上部に第 1 チャネル領域 1 0 a を介して対向し

た第1主電極領域51及び第2主電極領域52を備える。図15は、図4に示した第1実施形態に係る半導体装置の第1半導体素子101のA-A'方向から見た断面図に対応する。

[0064] 図15に示すように、第1主電極領域51及び第2主電極領域52の深さD1は、第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0（図5及び図6参照。）以上に設定されている点は、第1実施形態に係る第1半導体素子101と共通する。しかし、第2実施形態に係る半導体素子101では、第1主電極領域51及び第2主電極領域52が、選択CVD法等の気相成長により形成されたDOPOSからなる点が、第1実施形態に係る第1半導体素子101と異なる。なお、第1主電極領域51及び第2主電極領域52は、より高温で気相成長することによりエピタキシャル成長してもよく、DOPOSを熱処理してエピタキシャル成長層に近い結晶性に変換するようにしてもよい。又、第1主電極領域51及び第2主電極領域52を、結晶性の高いエピタキシャル成長層にするには、超高真空下における光励起分子層エピタキシャル成長の手法を用いてもよい。減圧CVDにおいて紫外線による光表面触媒効果を利用しても、第1主電極領域51及び第2主電極領域52を単結晶に近い結晶性にするのが可能である。

[0065] 第1ゲート電極14は、第1実施形態に係る第1半導体素子101と同様に、半導体層10の上部に第1ゲート絶縁膜13を介して埋め込まれ、互いに平行な第1凸部142及び第2凸部143と、半導体層10上に第1ゲート絶縁膜13を介して設けられ、第1凸部142及び第2凸部143のそれぞれの上を互いに接続する水平部141とを有する（図5及び図6等参照）。第1ゲート電極14の水平部141上には層間絶縁膜17が設けられている。

[0066] 水平部141の高さH1は、第1主電極領域51及び第2主電極領域52の深さD1以上であってよく、第1主電極領域51及び第2主電極領域52の深さD1と同一であってよい。第1ゲート電極14の水平部141の高さH1は、第1主電極領域51及び第2主電極領域52の深さD1より低く

てもよい。

[0067] 第2実施形態に係る第1半導体素子101の他の構成は、図3～図6に示した第1実施形態に係る第1半導体素子101と同様であるので、重複した説明を省略する。また、第2実施形態に係る半導体装置に含まれる第2半導体素子の構成は、図3に示した第1実施形態に係る半導体装置に含まれる第2半導体素子102と同様であるので、重複した説明を省略する。

[0068] 第2実施形態に係る半導体装置によれば、第1実施形態に係る半導体装置と同様に、第1半導体素子101の第1主電極領域51及び第2主電極領域52の深さD1が、第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0以上に設定されている。このため、第1半導体素子101の相互コンダクタンス $g_m$ を増大させることができる。

[0069] 更に、第1主電極領域51及び第2主電極領域52は、選択CVD法等の気相成長の手法により形成されている。このため、第1ゲート電極14の水平部141の高さH1を第1主電極領域51及び第2主電極領域52の深さD1以上としなくても、第2実施形態に係る半導体装置の製造プロセスにおいて、第1主電極領域51及び第2主電極領域52を形成するために注入された不純物イオンが水平部141を突き抜けて第1チャンネル領域10aまで到達することを防止することができる。即ち、気相成長の際、所望の導電型の不純物を添加するようにドーピングガスを用いているので、第1主電極領域51及び第2主電極領域52を形成するためのイオン注入の工程が不要である。第1主電極領域51及び第2主電極領域52がn型であればフォスフィン( $PH_3$ )やアルシン( $AsH_3$ )をドーピングガスとして用いることができる。

[0070] <比較例>

ここで、比較例に係る半導体装置を説明する。比較例に係る半導体装置に含まれる半導体素子は、図16に示すように、イオン注入及び注入後の熱処理により形成された第1主電極領域51x及び第2主電極領域52xを備える点が、図15に示した第2実施形態に係る半導体装置に含まれる第1半導

体素子 101 と異なる。比較例に係る半導体装置では、第 1 主電極領域 51x 及び第 2 主電極領域 52x を形成するためのイオン注入により結晶ダメージが導入され、その後の熱処理により、第 1 主電極領域 51x 及び第 2 主電極領域 52x の下方に位置する半導体層 10 に不純物が偏析し、転位ループ等のエンド・オブ・レンジ（EOR）欠陥が発生する。EOR 欠陥により、不純物の活性化が不十分となり、部分的に高抵抗化層を形成し、コンタクト抵抗を増大させる場合がある。

[0071] 比較例に係る半導体装置に対して、第 2 実施形態に係る半導体装置に含まれる第 1 半導体素子 101 は、図 15 に示すように、第 1 主電極領域 51 及び第 2 主電極領域 52 が気相成長により形成されているため、第 1 主電極領域 51 及び第 2 主電極領域 52 の下に EOR 欠陥を有しない。気相成長法を用いることより、EOR 欠陥に基づく高抵抗化を抑制し、半導体層 10 における抵抗やコンタクト抵抗の低抵抗化を図ることができる。EOR 欠陥の有無は、透過型電子顕微鏡（TEM）により確認することができる。

[0072] 更に、第 2 実施形態に係る半導体装置によれば、第 1 主電極領域 51 及び第 2 主電極領域 52 は、気相成長により形成されている。気相成長法を用いているため、第 1 ゲート電極 14 の水平部 141 の高さ H1 を第 1 主電極領域 51 及び第 2 主電極領域 52 の深さ D1 以上としなくても、第 1 主電極領域及び第 2 主電極領域を注入された不純物イオンが水平部 141 を突き抜けて第 1 チャネル領域 10a まで到達することを防止することができる。

[0073] <半導体装置の製造方法>

次に、図 17～図 21 等を参照して、第 2 実施形態に係る半導体装置の製造方法の一例を、図 15 に示した半導体装置に含まれる第 1 半導体素子 101 の構造に着目して説明する。

[0074] 第 2 実施形態に係る半導体装置の製造方法は、第 1 実施形態に係る半導体装置の製造方法と、図 10A 及び図 10B に示した手順までは同様である。次に、図 17 に示すように、CVD 法及びドライエッチング等により、水平部 141 の上面に層間絶縁膜 17 を形成すると共に、水平部 141 のゲート

長方向の両端面に側壁絶縁膜 15 を形成する。

[0075] 次に、CVD法等により、図18に示すように、酸化膜等からなるハードマスク用絶縁膜44を堆積する。次に、ハードマスク用絶縁膜44上にフォトレジスト膜45を塗布して、フォトリソグラフィ技術を用いてフォトレジスト膜45をパターニングする。パターニングされたフォトレジスト膜45をエッチング用マスクとして用いて、ハードマスク用絶縁膜44をパターニングし、図19に示すように、パターニングされたハードマスク用絶縁膜44からなるハードマスクを形成する。その後、フォトレジスト膜45を除去する。

[0076] 次に、ハードマスク44、層間絶縁膜17及び側壁絶縁膜15をエッチング用マスクとして用いて自己整合的に、RIE等のドライエッチングにより、半導体層10の一部を除去する。この結果、図20に示すように、半導体層10の上部に矩形の第3トレンチ（第1井戸型溝部）61及び第4トレンチ（第2井戸型溝部）62を対向して形成する。

[0077] 次に、図21に示すように、第3トレンチ61及び第4トレンチ62内のそれぞれにシリコン層を選択的に気相成長（気相堆積）させることにより、第1主電極領域51及び第2主電極領域52を形成する。その後、ハードマスク44を除去する。気相成長の成長条件により、シリコン層はエピタキシャル成長層（単結晶層）、ポリシリコン層（多結晶層）、アモルファス層（非晶質層）になる。気相成長の際のオートドーピングによる拡散もあるので、ドーピング領域は側壁絶縁膜15の下方まで横方向拡散する。その後、周知のメタライゼーション工程によりゲート配線、ソース電極、ドレイン電極等を形成することにより、図15に示した第1半導体素子101を回路素子の一部として含む第2実施形態に係る半導体装置が完成する。

[0078] 第2実施形態に係る半導体装置の製造方法によれば、第1主電極領域51及び第2主電極領域52を、それぞれ第3トレンチ61及び第4トレンチ62の内部に気相成長（気相堆積）することにより形成している。即ち、イオン注入を用いて第1主電極領域及び第2主電極領域を形成する場合における

、注入された不純物イオンが水平部141を突き抜けて第1チャンネル領域10aに到達するという問題点を、第2実施形態に係る半導体装置の製造方法は解消することができる。

[0079] <第2実施形態の変形例>

第2実施形態の変形例に係る半導体装置の製造方法として、第1主電極領域51及び第2主電極領域52をドーピングガスを用いて気相成長（ドーピング成長）するのみでは、第1主電極領域51及び第2主電極領域52の不純物濃度が不足する場合に、第1主電極領域51及び第2主電極領域52の不純物濃度を高める方法を説明する。

[0080] 第2実施形態の変形例に係る半導体装置の製造方法は、第2実施形態に係る半導体装置の製造方法の図20に示した手順までは同様である。次に、プラズマドーピング又は固相拡散等により、第3トレンチ61及び第4トレンチ62の底面及び側面に、砒素（As）や燐（P）等の第1導電型（n型）の不純物をドーピングする。この結果、図22に示すように、第1主電極領域51及び第2主電極領域52の一部となる第1導電型（n<sup>+</sup>型）の第1ドーピング領域51a、52aを形成する。

[0081] 次に、第3トレンチ61及び第4トレンチ62内にシリコン層を埋め込むように選択的に気相成長させることにより、図23に示すように、第1主電極領域51及び第2主電極領域52の一部となる第1導電型（n<sup>+</sup>型）の第2ドーピング領域51b、52bを形成する。

[0082] 次に、図24に示すように、ハードマスク44、層間絶縁膜17及び側壁絶縁膜15をイオン注入用マスクとして用いて、第2ドーピング領域51b、52bの上面に対して、砒素イオン（<sup>75</sup>As<sup>+</sup>）や燐イオン（<sup>31</sup>P<sup>+</sup>）等の第1導電型（n型）を呈する不純物イオンの注入を浅い射影飛程で行う。その後、熱処理を行い、不純物イオンを活性化させて熱拡散させることにより、図25に示すように、第1主電極領域51及び第2主電極領域52の一部となる第1導電型（n<sup>+</sup>型）の第3ドーピング領域51c、52cを形成する。この結果、第1ドーピング領域51a、第2ドーピング領域51b及び第

3ドーピング領域51cからなる第1主電極領域(51a, 51b, 51c)が形成されると共に、第1ドーピング領域52a、第2ドーピング領域52b及び第3ドーピング領域52cからなる第2主電極領域(52a, 52b, 52c)が形成される。その後、ハードマスク44を除去する。

[0083] 第2実施形態の変形例に係る半導体装置の製造方法によれば、第1主電極領域51及び第2主電極領域52の一部となる第2ドーピング領域51b, 52bを気相成長する前に、プラズマドーピング等により第1主電極領域51及び第2主電極領域52の一部となる第1ドーピング領域51a, 52aを形成する。このため、第1主電極領域51及び第2主電極領域52を気相成長するのみの場合と比較して、第1主電極領域(51a, 51b, 51c)及び第2主電極領域(52a, 52b, 52c)の不純物濃度、特に第1ドーピング領域51a, 52aの不純物濃度を高めることができる。

[0084] 更に、第1主電極領域51及び第2主電極領域52の一部となる第2ドーピング領域51b, 52bを気相成長法した後に、第2ドーピング領域51b, 52bの上面に対して浅いイオン注入及び注入後の熱処理を行うことにより、第1主電極領域51及び第2主電極領域52の一部となる第3ドーピング領域51c, 52cを形成する。このため、第1主電極領域51及び第2主電極領域52を気相成長するのみの場合と比較して、第1主電極領域(51a, 51b, 51c)及び第2主電極領域(52a, 52b, 52c)の不純物濃度、特に第3ドーピング領域51c, 52cの不純物濃度を高めることができる。

[0085] なお、第2実施形態の変形例に係る半導体装置の製造方法として、図22に示した第1ドーピング領域51a, 52aを形成する工程と、図24及び図25に示した第3ドーピング領域51c, 52cを形成する工程のいずれも行う場合を例示した。しかし、図22に示した第1ドーピング領域51a, 52aを形成する工程と、図24及び図25に示した第3ドーピング領域51c, 52cを形成する工程のいずれか一方の工程のみを行い、他方の工程を行わなくてもよい。

## [0086] (その他の実施形態)

上記のように、本技術は第1及び第2実施形態及び各変形例によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0087] 例えば、第1及び第2実施形態に係る半導体装置は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。例えば、図26に示す電子機器（カメラ）に適用することができる。図26に示す電子機器は、例えば、静止画または動画を撮影可能なビデオカメラであり、半導体装置200と、光学系（光学レンズ）201と、シャッタ装置202と、半導体装置200及びシャッタ装置202を駆動する駆動部204と、信号処理部203とを有する。

[0088] 半導体装置200は、第1及び第2実施形態に係る半導体装置を適用可能である。光学系201は、被写体からの像光（入射光）を半導体装置200の画素領域1へ導く。この光学系201は、複数の光学レンズから構成されていてもよい。シャッタ装置202は、半導体装置200への光照射期間及び遮光期間を制御する。駆動部204は、半導体装置200の転送動作及びシャッタ装置202のシャッタ動作を制御する。信号処理部203は、半導体装置200から出力された信号に対し、各種の信号処理を行う。信号処理後の映像信号は、メモリ等の記憶媒体に記憶されるか、或いは、モニタ等に出力される。

[0089] また、第1及び第2実施形態に係る半導体装置では、第1半導体素子101が増幅トランジスタである場合を例示したが、第1半導体素子101は増幅トランジスタ以外の転送トランジスタ等の画素トランジスタであってもよい。また、第1半導体素子101は、画素トランジスタ以外の周辺回路のアナログトランジスタにも使用可能である。第1半導体素子101が周辺回路のアナログトランジスタの場合には、第1主電極領域51及び第2主電極領

域52の深さD1を第1凸部142及び第2凸部143の第1ゲート絶縁膜13の厚さを含めた深さD0以上とすることにより、sファクタ（s値）を低減することができる。

[0090] また、第1及び第2実施形態に係る半導体装置では、半導体層10がSi基板である場合を例示したが、Si基板の代わりに、炭化ケイ素（SiC）、窒化ガリウム（GaN）、ガリウム砒素（GaAs）等のSiよりも禁制帯幅が広い半導体（ワイドバンドギャップ半導体）基板を使用してもよい。

[0091] このように、上記の実施形態が開示する技術内容の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなる。また、上記の実施形態及び各変形例において説明される各構成を任意に応用した構成等、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本技術の技術的範囲は上記の例示的説明から妥当な、特許請求の範囲に係る発明特定事項によるのみ定められるものである。

[0092] なお、本技術は、以下のような構成を取ることができる。

(1)

半導体層と、

前記半導体層の上部に設けられたチャネル領域と、

前記チャネル領域のチャネル長方向の両端側に対向して設けられた第1及び第2主電極領域と、

前記チャネル領域のチャネル幅方向の互いに対向する側面の両側に設けられた第1及び第2トレンチの内壁、並びに前記チャネル領域の上面に設けられたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記第1トレンチに埋め込まれた第1凸部、前記ゲート絶縁膜を介して前記第2トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極と、

を備え、

前記第 1 及び第 2 主電極領域の深さが、前記第 1 及び第 2 凸部の前記ゲート絶縁膜を含めた深さと同一である、半導体素子。

(2)

前記水平部の高さが、前記第 1 及び第 2 主電極領域の深さ以上である、(1) に記載の半導体素子。

(3)

前記第 1 及び第 2 主電極領域の直下に位置する前記半導体層にエンド・オブ・レンジ欠陥を有さない、(1) 又は (2) に記載の半導体素子。

(4)

半導体層と、前記半導体層の上部に設けられたチャネル領域と、前記チャネル領域のチャネル長方向の両端側に対向して設けられた第 1 及び第 2 主電極領域と、前記チャネル領域のチャネル幅方向の互いに対向する側面の両側に設けられた第 1 及び第 2 トレンチの内壁、並びに前記チャネル領域の上面に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記第 1 トレンチに埋め込まれた第 1 凸部、前記ゲート絶縁膜を介して前記第 2 トレンチに埋め込まれた第 2 凸部、前記第 1 及び第 2 凸部の上端に接続され、前記チャネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極とを有する第 1 半導体素子と、

前記半導体層の上部に対向して設けられた第 3 及び第 4 主電極領域、前記第 3 及び第 4 主電極領域に挟まれた前記半導体層上に第 2 ゲート絶縁膜を介して設けられた第 2 ゲート電極とを有する第 2 半導体素子と、

を備え、

前記第 1 及び第 2 主電極領域の深さが、前記第 1 及び第 2 凸部の前記ゲート絶縁膜を含めた深さと同一である、半導体装置。

(5)

前記第 3 及び第 4 主電極領域の深さが、前記第 1 及び第 2 主電極領域の深さよりも浅い、(4) に記載の半導体装置。

(6)

前記第2ゲート電極の高さが、前記水平部の高さよりも低い、(4)又は(5)に記載の半導体装置。

(7)

前記第1半導体素子が、固体撮像装置の画素に含まれる増幅トランジスタであり、

前記第2半導体素子が、前記固体撮像装置の周辺回路に含まれるトランジスタである、

(4)～(6)のいずれかに記載の半導体装置。

(8)

半導体層の上部に凹部を掘り、前記凹部で区画されたチャネル領域を形成する工程と、

前記凹部に素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜を選択的に除去して、前記チャネル領域のチャネル幅方向の互いに対向する側面を露出する第1及び第2トレンチを掘る工程と、

前記第1及び第2トレンチの内壁、並びに前記チャネル領域の上面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記第1及び第2トレンチに導電性材料層を埋め込み、前記第1トレンチに埋め込まれた第1凸部、前記第2トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極を形成する工程と、

前記チャネル領域のチャネル長方向の両端側を挟んで互いに対向する第1及び第2主電極領域を、前記第1及び第2凸部の前記ゲート絶縁膜を含めた深さと同一の深さで形成する工程と、

を含む、半導体素子の製造方法。

(9)

前記第1及び第2主電極領域を形成する工程は、

前記半導体層の上面に不純物イオンを注入する手順と、

前記不純物イオンを熱処理により活性化させる手順と、  
を含み、  
前記不純物イオンの射影飛程よりも、前記水平部の厚さを厚くする、（８）に記載の半導体素子の製造方法。

（１０）

前記第１及び第２主電極領域を形成する工程は、  
前記チャンネル領域のチャンネル長方向の両端側に、互いに対向して第３及び第４トレンチを掘る手順と、

前記第３及び第４トレンチ内に導電性材料層を気相成長で埋め込むことにより、前記第１及び第２主電極領域を形成する手順と、

を含む、（８）に記載の半導体素子の製造方法。

（１１）

前記気相成長で埋め込む手順の前に、前記第３及び第４トレンチの底面及び側面に、前記第１及び第２主電極領域と同一導電性を呈する不純物を熱拡散で添加する手順を更に含む、（１０）に記載の半導体素子の製造方法。

（１２）

前記気相成長で埋め込む手順の後に、

前記第１及び第２主電極領域と同一導電性を呈する不純物イオンを、前記第１及び第２主電極領域の上面に注入する手順と、

前記不純物イオンを熱処理により活性化させる手順と、

を更に含む、（１０）又は（１１）に記載の半導体素子の製造方法。

（１３）

半導体層の上部に凹部を掘り、前記凹部で区画されたチャンネル領域を形成する工程と、

前記凹部に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜を選択的に除去して、前記チャンネル領域のチャンネル幅方向の互いに対向する側面を露出する第１及び第２トレンチを掘る工程と、

前記第１及び第２トレンチの内壁、並びに前記チャンネル領域の上面にゲー

ト絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記第1及び第2トレンチに導電性材料層を埋め込み、前記第1トレンチに埋め込まれた第1凸部、前記第2トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャンネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極を形成する工程と、

前記チャンネル領域のチャンネル長方向の両端側を挟んで互いに対向する第1及び第2主電極領域を、前記第1及び第2凸部の前記ゲート絶縁膜を含めた深さと同一の深さで形成する工程と、

前記半導体層上に前記ゲート絶縁膜を介して第2ゲート電極を形成する工程と、

前記第2ゲート電極の下方の前記半導体層を挟んで互いに対向する第3及び第4主電極領域を、前記第1及び第2主電極領域とは異なる深さで形成する工程と、

を含む、半導体装置の製造方法。

## 符号の説明

- [0093] 1…画素領域、2…画素、3…垂直駆動回路、4…コラム信号処理回路、5…水平駆動回路、6…出力回路、7…制御回路、8a…画素駆動配線、8b…垂直信号線、9…水平信号線、10…半導体層、10a…チャンネル領域、10b…ウェル領域、11, 12…主電極領域、11a, 12a…エクステンション領域、11x, 12x…イオン注入領域、13…ゲート絶縁膜、14…ゲート電極、15…側壁絶縁膜、16…素子分離絶縁膜、17…層間絶縁膜、21, 22…主電極領域、23…ゲート絶縁膜、24…ゲート電極、30…凹部、31, 32…トレンチ、41, 42…食刻保護膜、43, 45…フォトリソ膜、44…ハードマスク、51, 51x, 52, 52x…主電極領域、51a, 51b, 51c, 52a, 52b, 52c…ドーピング領域、61, 62…トレンチ、101, 102…半導体素子、141…水平部、142, 143…凸部、200…半導体装置、201…光学系、2

02…シャッター装置、203…信号処理部、204…駆動部

## 請求の範囲

- [請求項1] 半導体層と、  
前記半導体層の上部に設けられたチャネル領域と、  
前記チャネル領域のチャネル長方向の両端側に対向して設けられた第1及び第2主電極領域と、  
前記チャネル領域のチャネル幅方向の互いに対向する側面の両側に設けられた第1及び第2トレンチの内壁、並びに前記チャネル領域の上面に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜を介して前記第1トレンチに埋め込まれた第1凸部、前記ゲート絶縁膜を介して前記第2トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極と、  
を備え、  
前記第1及び第2主電極領域の深さが、前記第1及び第2凸部の前記ゲート絶縁膜を含めた深さと同一である、半導体素子。
- [請求項2] 前記水平部の高さが、前記第1及び第2主電極領域の深さ以上である、請求項1に記載の半導体素子。
- [請求項3] 前記第1及び第2主電極領域の直下に位置する前記半導体層にエンド・オブ・レンジ欠陥を有さない、請求項1に記載の半導体素子。
- [請求項4] 半導体層と、前記半導体層の上部に設けられたチャネル領域と、前記チャネル領域のチャネル長方向の両端側に対向して設けられた第1及び第2主電極領域と、前記チャネル領域のチャネル幅方向の互いに対向する側面の両側に設けられた第1及び第2トレンチの内壁、並びに前記チャネル領域の上面に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記第1トレンチに埋め込まれた第1凸部、前記ゲート絶縁膜を介して前記第2トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャネル領域の上面に前記ゲ

ート絶縁膜を介して設けられた水平部を有するゲート電極とを有する第1半導体素子と、

前記半導体層の上部に対向して設けられた第3及び第4主電極領域、前記第3及び第4主電極領域に挟まれた前記半導体層上に第2ゲート絶縁膜を介して設けられた第2ゲート電極とを有する第2半導体素子と、

を備え、

前記第1及び第2主電極領域の深さが、前記第1及び第2凸部の前記ゲート絶縁膜を含めた深さと同一である、半導体装置。

[請求項5] 前記第3及び第4主電極領域の深さが、前記第1及び第2主電極領域の深さよりも浅い、請求項4に記載の半導体装置。

[請求項6] 前記第2ゲート電極の高さが、前記水平部の高さよりも低い、請求項4に記載の半導体装置。

[請求項7] 前記第1半導体素子が、固体撮像装置の画素に含まれる増幅トランジスタであり、

前記第2半導体素子が、前記固体撮像装置の周辺回路に含まれるトランジスタである、

請求項4に記載の半導体装置。

[請求項8] 半導体層の上部に凹部を掘り、前記凹部で区画されたチャネル領域を形成する工程と、

前記凹部に素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜を選択的に除去して、前記チャネル領域のチャネル幅方向の互いに対向する側面を露出する第1及び第2トレンチを掘る工程と、

前記第1及び第2トレンチの内壁、並びに前記チャネル領域の上面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記第1及び第2トレンチに導電性材料層を埋め込み、前記第1トレンチに埋め込まれた第1凸部、前記第2

トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャンネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極を形成する工程と、

前記チャンネル領域のチャンネル長方向の両端側を挟んで互いに対向する第1及び第2主電極領域を、前記第1及び第2凸部の前記ゲート絶縁膜を含めた深さと同一の深さで形成する工程と、

を含む、半導体素子の製造方法。

[請求項9]

前記第1及び第2主電極領域を形成する工程は、

前記半導体層の上面に不純物イオンを注入する手順と、

前記不純物イオンを熱処理により活性化させる手順と、

を含み、

前記不純物イオンの射影飛程よりも、前記水平部の厚さを厚くする、請求項8に記載の半導体素子の製造方法。

[請求項10]

前記第1及び第2主電極領域を形成する工程は、

前記チャンネル領域のチャンネル長方向の両端側に、互いに対向して第3及び第4トレンチを掘る手順と、

前記第3及び第4トレンチ内に導電性材料層を気相成長で埋め込むことにより、前記第1及び第2主電極領域を形成する手順と、

を含む、請求項8に記載の半導体素子の製造方法。

[請求項11]

前記気相成長で埋め込む手順の前に、前記第3及び第4トレンチの底面及び側面に、前記第1及び第2主電極領域と同一導電性を呈する不純物を熱拡散で添加する手順を更に含む、請求項10に記載の半導体素子の製造方法。

[請求項12]

前記気相成長で埋め込む手順の後に、

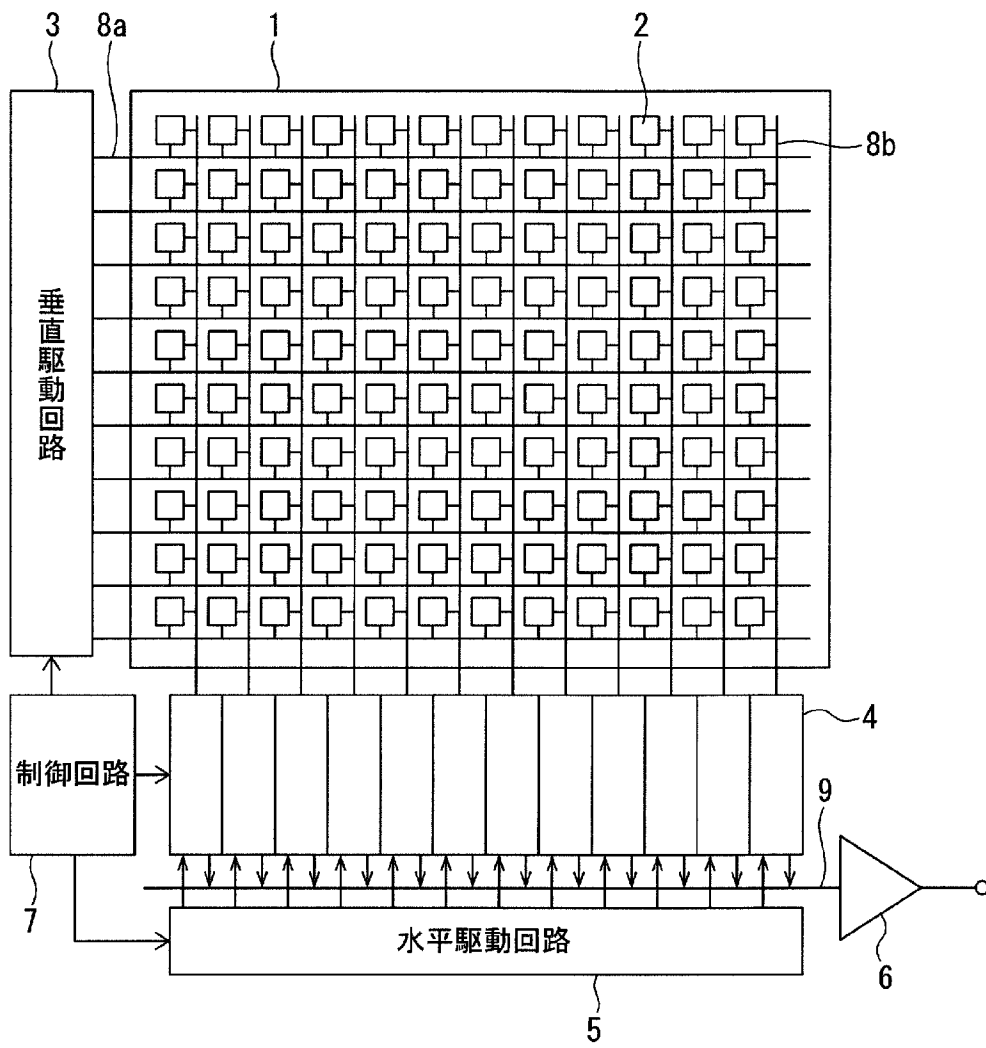
前記第1及び第2主電極領域と同一導電性を呈する不純物イオンを、前記第1及び第2主電極領域の上面に注入する手順と、

前記不純物イオンを熱処理により活性化させる手順と、

を更に含む、請求項10に記載の半導体素子の製造方法。

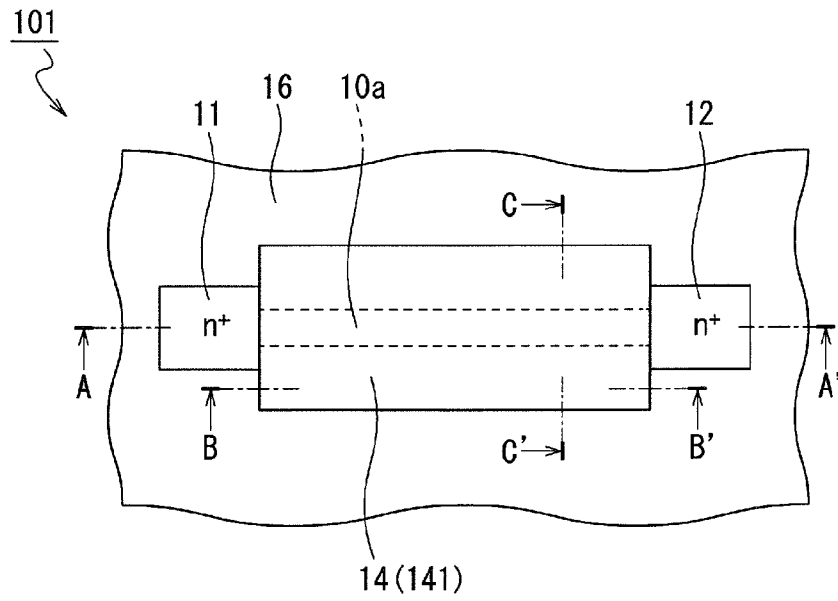
- [請求項13] 半導体層の上部に凹部を掘り、前記凹部で区画されたチャネル領域を形成する工程と、
- 前記凹部に素子分離絶縁膜を埋め込む工程と、
- 前記素子分離絶縁膜を選択的に除去して、前記チャネル領域のチャネル幅方向の互いに対向する側面を露出する第1及び第2トレンチを掘る工程と、
- 前記第1及び第2トレンチの内壁、並びに前記チャネル領域の上面にゲート絶縁膜を形成する工程と、
- 前記ゲート絶縁膜を介して前記第1及び第2トレンチに導電性材料層を埋め込み、前記第1トレンチに埋め込まれた第1凸部、前記第2トレンチに埋め込まれた第2凸部、前記第1及び第2凸部の上端に接続され、前記チャネル領域の上面に前記ゲート絶縁膜を介して設けられた水平部を有するゲート電極を形成する工程と、
- 前記チャネル領域のチャネル長方向の両端側を挟んで互いに対向する第1及び第2主電極領域を、前記第1及び第2凸部の前記ゲート絶縁膜を含めた深さと同一の深さで形成する工程と、
- 前記半導体層上に前記ゲート絶縁膜を介して第2ゲート電極を形成する工程と、前記第2ゲート電極の下方の前記半導体層を挟んで互いに対向する第3及び第4主電極領域を、前記第1及び第2主電極領域とは異なる深さで形成する工程と、
- を含む、半導体装置の製造方法。

[図1]

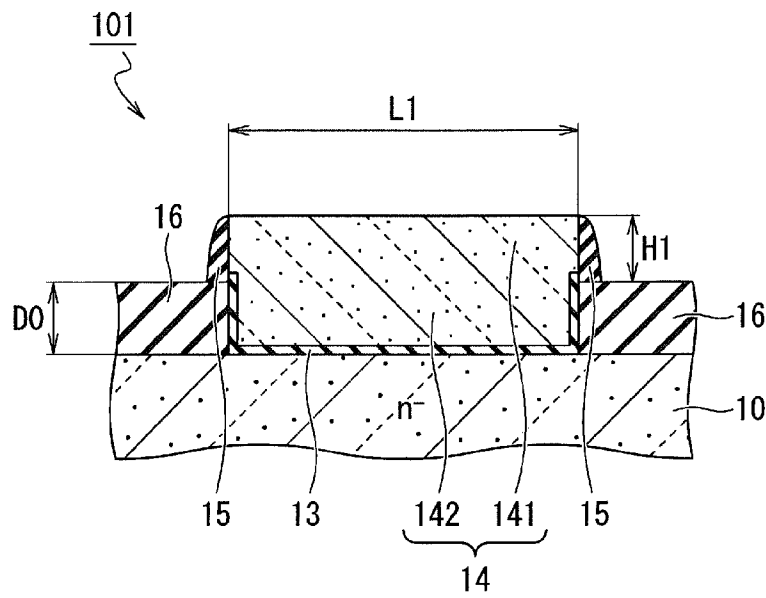




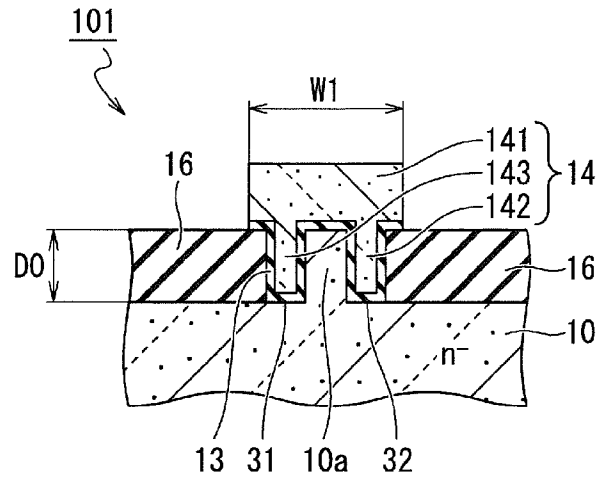
[図4]



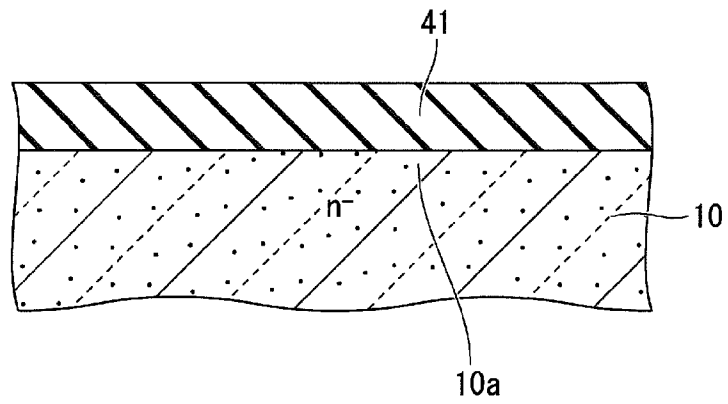
[図5]



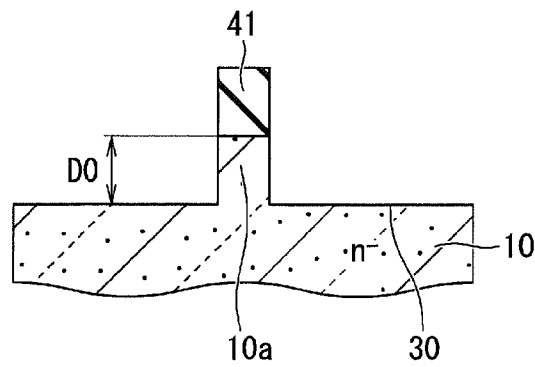
[図6]



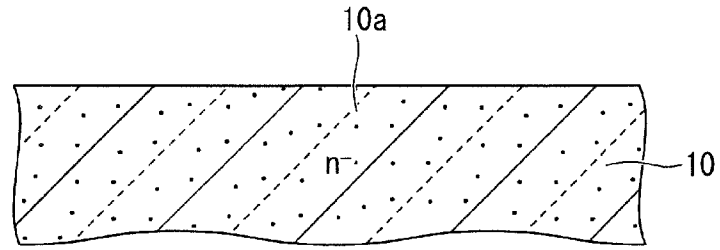
[図7A]



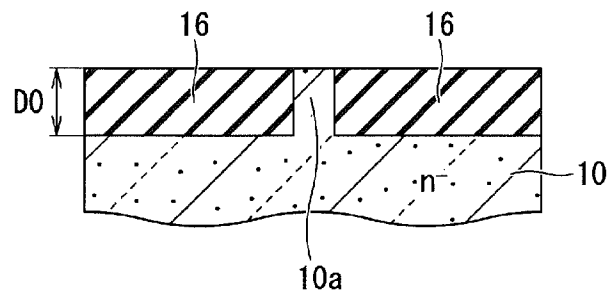
[図7B]



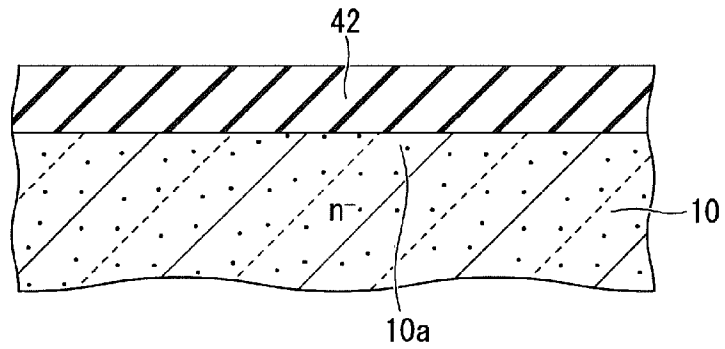
[図8A]



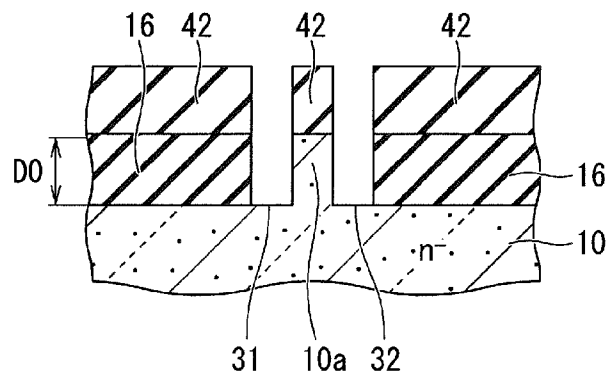
[図8B]



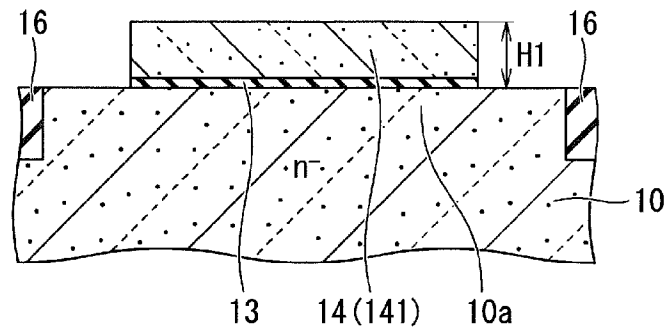
[図9A]



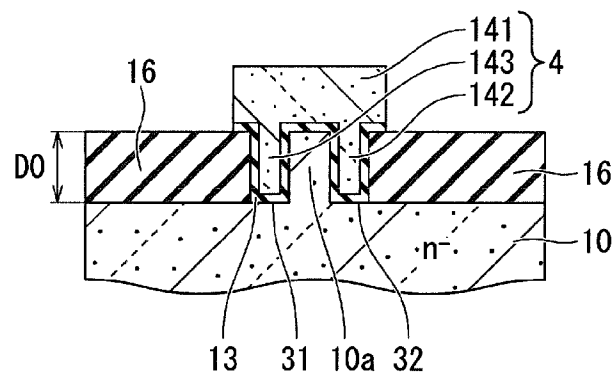
[図9B]



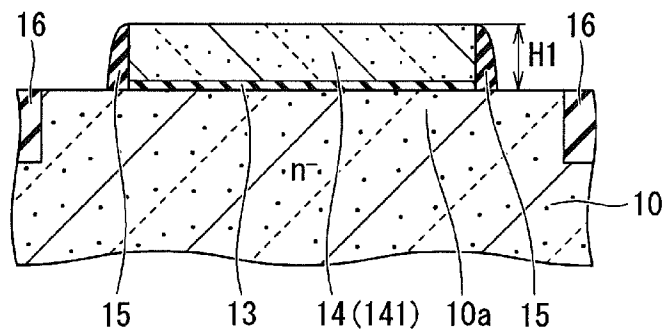
[図10A]



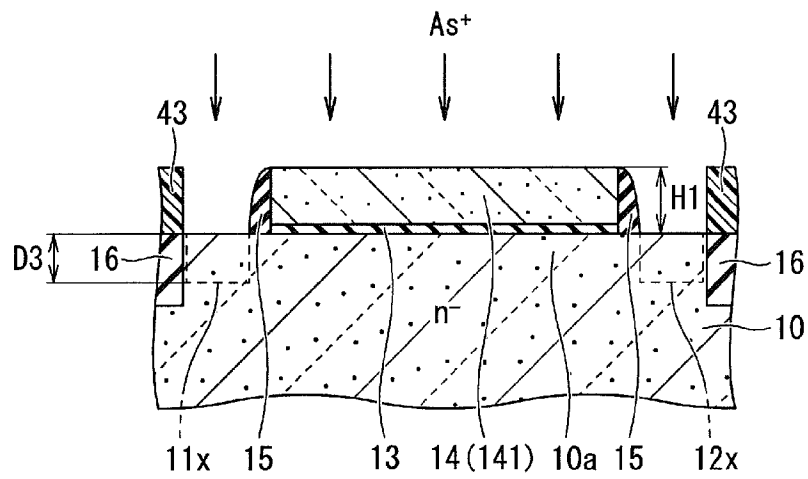
[図10B]



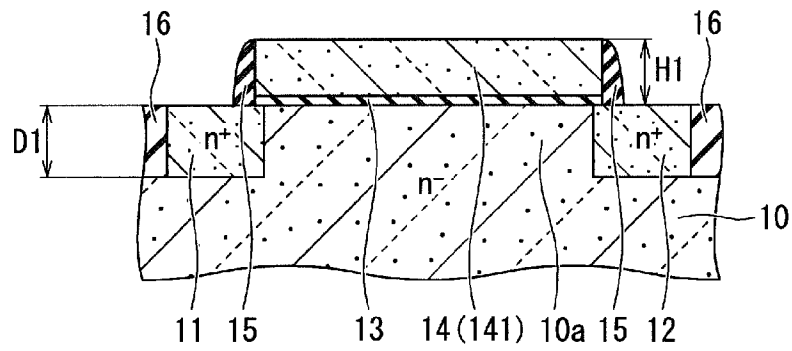
[図11]



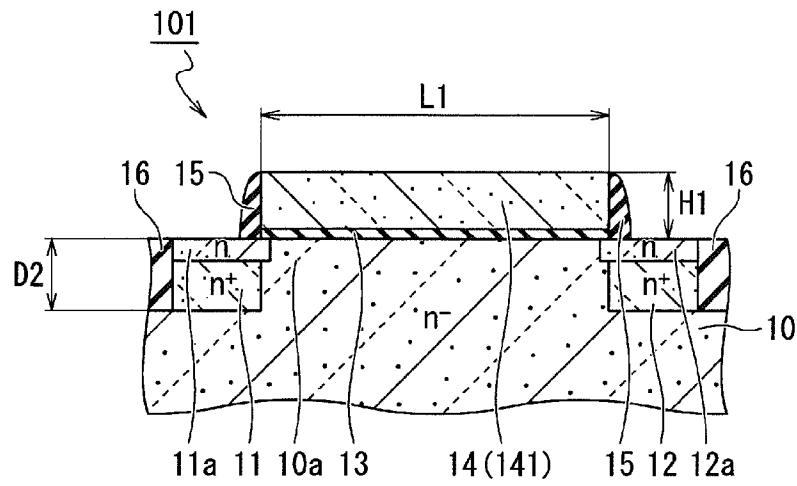
[図12]



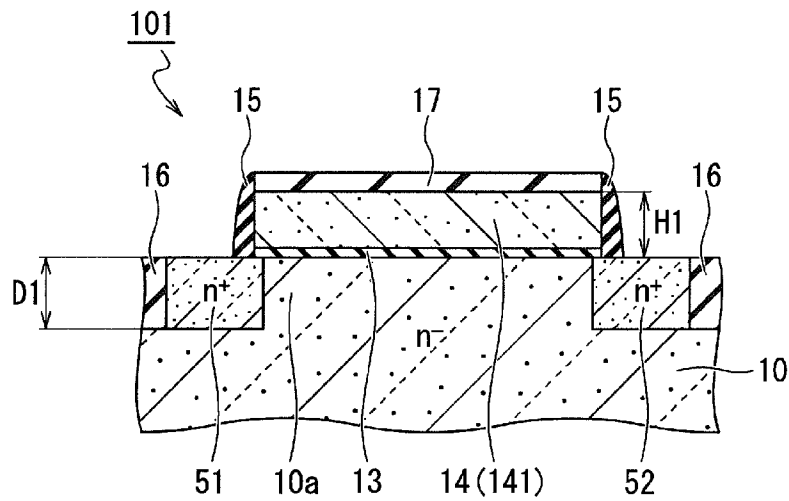
[図13]



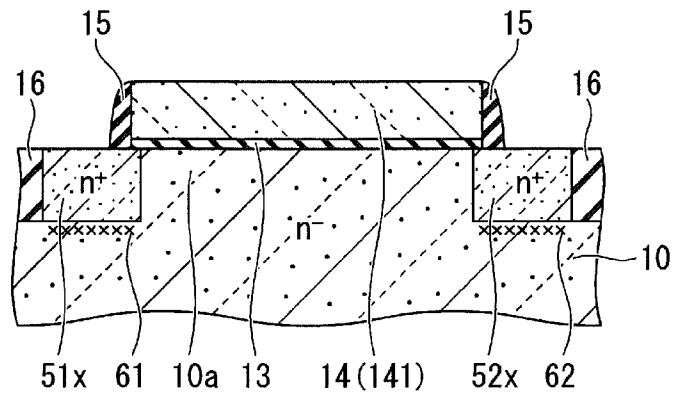
[図14]



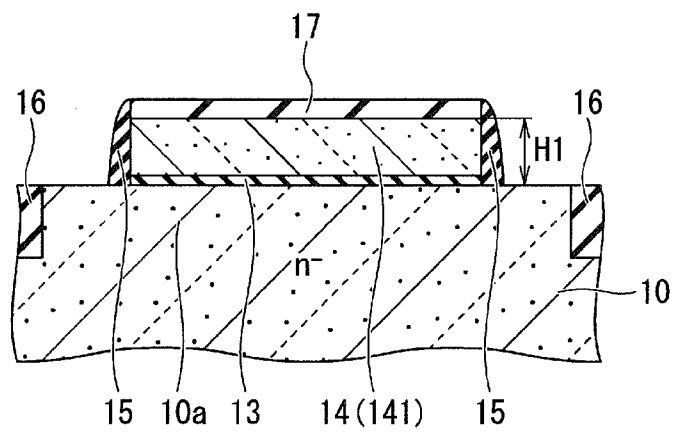
[図15]



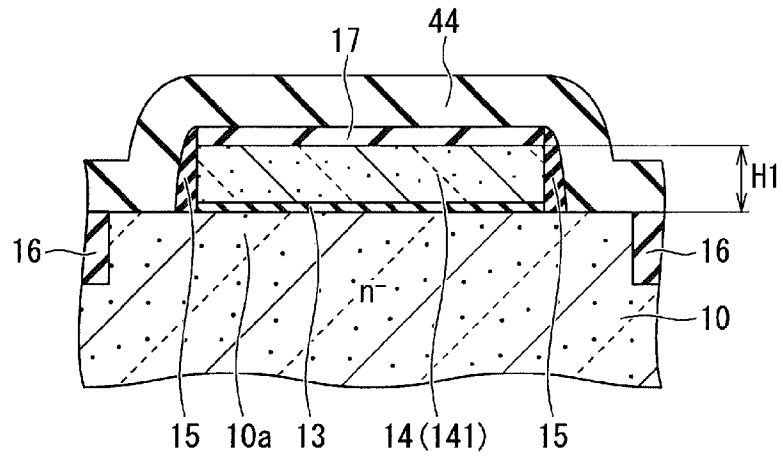
[図16]



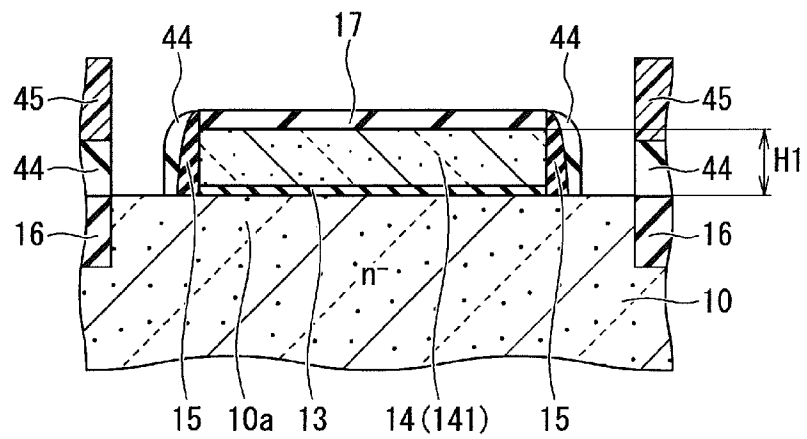
[図17]



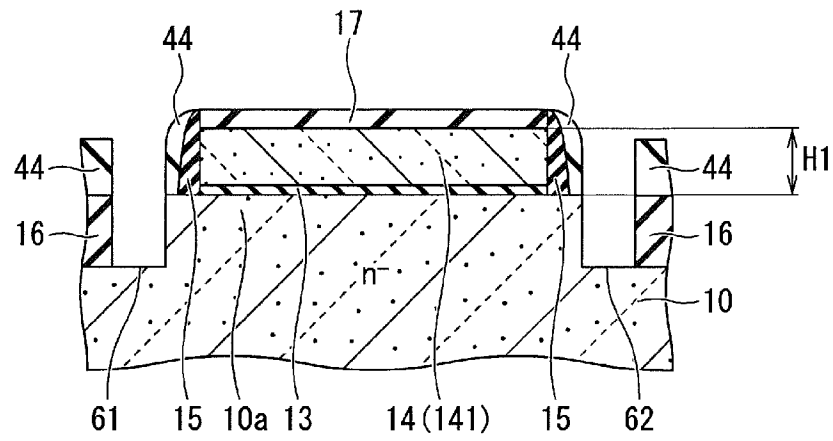
[図18]



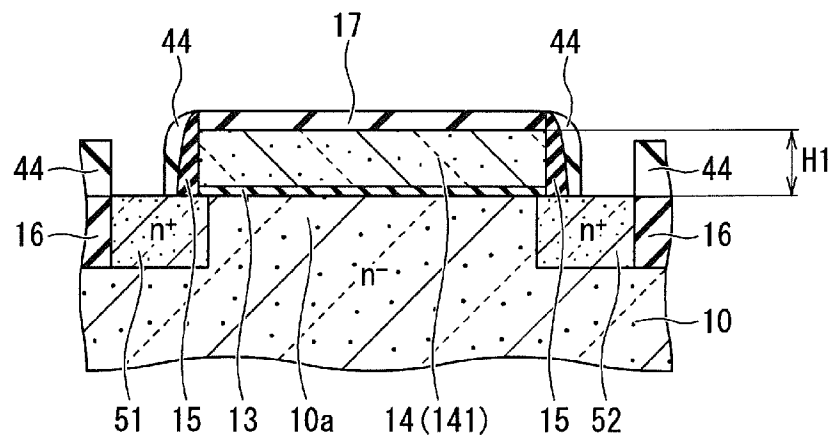
[図19]



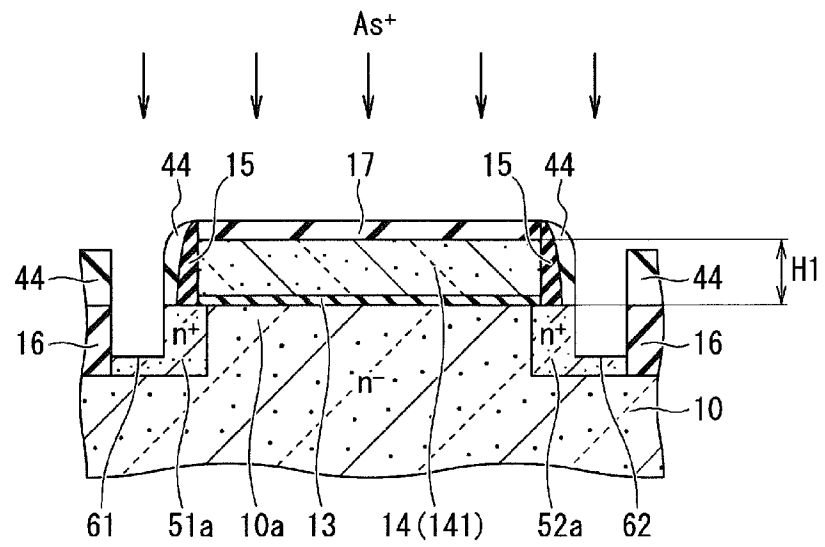
[図20]



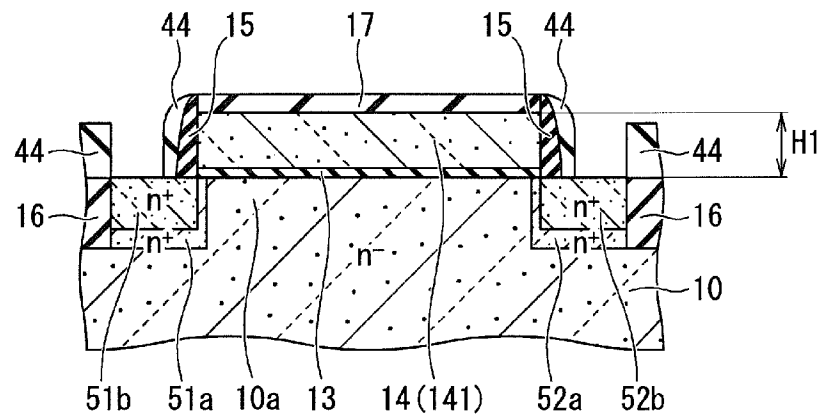
[図21]



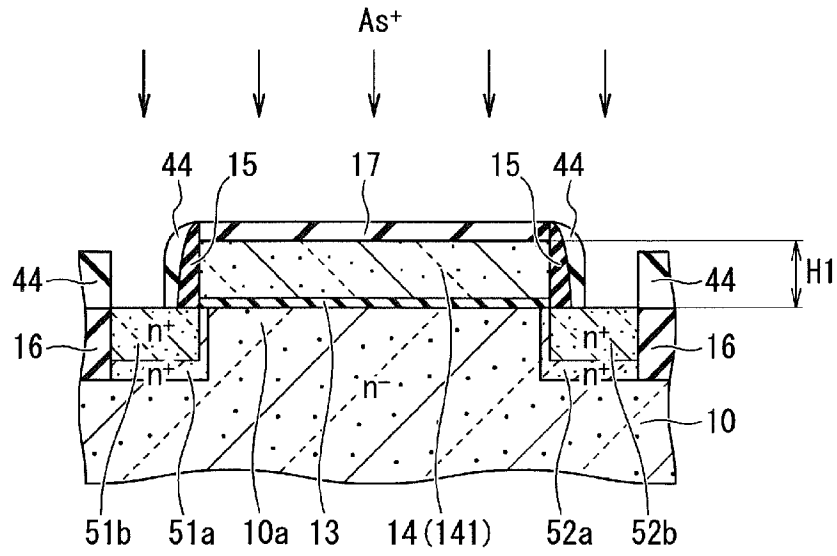
[図22]



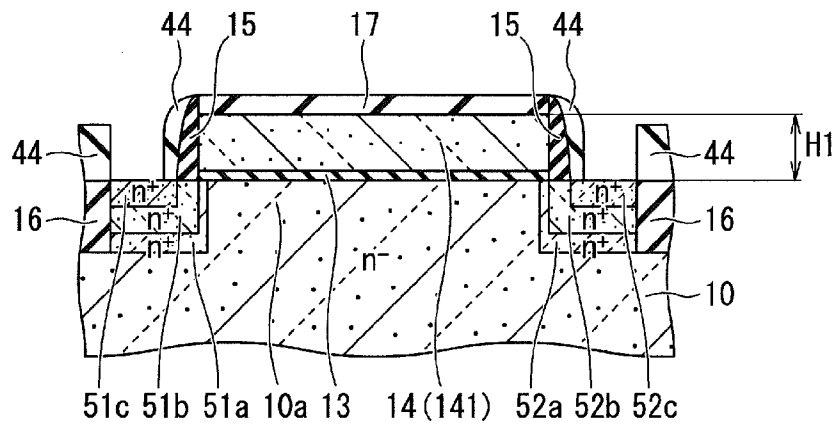
[図23]



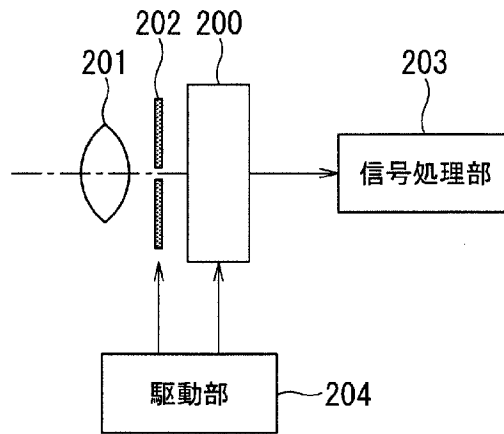
[図24]



[図25]



[図26]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/002508

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i

FI: H01L29/78 301X; H01L27/146 A; H01L27/06 102A; H01L27/088 B; H01L27/088 C; H01L29/78 301V

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-151688 A (MITSUBISHI ELECTRIC CORP.) 24.05.2002 (2002-05-24) paragraphs [0077]-[0084], fig. 28-33	1-4, 8 5-7, 9-13
X A	JP 11-68069 A (NIPPON STEEL CORP) 09.03.1999 (1999-03-09) paragraphs [0082]-[0088], fig. 1	1, 2, 4 3, 5-13



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
01 April 2020 (01.04.2020)Date of mailing of the international search report  
14 April 2020 (14.04.2020)Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, JapanAuthorized officer  
  
Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2020/002508

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2002-151688 A	24 May 2002	US 2002/0003256 A1 paragraphs [0131]- [0138], fig. 28-33 DE 10141916 A1 TW 497272 B KR 10-2002-0018059 A	
JP 11-68069 A	09 Mar. 1999	US 6288431 B1 column 11, line 40 to column 12, line 38, fig. 1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i FI: H01L29/78 301X; H01L27/146 A; H01L27/06 102A; H01L27/088 B; H01L27/088 C; H01L29/78 301V		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L27/146 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2002-151688 A（三菱電機株式会社）24.05.2002（2002 - 05 - 24） 段落0077-0084、図28-33	1-4, 8 5-7, 9-13
X A	JP 11-68069 A（新日本製鐵株式会社）09.03.1999（1999 - 03 - 09） 段落0082-0088、図1	1, 2, 4 3, 5-13
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
01.04.2020	14.04.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  岩本 勉 5F 9355  電話番号 03-3581-1101 内線 3516	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/002508

引用文献			公表日	パテントファミリー文献			公表日
JP	2002-151688	A	24.05.2002	US	2002/0003256	A1	
					段落0131-0138、図28-33		
				DE	10141916	A1	
				TW	497272	B	
				KR	10-2002-0018059	A	
JP	11-68069	A	09.03.1999	US	6288431	B1	
					第11欄40行-第12欄38行、図1		