

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年11月4日(04.11.2021)



(10) 国際公開番号

WO 2021/220965 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 29/861 (2006.01)
H01L 29/78 (2006.01) H01L 29/868 (2006.01)
H01L 29/739 (2006.01)

(21) 国際出願番号: PCT/JP2021/016486

(22) 国際出願日: 2021年4月23日(23.04.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-079269 2020年4月28日(28.04.2020) JP

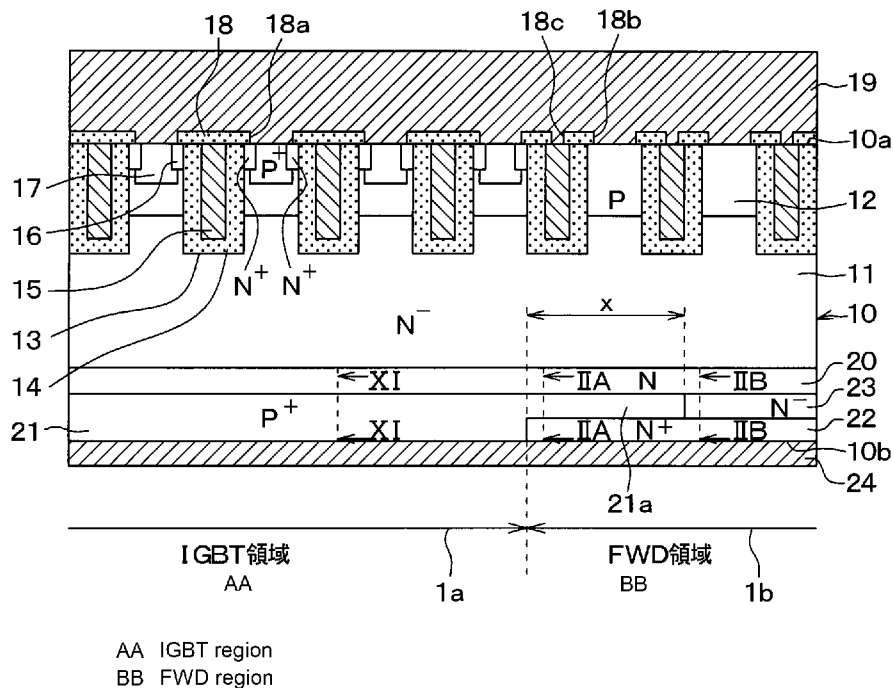
(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 宮田 征典 (MIYATA Masanori); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 米田 秀司 (YONEDA Shuji); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 妹尾 賢 (SENOO Masaru); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 薬師川 裕貴 (YAKUSHIGAWA Yuki); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).

(74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprising a semiconductor substrate (10) that has an IGBT region (1a) and a FWD region (1b) and includes: a first conductivity type drift layer (11), a second conductivity type base layer (12) formed upon the drift layer (11); a second conductivity type collector layer (21) formed on the opposite side to the base layer (12) side of the drift layer (11), in the IGBT region (1a); and a first conductivity type cathode layer (22) formed on the opposite side to the base layer (12) of the drift layer (11), in the FWD region (1b). The collector layer (21) has a configuration

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

having an extension section (21a) that covers only part of a region on the drift layer (11) side of the cathode layer (22).

(57) 要約: IGBT領域(1a)とFWD領域(1b)とを有し、第1導電型のドリフト層(11)と、ドリフト層(11)上に形成された第2導電型のベース層(12)と、IGBT領域(1a)において、ドリフト層(11)のうちのベース層(12)側と反対側に形成された第2導電型のコレクタ層(21)と、FWD領域(1b)において、ドリフト層(11)のうちのベース層(12)側と反対側に形成された第1導電型のカソード層(22)と、を含む半導体基板(10)を備える。そして、コレクタ層(21)は、カソード層(22)のうちのドリフト層(11)側の一部の領域のみを覆う延設部(21a)を有する構成とする。

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2020年4月28日に出願された日本特許出願番号2020-79269号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、絶縁ゲート構造を有する絶縁ゲートバイポーラトランジスタ（以下では、IGBTという）素子とフリーホイールダイオード（以下では、FWDという）素子とが共通の半導体基板に形成された半導体装置に関する。

背景技術

[0003] 従来より、例えば、インバータ等に使用されるスイッチング素子として、IGBT素子を有するIGBT領域と、FWD素子を有するFWD領域とが共通の半導体基板に形成された半導体装置が提案されている（例えば、特許文献1参照）。

具体的には、この半導体装置では、N⁻型のドリフト層を構成する半導体基板の一面側にベース層が形成され、ベース層を貫通するように複数のトレンチが形成されている。なお、各トレンチは、半導体基板の面方向における一方向が長手方向となるように延設されている。そして、各トレンチには、ゲート絶縁膜およびゲート電極が順に形成されている。

[0004] ベース層の表層部には、トレンチに接するようにN⁺型のエミッタ領域が形成されている。半導体基板の他面側には、P⁺型のコレクタ層およびN⁺型のカソード層が形成されている。また、半導体基板の他面側には、ドリフト層と、コレクタ層およびカソード層との間の全領域に、P⁺型のシールド層が形成されている。つまり、カソード層は、ドリフト層側に位置する全領域がシールド層で覆われた状態となっている。

[0005] そして、半導体基板の一面側には、エミッタ領域およびベース層と電氣的に接続される上部電極が形成されている。半導体基板の他面側には、コレクタ層およびカソード層と電氣的に接続される下部電極が形成されている。

[0006] このような半導体装置では、コレクタ層が形成されている領域が I G B T 領域とされ、カソード層が形成されている領域が F W D 領域とされる。なお、F W D 領域では、上記構成とされていることにより、N 型のカソード層およびドリフト層と、P 型のベース層とによって P N 接合を有する F W D 素子が構成される。

[0007] そして、上記半導体装置では、I G B T 素子がオン状態である際、エミッタ領域から電子がドリフト層に供給されると共にコレクタ層から正孔がドリフト層に供給される。この場合、カソード層のうちのドリフト層側に位置する全領域がシールド層で覆われているため、I G B T 素子におけるスナップバックを抑制することができる。

先行技術文献

特許文献

[0008] 特許文献1：特許 6 1 5 8 1 2 3 号公報

発明の概要

[0009] しかしながら、上記半導体装置では、カソード層のうちのドリフト層側に位置する全領域がシールド層で覆われている。このため、F W D 素子がオン状態となってダイオード動作する際、カソード層から供給される電子がシールド層によってベース層側に流れ難くなる可能性がある。つまり、上記半導体装置では、F W D 素子の順方向電圧が高くなる可能性がある。

[0010] 本開示は、I G B T 素子のスナップバックを抑制しつつ、F W D 素子の順方向電圧が高くなることを抑制できる半導体装置を提供することを目的とする。

[0011] 本開示の 1 つの観点によれば、半導体装置は、I G B T 領域と F W D 領域とを有し、第 1 導電型のドリフト層と、ドリフト層上に形成された第 2 導電型のベース層と、I G B T 領域において、ドリフト層のうちのベース層側と

反対側に形成された第2導電型のコレクタ層と、FWD領域において、ドリフト層のうちのベース層側と反対側に形成された第1導電型のカソード層と、を含み、ベース層側の面を一面とし、コレクタ層およびカソード層側の面を他面とする半導体基板と、IGBT領域において、ベース層の表層部に形成された第1導電型のエミッタ領域と、IGBT領域において、ベース層のうちのドリフト層とエミッタ領域との間に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、半導体基板の一面側に配置され、ベース層およびエミッタ領域と電氣的に接続される第1電極と、半導体基板の他面側に配置され、コレクタ層およびカソード層と電氣的に接続される第2電極と、を備え、コレクタ層は、カソード層のうちのドリフト層側の一部の領域のみを覆う延設部を有している。

[0012] これによれば、カソード層のうちのドリフト層側に延設部が形成されているため、IGBT素子がオン状態となる際のスナップバックを抑制することができる。そして、延設部は、カソード層のうちのドリフト層側の一部の領域のみを覆うように配置されている。したがって、FWD素子がオン状態である際にカソード層からベース層側にキャリア（例えば、電子）が移動し難くなることを抑制でき、FWD素子の順方向電圧が増加することを抑制できる。

[0013] また、本開示の別の観点によれば、半導体装置は、IGBT領域とFWD領域とを有し、第1導電型のドリフト層と、ドリフト層上に形成された第2導電型のベース層と、IGBT領域において、ドリフト層のうちのベース層側と反対側に形成された第2導電型のコレクタ層と、FWD領域において、ドリフト層のうちのベース層側と反対側に形成された第1導電型のカソード層と、を含み、ベース層側の面を一面とし、コレクタ層およびカソード層側の面を他面とする半導体基板と、IGBT領域において、ベース層の表層部に形成された第1導電型のエミッタ領域と、IGBT領域において、ベース層のうちのドリフト層とエミッタ領域との間に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、半導体基板の一面側に配置され

、ベース層およびエミッタ領域と電氣的に接続される第1電極と、半導体基板の他面側に配置され、コレクタ層およびカソード層と電氣的に接続される第2電極と、を備え、コレクタ層は、カソード層のうちのドリフト層側に位置する全ての領域を覆う延設部を有し、延設部は、面密度が $3.5 \times 10^{12} \text{ cm}^{-2}$ 以下とされている。

[0014] これによれば、カソード層のうちのドリフト層側に延設部が形成されているため、IGBT素子がオン状態となる際のスナップバックを抑制することができる。そして、延設部は、面密度が $3.5 \times 10^{12} \text{ cm}^{-2}$ 以下とされている。このため、FWD素子の順方向電圧が増加することを抑制できる。

[0015] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0016] [図1]第1実施形態における半導体装置の断面図である。

[図2A]図1中のIIA-IIA線に沿ったキャリア濃度と、深さとの関係を示す図である。

[図2B]図1中のIIB-IIB線に沿ったキャリア濃度と、深さとの関係を示す図である。

[図3]IGBT素子がオン状態である際の電子の流れを示す模式図である。

[図4A]IGBT素子がオン状態である際の正孔濃度に関するシミュレーション結果を示す図であり、延設部が形成されていない場合の図である。

[図4B]IGBT素子がオン状態である際の正孔濃度に関するシミュレーション結果を示す図であり、延設部が形成されている場合の図である。

[図5A]コレクターエミッタ間電圧と、コレクタ電流との関係に関するシミュレーション結果を示す図である。

[図5B]図5A中の二点鎖線で囲まれる領域VB部の拡大図である。

[図6]延設部の長さ、IGBT素子のオン電圧およびFWD素子の順方向電圧との関係に関するシミュレーション結果を示す図である。

[図7]第2実施形態における半導体装置の断面図である。

[図8]コレクタ層のキャリア濃度を一定とした場合における、コレクタ層の深さとFWD素子の順方向電圧との関係に関するシミュレーション結果を示す図である。

[図9]コレクタ層の深さを一定とした場合における、コレクタ層のキャリア濃度とFWD素子の順方向電圧との関係に関するシミュレーション結果を示す図である。

[図10]面密度と、FWD素子の順方向電圧との関係を示す図である。

[図11]第3実施形態における、図1中のXI-XI線に沿ったキャリア濃度と、深さとの関係を示す図である。

発明を実施するための形態

[0017] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0018] (第1実施形態)

第1実施形態について、図面を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

[0019] 図1に示されるように、本実施形態の半導体装置は、IGBT素子を有するIGBT領域1aとFWD素子を有するFWD領域1bとが共通の半導体基板10に形成されたRC (Reverse Conductingの略) - IGBTとされている。なお、具体的には後述するが、本実施形態では、後述するように、半導体基板10の他面10bに位置するコレクタ層21上の部分がIGBT領域1aとされ、半導体基板10の他面10bに位置するカソード層22上の部分がFWD領域1bとされている。

[0020] 半導体装置は、N-型のドリフト層11を構成する半導体基板10を有している。なお、本実施形態の半導体基板10は、シリコン基板で構成されており、厚さが127 μm 程度とされている。そして、ドリフト層11上には、

ベース層 12 が形成されている。すなわち、半導体基板 10 の一面 10a 側には、ベース層 12 が形成されている。

[0021] 半導体基板 10 には、一面 10a 側からベース層 12 を貫通してドリフト層 11 に達するように複数のトレンチ 13 が形成されている。これにより、ベース層 12 は、トレンチ 13 によって複数個に分離されている。本実施形態では、複数のトレンチ 13 は、IGBT 領域 1a および FWD 領域 1b にそれぞれ形成されている。また、本実施形態では、複数のトレンチ 13 は、IGBT 領域 1a および FWD 領域 1b の配列方向と交差する一方向を長手方向（すなわち、図 1 中の紙面奥行き方向）としてストライプ状に形成されている。

[0022] 各トレンチ 13 は、各トレンチ 13 の壁面を覆うように形成されたゲート絶縁膜 14 と、このゲート絶縁膜 14 の上に形成されたポリシリコン等により構成されるゲート電極 15 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

[0023] なお、特に図示しないが、IGBT 領域 1a に形成されたゲート電極 15 は、図示しないゲートパッド等を介してゲートドライバ等に接続され、所定の電圧が印加されるようになっている。FWD 領域 1b に形成されたゲート電極 15 は、後述する上部電極 19 と接続され、上部電極 19 と同電位とされるようになっている。

[0024] ベース層 12 の表層部には、IGBT 領域 1a において、ドリフト層 11 よりも高キャリア濃度とされた N⁺型のエミッタ領域 16 が形成されている。すなわち、半導体基板 10 の一面 10a 側には、IGBT 領域 1a において、エミッタ領域 16 が形成されている。また、ベース層 12 の表層部には、IGBT 領域 1a において、ベース層 12 よりも高キャリア濃度とされた P⁺型のコンタクト領域 17 が形成されている。具体的には、エミッタ領域 16 は、ベース層 12 内において終端し、かつ、トレンチ 13 の側面に接するように形成されている。また、コンタクト領域 17 は、ベース層 12 内において終端し、かつ 2 つのエミッタ領域 16 に挟まれるように形成されている。

[0025] より詳しくは、エミッタ領域 16 は、隣合うトレンチ 13 間の領域において、トレンチ 13 の長手方向に沿ってトレンチ 13 の側面に接するように棒状に延設され、トレンチ 13 の先端よりも内側で終端する構造とされている。また、コンタクト領域 17 は、エミッタ領域 16 と接するように、トレンチ 13 の長手方向に沿って棒状に延設されている。

[0026] なお、本実施形態では、トレンチ 13 の壁面のうちのエミッタ領域 16 とドリフト層 11 との間に位置する部分が、エミッタ領域とドリフト層との間に位置するベース層の表面に相当する。また、本実施形態では、コンタクト領域 17 は、エミッタ領域 16 よりも深くまで形成されている。

[0027] 半導体基板 10 の一面 10a 上には、BPSG (Borophosphosilicate Glass の略) 等で構成される層間絶縁膜 18 が形成されている。層間絶縁膜 18 には、半導体基板 10 の一面 10a のうちの IGBT 領域 1a において、隣合うトレンチ 13 の間に位置するエミッタ領域 16 およびコンタクト領域 17 を露出させるコンタクトホール 18a が形成されている。また、層間絶縁膜 18 には、半導体基板 10 の一面 10a のうちの FWD 領域 1b において、ベース層 12 を露出させるコンタクトホール 18b が形成されていると共に、ゲート電極 15 を露出させるコンタクトホール 18c が形成されている。

[0028] そして、層間絶縁膜 18 上には、上部電極 19 が形成されている。上部電極 19 は、IGBT 領域 1a では、層間絶縁膜 18 に形成されたコンタクトホール 18a を通じてエミッタ領域 16 およびコンタクト領域 17 と電氣的に接続されている。また、上部電極 19 は、FWD 領域 1b では、層間絶縁膜 18 に形成されたコンタクトホール 18b を通じてベース層 12 と電氣的に接続されていると共に、層間絶縁膜 18 に形成されたコンタクトホール 18c を通じてゲート電極 15 と電氣的に接続されている。

[0029] つまり、層間絶縁膜 18 上には、IGBT 領域 1a においてエミッタ電極として機能し、FWD 領域 1b においてアノード電極として機能する上部電極 19 が形成されている。なお、本実施形態では、上部電極 19 が第 1 電極

に相当している。

[0030] ドリフト層 1 1 のうちのベース層 1 2 側と反対側には、ドリフト層 1 1 よりも高キャリア濃度とされたN型のフィールドストップ層（以下では、F S 層という）2 0 が形成されている。つまり、半導体基板 1 0 の他面 1 0 b 側には、F S 層 2 0 が形成されている。

[0031] そして、I G B T 領域 1 a では、F S 層 2 0 を挟んでドリフト層 1 1 と反対側に P⁺型のコレクタ層 2 1 が形成され、F W D 領域 1 b では、F S 層 2 0 を挟んでドリフト層 1 1 と反対側に N⁺型のカソード層 2 2 が形成されている。

[0032] ここで、本実施形態では、コレクタ層 2 1 は、カソード層 2 2 よりも半導体基板 1 0 の他面 1 0 b からの深さ（以下では、単に深さともいう）が深くされている。そして、コレクタ層 2 1 は、カソード層 2 2 上まで延設された延設部 2 1 a を有する構成とされている。つまり、コレクタ層 2 1 は、カソード層 2 2 のうちのドリフト層 1 1 側の部分を覆う延設部 2 1 a を有する構成とされている。但し、本実施形態の延設部 2 1 a は、カソード層 2 2 上の全領域には形成されておらず、カソード層 2 2 は、ドリフト層 1 1 側の部分において、コレクタ層 2 1 と反対側の部分が延設部 2 1 a から露出した状態となっている。なお、以下では、延設部 2 1 a におけるコレクタ層 2 1 とカソード層 2 2 との配列方向に沿った長さを延設部 2 1 a の長さ x とする。

[0033] そして、カソード層 2 2 のうちの延設部 2 1 a から露出する部分と F S 層 2 0 との間には、N⁻型の連結領域 2 3 が配置されている。本実施形態では、連結領域 2 3 は、カソード層 2 2 よりもキャリア濃度が低くされており、ドリフト層 1 1 と同じキャリア濃度とされている。より詳しくは、連結領域 2 3 は、ドリフト層 1 1 の一部で構成されている。

[0034] なお、上記のような F S 層 2 0、コレクタ層 2 1、カソード層 2 2、および連結領域 2 3 は、例えば、以下のように形成される。すなわち、F S 層 2 0 を構成する不純物をイオン注入した後、延設部 2 1 a を含むコレクタ層 2 1 を構成する不純物をイオン注入する。その後、延設部 2 1 a を構成する部

分と、半導体基板 10 の他面 10 b との間にカソード層 22 を構成する不純物をイオン注入し、熱処理されることで構成される。

[0035] また、FS 層 20、コレクタ層 21、カソード層 22 は、上記のように不純物がイオン注入されて熱処理されることで構成されるため、図 2 A および図 2 B に示されるように、キャリア濃度が正規分布となっている。そして、本実施形態の連結領域 23 は、ドリフト層 11 の一部で構成されているため、キャリア濃度が一定とされている。

[0036] また、図 1 に示されるように、半導体基板 10 の他面 10 b では、コレクタ層 21 とカソード層 22 とが隣接して形成されている。そして、本実施形態では、IGBT 領域 1 a と FWD 領域 1 b とは、半導体基板 10 の他面 10 b に位置する層がコレクタ層 21 であるかカソード層 22 であるかによって区画されている。つまり、本実施形態では、半導体基板 10 の他面 10 b に位置するコレクタ層 21 上の部分が IGBT 領域 1 a とされ、半導体基板 10 の他面 10 b に位置するカソード層 22 上の部分が FWD 領域 1 b とされている。このため、本実施形態の延設部 21 a は、FWD 領域 1 b に形成されているともいえる。

[0037] コレクタ層 21 およびカソード層 22 を挟んでドリフト層 11 と反対側には、コレクタ層 21 およびカソード層 22 と電氣的に接続される下部電極 24 が形成されている。言い換えると、半導体基板 10 の他面 10 b には、下部電極 24 が形成されている。つまり、IGBT 領域 1 a においてはコレクタ電極として機能し、FWD 領域 1 b においてはカソード電極として機能する下部電極 24 が形成されている。本実施形態では、下部電極 24 が第 2 電極に相当している。

[0038] 本実施形態の半導体装置は、このように構成されることにより、IGBT 領域 1 a においては、ベース層 12 をベースとし、エミッタ領域 16 をエミッタとし、コレクタ層 21 をコレクタとする IGBT 素子が構成される。また、FWD 領域 1 b においては、ベース層をアノードとし、ドリフト層 11、FS 層 20、カソード層 22、連結領域 23 をカソードとして PN 接合さ

れたFWD素子が構成される。

[0039] 以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N型、N⁺型、N⁻型が第1導電型に相当しており、P型、P⁺型が第2導電型に相当している。また、本実施形態では、上記のように構成されることにより、半導体基板10は、コレクタ層21、カソード層22、連結領域23、FS層20、ドリフト層11、ベース層12、エミッタ領域16、コンタクト領域17を含んだ構成となっている。

[0040] 次に、上記半導体装置の作動および効果について説明する。まず、上記半導体装置の基本的な作動について説明する。

[0041] 半導体装置は、下部電極24に上部電極19より高い電圧が印加されると、ベース層12とドリフト層11との間に形成されるPN接合が逆導通状態となって空乏層が形成される。そして、ゲート電極15に、絶縁ゲート構造の閾値電圧 V_{th} 未満であるローレベル（例えば、0V）の電圧が印加されているときには、上部電極19と下部電極24との間に電流は流れない。

[0042] IGBT素子をオン状態にするには、下部電極24に上部電極19より高い電圧が印加された状態で、IGBT領域1aのゲート電極15に、絶縁ゲート構造の閾値電圧 V_{th} 以上であるハイレベルの電圧が印加されるようにする。これにより、IGBT領域1aでは、ベース層12のうちのゲート電極15が配置されるトレンチ13と接している部分に反転層が形成される。そして、IGBT素子は、エミッタ領域16から反転層を介して電子がドリフト層11に供給されることによってコレクタ層21から正孔がドリフト層11に供給され、伝導度変調によりドリフト層11の抵抗値が低下することでオン状態となる。

[0043] また、IGBT素子をオフ状態にし、FWD素子をオン状態にする（すなわち、FWD素子をダイオード動作させる）際には、上部電極19と下部電極24に印加する電圧をスイッチングし、上部電極19に下部電極24より高い電圧を印加する順電圧印加を行う。これにより、ベース層12へ正孔が供給されると共にカソード層22へ電子が供給されることでFWD素子がダ

イオード動作をする。

[0044] 以上が本実施形態における半導体装置の基本的な作動である。そして、本実施形態では、カソード層 22 上に延設部 21 a が形成されている。このため、I G B T 素子をオン状態にする、または I G B T 素子がオン状態である際には、図 3 に示されるように、電子は、F S 層 20 のうちの I G B T 領域 1 a に位置する部分に達した後、半導体基板 10 の面方向に沿って F W D 領域 1 b 側に移動してカソード層 22 から排出される。そして、コレクタ層 21 からドリフト層 11 に供給される正孔は、延設部 21 a からドリフト層 11 に供給される。このため、図 4 A および図 4 B に示されるように、延設部 21 a がカソード層 22 上に配置される構成とした場合、延設部 21 a がカソード層 22 上に配置されていない場合と比較すると、I G B T 領域 1 a と F W D 領域 1 b との境界の正孔濃度が高くなることが確認される。

[0045] なお、図 4 B は、カソード層 22 における I G B T 領域 1 a および F W D 領域 1 b の配列方向をカソード層 22 の幅とすると、延設部 21 a の長さ x をカソード層 22 の幅と同じにしたシミュレーション結果である。つまり、図 4 B は、延設部 21 a がカソード層 22 上の全領域を覆うように配置した場合のシミュレーション結果である。但し、本実施形態のように延設部 21 a がカソード層 22 上の全領域を覆うように配置されていなくても、正孔が延設部 21 a からドリフト層 11 に供給されるため、I G B T 領域 1 a と F W D 領域 1 b との境界の正孔濃度を高くできる。

[0046] そして、図 5 A および図 5 B に示されるように、延設部 21 a がカソード層 22 上の全領域に配置される構成とした場合、スナッチバックが発生することを抑制できることが確認される。なお、図 5 A および図 5 B 中の延設部ありとは、延設部 21 a がカソード層 22 上の全領域を覆うように配置された場合のシミュレーション結果である。但し、本実施形態のように延設部 21 a がカソード層 22 上の全領域を覆うように配置されていなくても、上記のように I G B T 領域 1 a と F W D 領域 1 b との境界の正孔濃度を高くできるため、スナッチバックが発生することを抑制できる。

[0047] 一方、FWD素子をオン状態にする際には、カソード層22上の全領域に延設部21aが配置されると、カソード層22からベース層12側に電子が移動し難くなる。このため、図6に示されるように、カソード層22上の全領域に延設部21aが配置されている場合には、FWD素子の順方向電圧が増加してしまう。なお、図6は、カソード層22の幅を $24\mu\text{m}$ としたシミュレーション結果であり、延設部21aは、長さが $24\mu\text{m}$ である場合にカソード層22上の全領域に配置された状態となる。

[0048] したがって、本実施形態では、上記のように、延設部21aがカソード層22上の全領域を覆うように形成されておらず、カソード層22の一部は、延設部21aから露出した状態となっている。つまり、延設部21aは、長さ x が $24\mu\text{m}$ 未満とされている。このため、図6に示されるように、FWD素子の順方向電圧が高くなることを抑制できる。

[0049] なお、図6は、 150°C で 400A の電流を流した際のシミュレーション結果であり、オン電圧を V_{on} として示し、順方向電圧を V_f として示している。そして、図6に示されるように、オン電圧は、延設部21aの長さ x を長くするほど低くなる。このため、延設部21aは、カソード層22の一部が延設部21aから露出すると共に、要求されるオン電圧等に応じて長さ x が設定されることが好ましい。例えば、本実施形態では、長さ x が $23\mu\text{m}$ である際、オン電圧を十分に低減しつつ、順方向電圧も高くなることを抑制できる。つまり、カソード層22の幅に対する延設部21aの長さ x の比率が $23/24$ である際、オン電圧を十分に低減しつつ、順方向電圧も高くなることを抑制できる。

[0050] また、本実施形態では、FS層20とカソード層22との間の連結領域23は、カソード層22よりもキャリア濃度が低くされている。このため、例えば、カソード層22上のうちの延設部21aから露出する部分がFS層20と接続されている場合と比較して、コレクタ層21とFS層20とのPN接合に印加される電圧を大きくできる。したがって、IGBT素子がオン状態である場合には、コレクタ層21に供給される正孔の増加を図ることがで

き、カソード層 2 2 上の全領域に延設部 2 1 a を配置しなかったことによってオン電圧が上昇することを抑制できる。

[0051] 以上説明した本実施形態では、カソード層 2 2 上の一部を覆うように延設部 2 1 a が形成されている。このため、I G B T 素子がオン状態となる際のスナップバックを抑制することができる。そして、カソード層 2 2 は、延設部 2 1 a から露出する部分を有する状態となっている。このため、F W D 素子がオン状態である場合には、カソード層 2 2 からベース層 1 2 側に電子が移動し難くなることを抑制でき、順方向電圧が増加することを抑制できる。

[0052] さらに、本実施形態では、F S 層 2 0 とカソード層 2 2 との間に、カソード層 2 2 よりもキャリア濃度が低くされた連結領域 2 3 が配置されている。このため、例えば、カソード層 2 2 上のうちの延設部 2 1 a から露出する部分が F S 層 2 0 と接続されている場合と比較して、コレクタ層 2 1 と F S 層 2 0 との P N 接合に印加される電圧を大きくできる。したがって、I G B T 素子がオン状態である場合には、コレクタ層 2 1 に供給される正孔の増加を図ることができ、カソード層 2 2 上の全領域に延設部 2 1 a を配置しなかったことによってオン電圧が上昇することを抑制できる。

[0053] (第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対し、延設部 2 1 a の構成を変更したものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

[0054] 本実施形態の半導体装置では、図 7 に示されるように、延設部 2 1 a は、カソード層 2 2 上の全領域に形成されている。つまり、カソード層 2 2 は、ドリフト層 1 1 側の全領域が延設部 2 1 a に覆われた状態となっている。このため、本実施形態の半導体装置では、上記のように、F W D 素子の順方向電圧が高くなる可能性がある。したがって、本実施形態の半導体装置では、延設部 2 1 a が以下の構成とされている。以下、本実施形態における延設部 2 1 a の構成について、図 8 ～図 1 0 を参照しつつ説明する。なお、図 8 ～図 1 0 では、半導体基板 1 0 の他面 1 0 b を深さの基準としてカソード層 2

2の深さを $0.15\mu\text{m}$ とし、図7に示されるようにコレクタ層21の深さを深さ d とする。また、図8～図10では、FWD素子の順方向電圧を V_f として示している。

[0055] まず、図8に示されるように、コレクタ層21のキャリア濃度を $1.0 \times 10^{18}\text{cm}^{-3}$ で固定した場合、FWD素子の順方向電圧は、コレクタ層21の深さ d が $0.5\mu\text{m}$ 以上になると急峻に増加することが確認される。また、図9に示されるように、コレクタ層21の深さ d を $0.5\mu\text{m}$ で固定した場合、FWD素子の順方向電圧は、コレクタ層21のキャリア濃度が $1.0 \times 10^{17}\text{cm}^{-3}$ 以上になると急峻に増加することが確認される。なお、図8および図9は、キャリア濃度が深さ方向に沿って一定である場合のシミュレーション結果である。

[0056] そして、図8および図9に基づいて延設部21aの面密度を導出すると、面密度とFWD素子の順方向電圧との関係は図10に示されるようになる。すなわち、図10に示されるように、順方向電圧は、面密度が $3.5 \times 10^{12}\text{cm}^{-2}$ より大きくなると急峻に大きくなる。このため、本実施形態では、延設部21aは、面密度が $3.5 \times 10^{12}\text{cm}^{-2}$ 以下とされている。

[0057] 以上説明した本実施形態によれば、延設部21aがカソード層22上の全領域に形成されている。このため、IGBT素子がオン状態となる際のスナップバックを抑制することができる。また、延設部21aは、面密度が $3.5 \times 10^{12}\text{cm}^{-2}$ 以下とされている。このため、FWD素子の順方向電圧が増加することを抑制できる。

[0058] (第3実施形態)

第3実施形態について説明する。本実施形態は、第1実施形態に対し、コレクタ層21のキャリア濃度のピーク位置を規定したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

[0059] 本実施形態の半導体装置における基本的な構成は、上記第1実施形態と同様であるが、コレクタ層21は、図11に示されるように、キャリア濃度が複数のピークを有するように構成されている。そして、コレクタ層21は、

半導体基板 10 の深さ方向において、キャリア濃度が最大となる最大ピーク位置 P 1 がコレクタ層 21 の中心 C 1 よりもドリフト層 11 （すなわち、FS 層 20 側）に位置するように形成されている。

[0060] なお、このようなコレクタ層 21 は、例えば、加速電圧を変更した複数回のイオン注入を行うことによって形成される。

[0061] 以上説明した本実施形態によれば、コレクタ層 21 は、最大ピーク位置 P 1 が中心 C 1 よりもドリフト層 11 側に位置している。このため、アバランシェ降伏が発生することを抑制でき、SCSOA（Short Circuit Safe Operating Area の略）を改善できる。

[0062] すなわち、上記のような半導体装置が短絡すると、電界強度は、注入される正孔が少なくなって電子が過剰状態となるため、半導体基板 10 の他面 10b 側にピークが発生する状態となる。本実施形態では、FS 層 20 が形成されているため、FS 層 20 内にピークが発生する。そして、半導体装置は、電界強度のピークが下部電極 24 側となると、アバランシェ降伏が発生し易くなる。

[0063] しかしながら、本実施形態では、コレクタ層 21 のキャリア濃度の最大ピーク位置 P 1 がドリフト層 11 側となるようにしている。このため、例えば、最大ピーク位置 P 1 が中心 C 1 よりも半導体基板 10 の他面 10b 側に位置する場合と比較して、短絡時には、電界強度のピークと成り得る位置に注入される正孔を増加し易くなり、電子の過剰状態を緩和することができる。したがって、アバランシェ降伏が発生することを抑制できる。

[0064] （他の実施形態）

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0065] 例えば、上記各実施形態では、第 1 導電型を N 型とし、第 2 導電型を P 型

とした例について説明したが、第1導電型をP型とし、第2導電型をN型とすることもできる。

[0066] また、上記各実施形態は、トレンチゲート型の半導体装置ではなく、半導体基板10の一面10a上にゲート電極15が配置されるプレーナ型の半導体装置とされていてもよい。

[0067] さらに、上記各実施形態において、FWD領域1bにおける半導体基板10の一面10a側の構成は、適宜変更可能である。例えば、FWD領域1bにおける半導体基板10の一面10a側には、エミッタ領域16に相当するN型領域等が形成されていてもよい。

[0068] また、上記第1、第3実施形態において、カソード層22は、延設部21aから露出する部分がFS層20と接続されていてもよい。また、連結領域23は、カソード層22よりもキャリア濃度が高くされていてもよい。このような半導体装置としても、カソード層22が延設部21aから露出する部分を有する構成とすることにより、IGBT素子のスナップバックを抑制しつつ、FWD素子の順方向電圧が高くなることを抑制できる。

[0069] そして、上記各実施形態を適宜組み合わせることもできる。例えば、上記第2実施形態を上記第3実施形態に組み合わせ、コレクタ層21の最大ピーク位置P1が中心C1よりもドリフト層11側となるようにしてもよい。

請求の範囲

[請求項1] IGBT素子を有するIGBT領域（1a）と、FWD素子を有するFWD領域（1b）とが共通の半導体基板（10）に形成されている半導体装置であって、

前記IGBT領域と前記FWD領域とを有し、第1導電型のドリフト層（11）と、前記ドリフト層上に形成された第2導電型のベース層（12）と、前記IGBT領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層（21）と、前記FWD領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第1導電型のカソード層（22）と、を含み、前記ベース層側の面を一面（10a）とし、前記コレクタ層および前記カソード層側の面を他面（10b）とする前記半導体基板と、

前記IGBT領域において、前記ベース層の表層部に形成された第1導電型のエミッタ領域（16）と、

前記IGBT領域において、前記ベース層のうちの前記ドリフト層と前記エミッタ領域との間に形成されたゲート絶縁膜（14）と、

前記ゲート絶縁膜上に形成されたゲート電極（15）と、

前記半導体基板の一面側に配置され、前記ベース層および前記エミッタ領域と電氣的に接続される第1電極（19）と、

前記半導体基板の他面側に配置され、前記コレクタ層および前記カソード層と電氣的に接続される第2電極（24）と、を備え、

前記コレクタ層は、前記カソード層のうちの前記ドリフト層側の一部の領域のみを覆う延設部（21a）を有している半導体装置。

[請求項2] 前記ドリフト層と、前記コレクタ層および前記カソード層との間には、前記ドリフト層よりも高キャリア濃度とされた第1導電型のフィールドストップ層（20）が形成され、

前記カソード層のうちの前記コレクタ層の延設部から露出する部分と前記フィールドストップ層との間には、前記カソード層よりもキャ

リア濃度が低くされた第1導電型の連結領域(23)が形成されている請求項1に記載の半導体装置。

[請求項3]

IGBT素子を有するIGBT領域(1a)と、FWD素子を有するFWD領域(1b)とが共通の半導体基板(10)に形成されている半導体装置であって、

前記IGBT領域と前記FWD領域とを有し、第1導電型のドリフト層(11)と、前記ドリフト層上に形成された第2導電型のベース層(12)と、前記IGBT領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層(21)と、前記FWD領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第1導電型のカソード層(22)と、を含み、前記ベース層側の面を一面(10a)とし、前記コレクタ層および前記カソード層側の面を他面(10b)とする前記半導体基板と、

前記IGBT領域において、前記ベース層の表層部に形成された第1導電型のエミッタ領域(16)と、

前記IGBT領域において、前記ベース層のうちの前記ドリフト層と前記エミッタ領域との間に形成されたゲート絶縁膜(14)と、

前記ゲート絶縁膜上に形成されたゲート電極(15)と、

前記半導体基板の一面側に配置され、前記ベース層および前記エミッタ領域と電氣的に接続される第1電極(19)と、

前記半導体基板の他面側に配置され、前記コレクタ層および前記カソード層と電氣的に接続される第2電極(24)と、を備え、

前記コレクタ層は、前記カソード層のうちの前記ドリフト層側に位置する全ての領域を覆う延設部(21a)を有し、

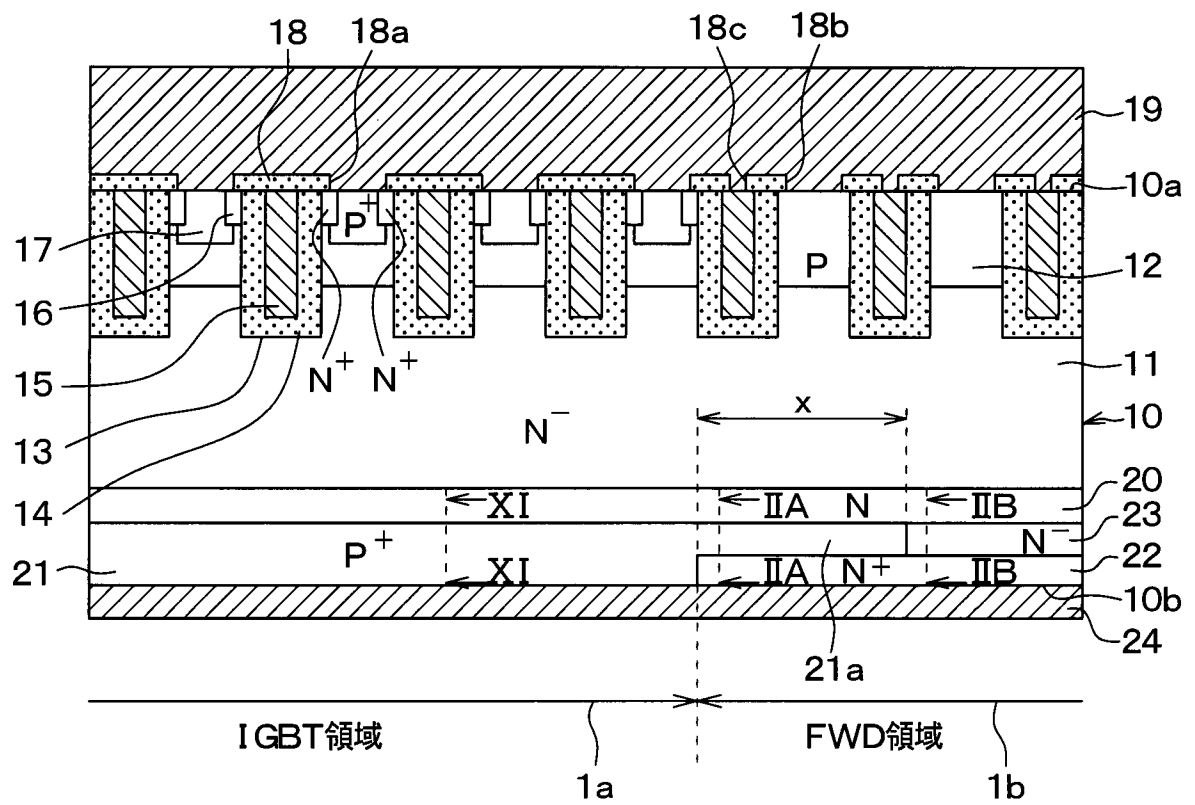
前記延設部は、面密度が $3.5 \times 10^{12} \text{ cm}^{-2}$ 以下とされている半導体装置。

[請求項4]

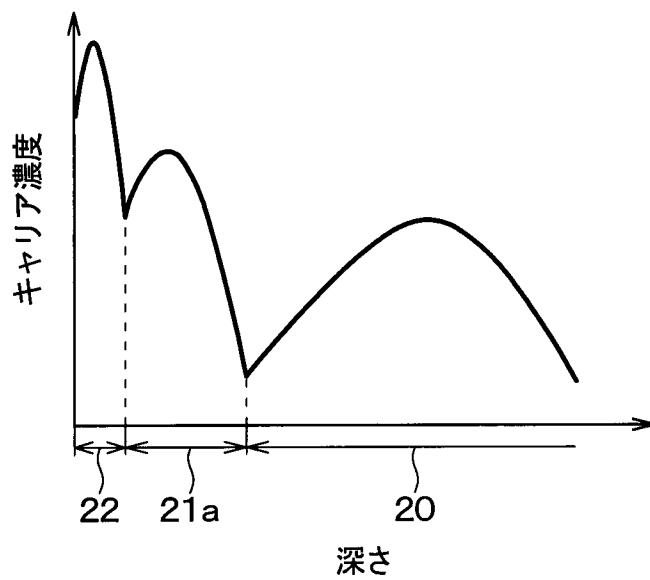
前記コレクタ層は、前記半導体基板の他面からの深さ方向において、キャリア濃度が最大となる最大ピーク位置(P1)が前記コレクタ

層の深さ方向における中心（C 1）よりも前記ドリフト層側に位置している請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

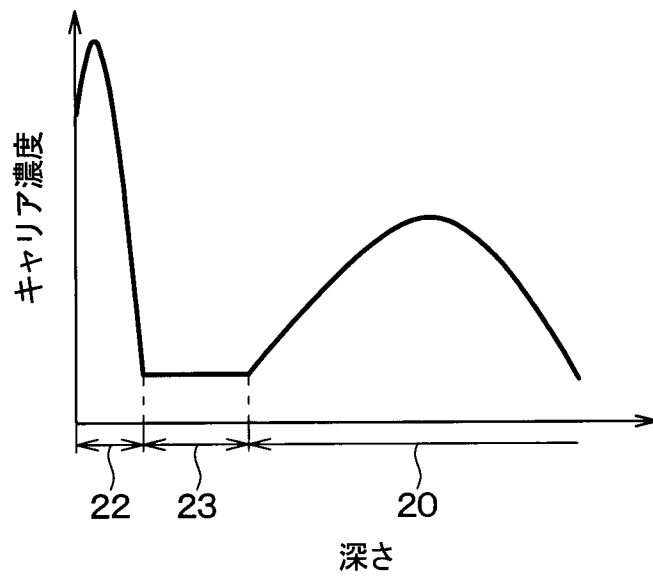
[図1]



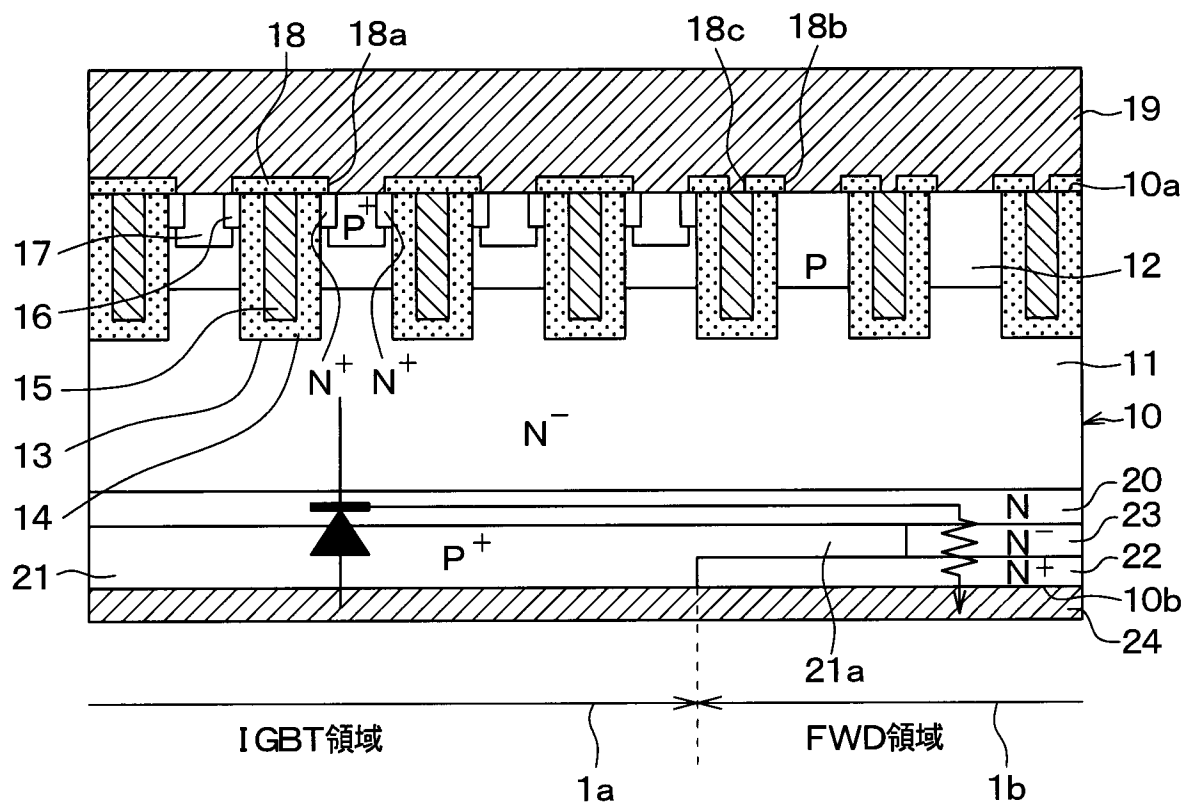
[図2A]



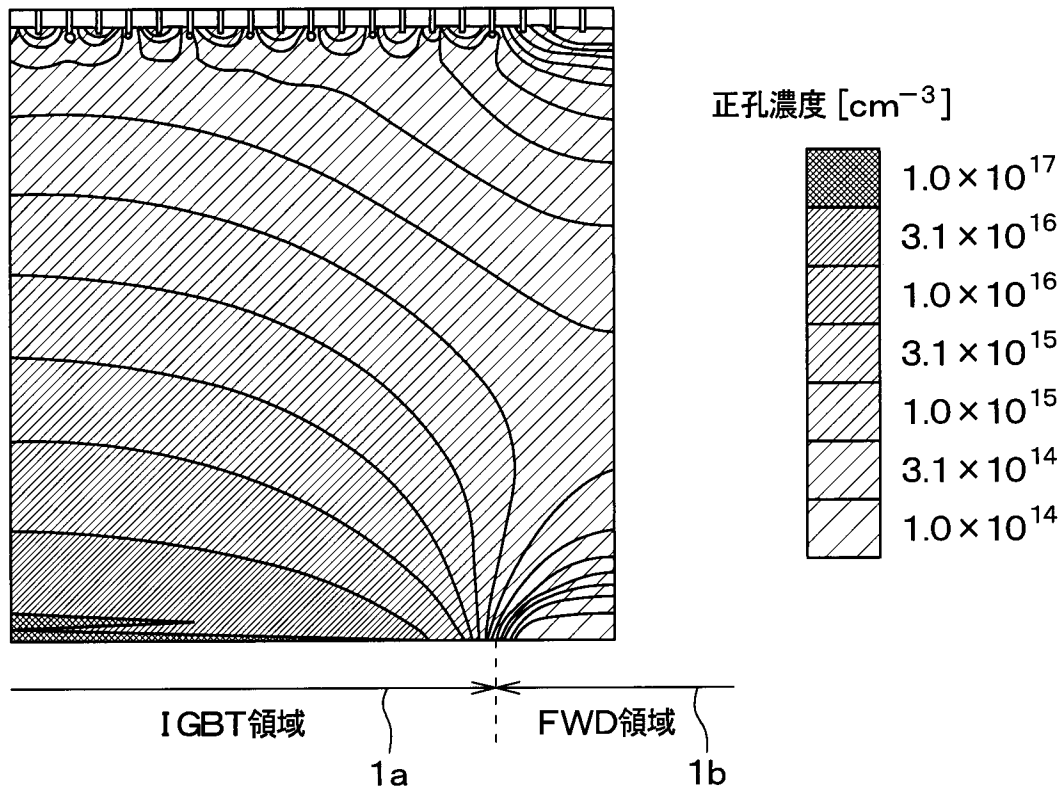
[図2B]



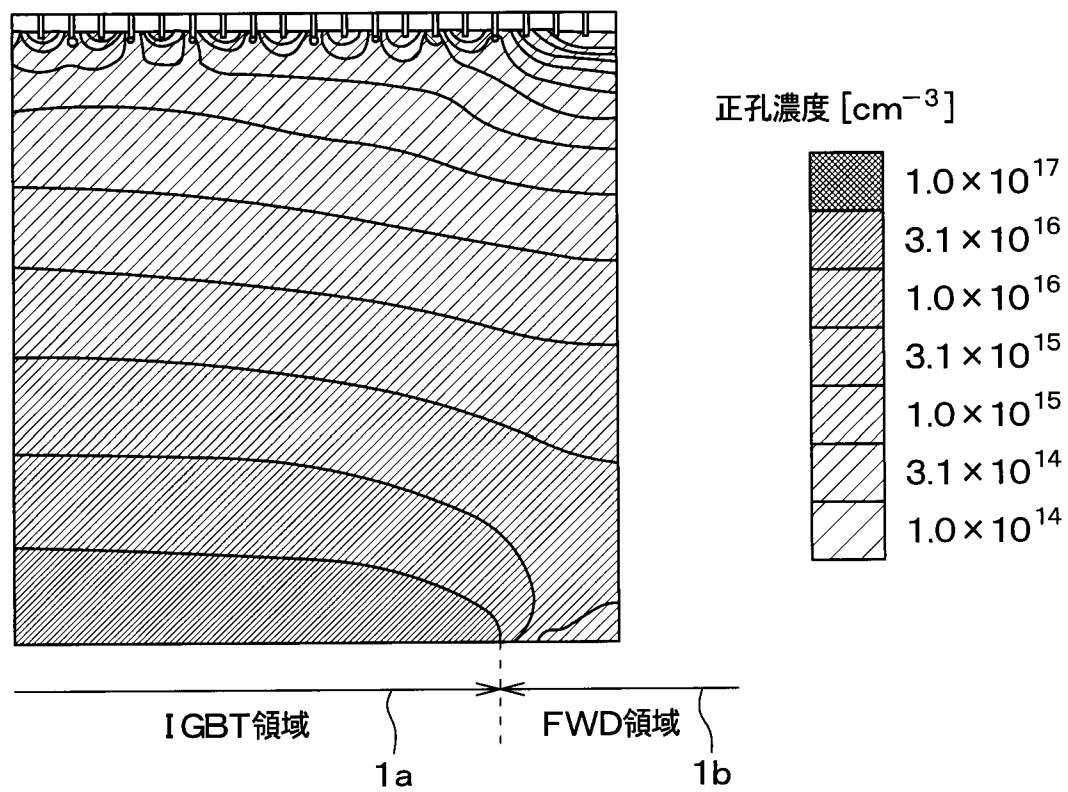
[図3]



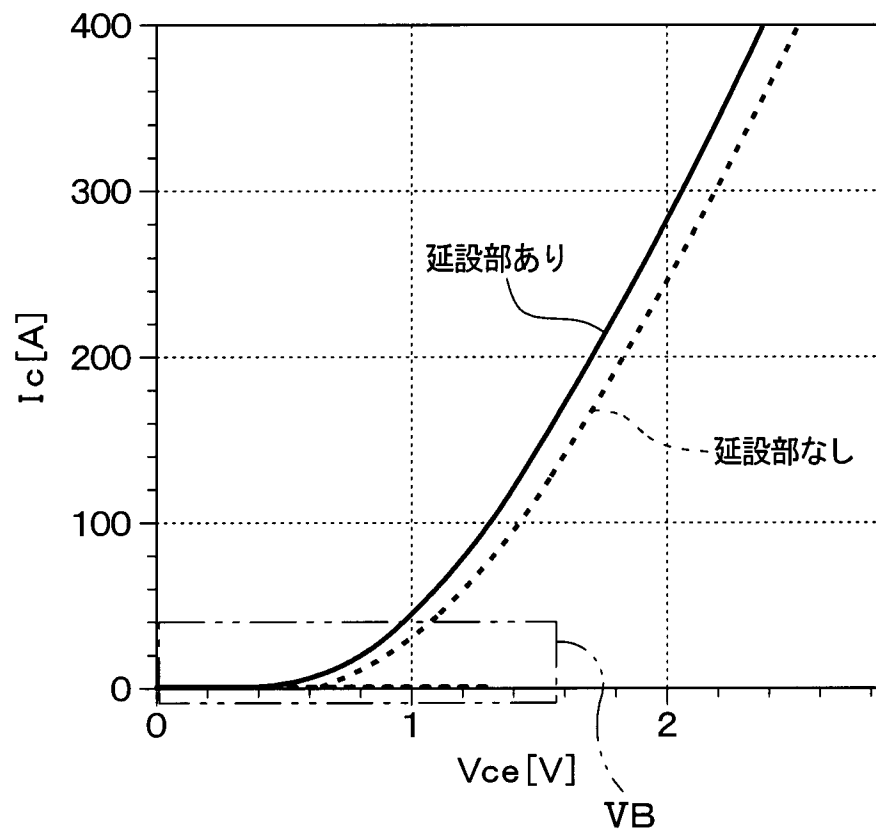
[図4A]



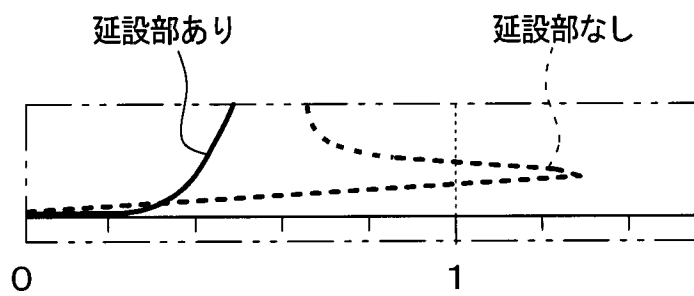
[図4B]



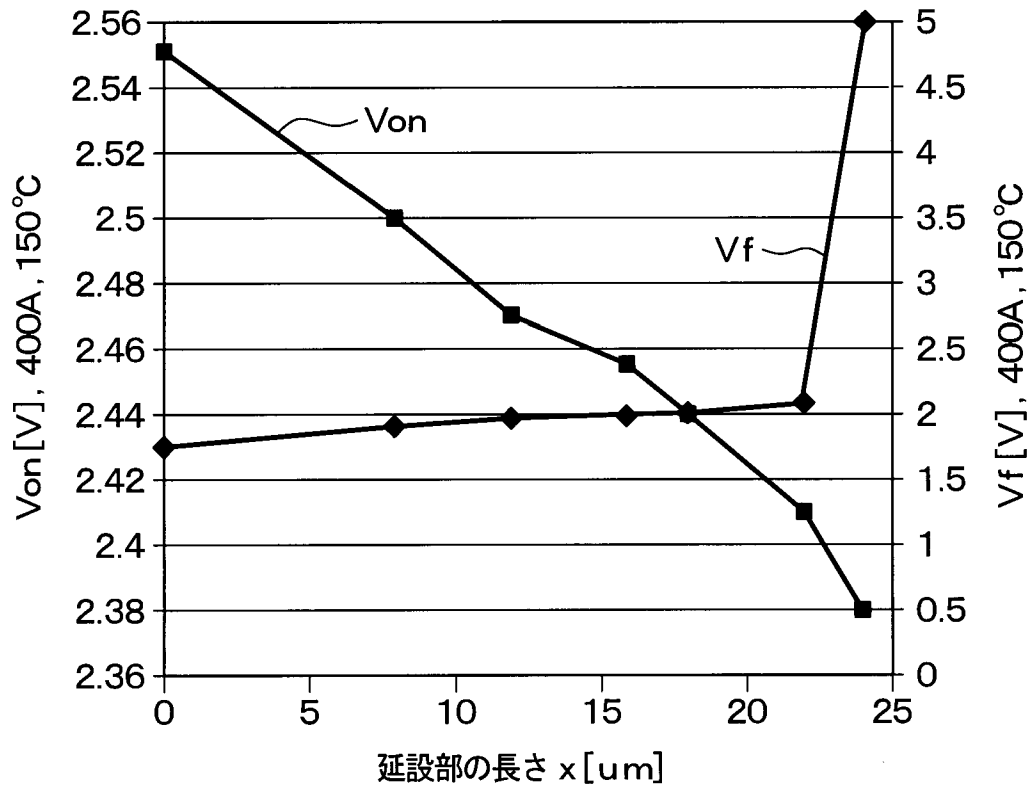
[図5A]



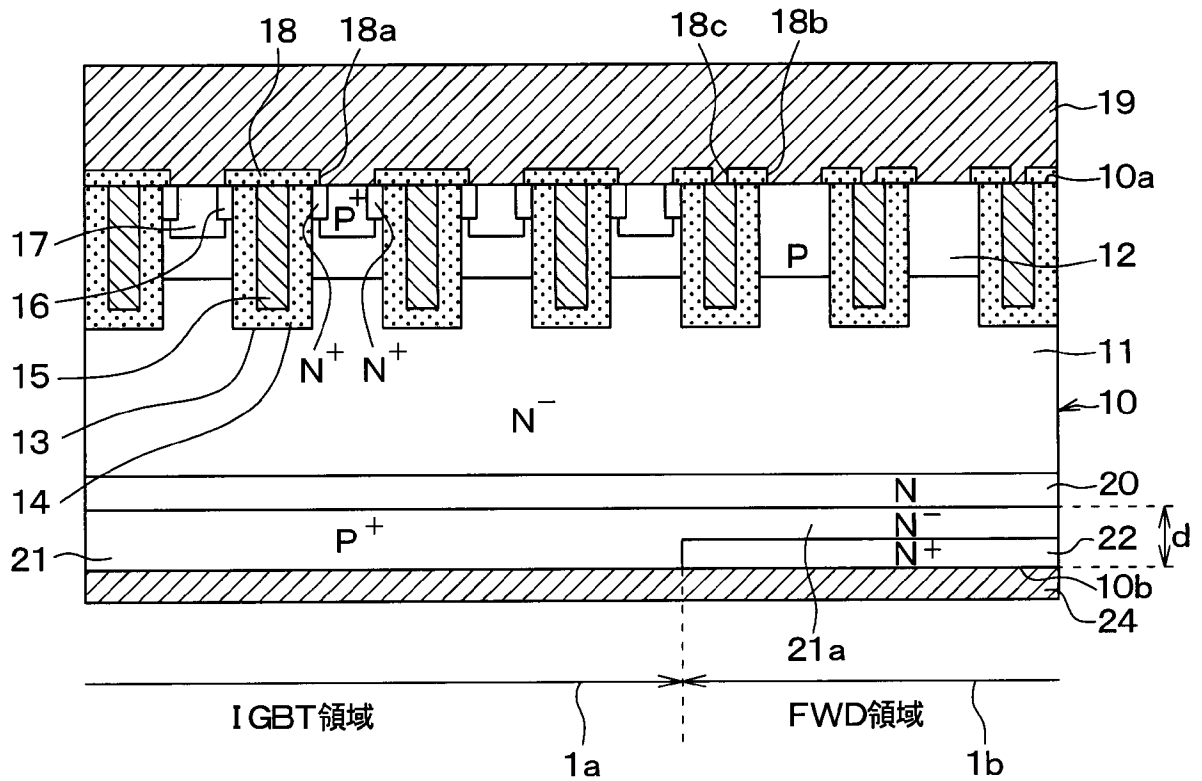
[図5B]



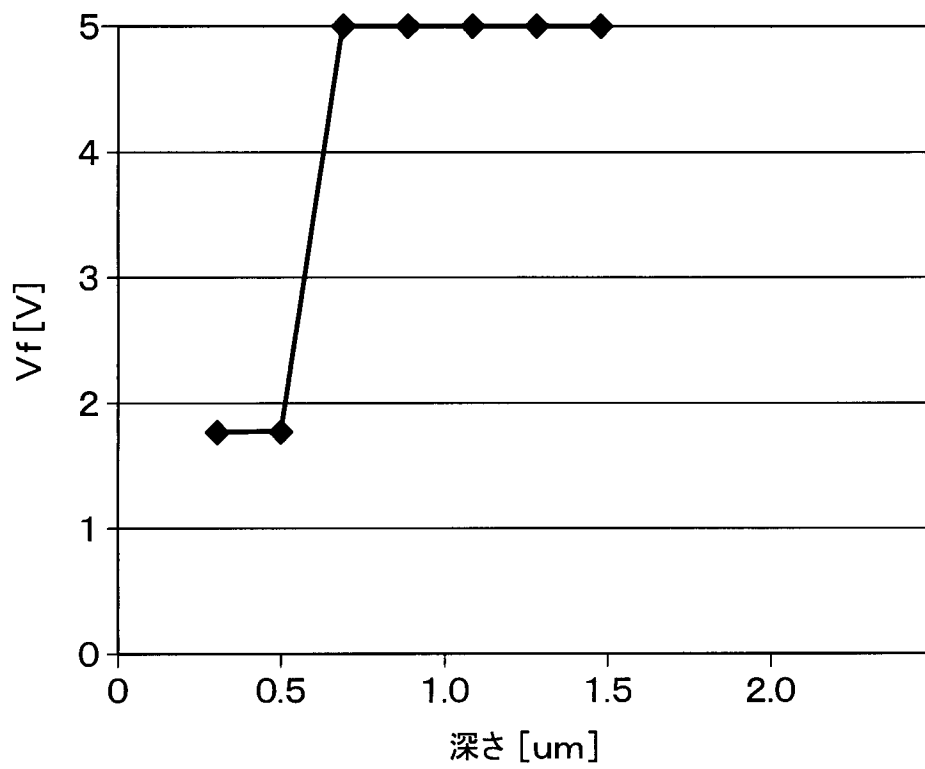
[図6]



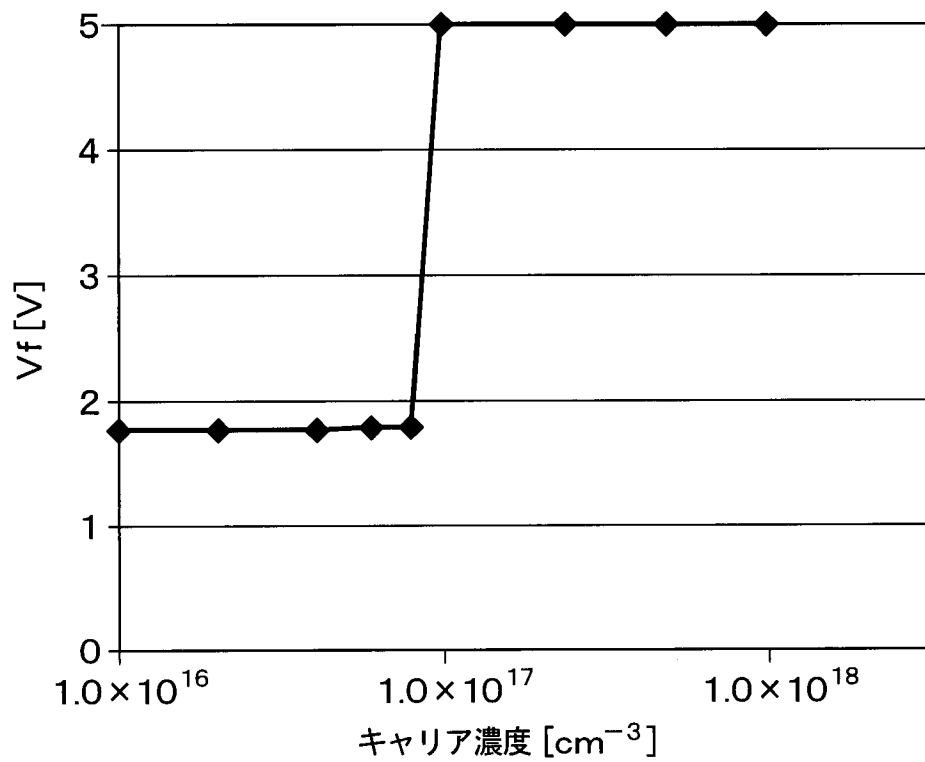
[図7]



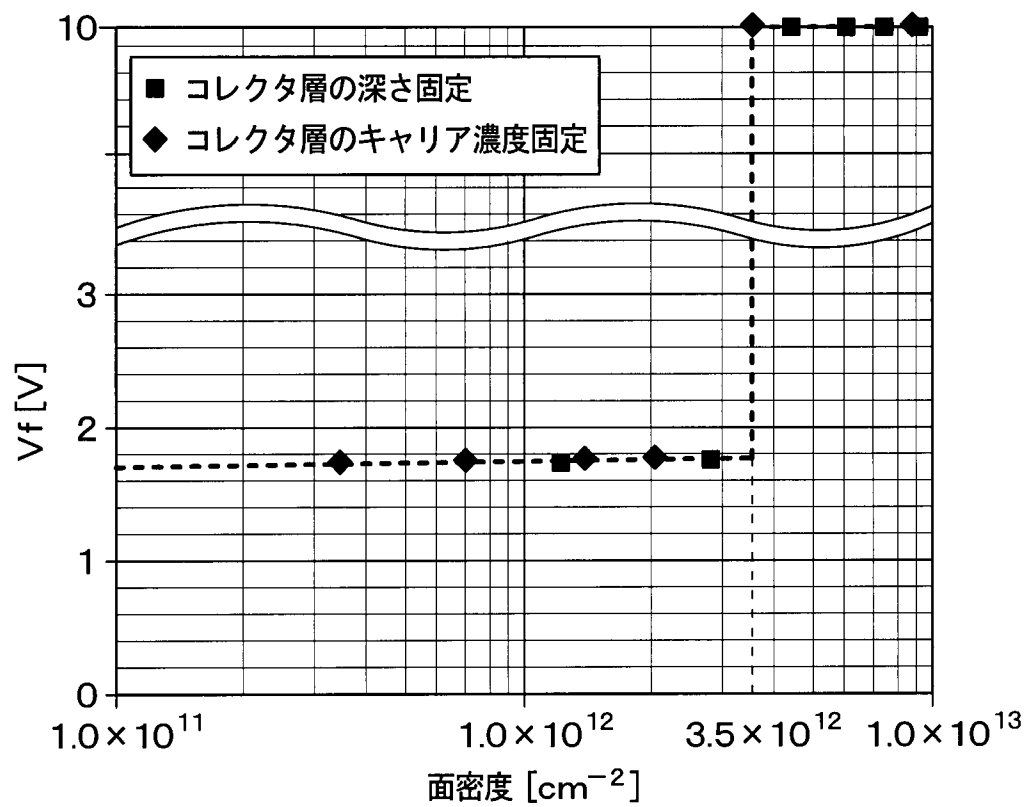
[図8]



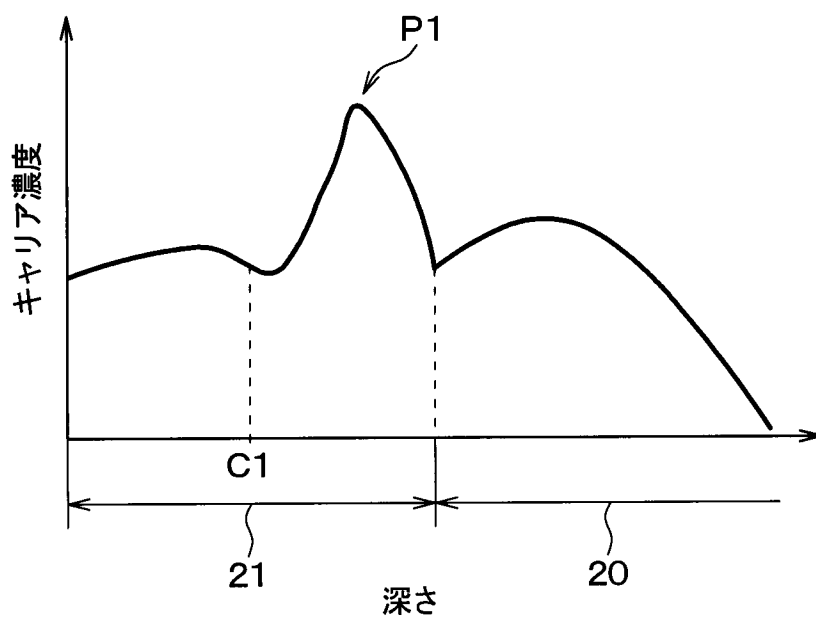
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/016486

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i

FI: H01L29/78 655C; H01L29/78 653A; H01L29/78 657D; H01L29/78 655B; H01L29/78 652D; H01L29/91 D; H01L29/78 301D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336; H01L29/78; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-004824 A (MITSUBISHI ELECTRIC CORP.) 09	1
Y	January 2020 (2020-01-09) paragraphs [0016]-	2, 4
A	[0036], fig. 1-6	3
Y	JP 2003-303965 A (TOSHIBA CORP.) 24 October 2003 (2003-10-24) paragraphs [0016]-[0023], fig. 1-4	2, 4
Y	JP 2016-086136 A (TOYOTA MOTOR CORP.) 19 May 2016 (2016-05-19) paragraphs [0008]-[0031], fig. 1-9	4
A	JP 6158123 B2 (TOSHIBA CORP.) 05 July 2017 (2017-07-05) paragraphs [0009]-[0049], fig. 1-4	1-4
A	JP 2007-012972 A (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 18 January 2007 (2007-01-18) paragraphs [0041]-[0043], fig. 10-12	1-4

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 July 2021 (01.07.2021)

Date of mailing of the international search report
13 July 2021 (13.07.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/016486

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/176810 A1 (FUJI ELECTRIC CO., LTD.) 19 September 2019 (2019-09-19) paragraphs [0085]-[0112], fig. 2d-2e	1-4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/016486

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2020-004824 A	09 Jan 2020	US 2020/0006538 A1 paragraphs [0020]- [0040], fig. 1-6 CN 110649090 A (Family: none)	
JP 2003-303965 A	24 Oct. 2003	(Family: none)	
JP 2016-086136 A	19 May 2016	(Family: none)	
JP 6158123 B2	05 Jul. 2017	US 2015/0262999 A1 paragraphs [0015]- [0058], fig. 1A-4 CN 104916670 A KR 10-2015-0107566 A (Family: none)	
JP 2007-012972 A	18 Jan. 2007		
WO 2019/176810 A1	19 Sep. 2019	US 2020/0194429 A1 paragraphs [0163]- [0190], fig. 2D-2E CN 111066149 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i FI: H01L29/78 655C; H01L29/78 653A; H01L29/78 657D; H01L29/78 655B; H01L29/78 652D; H01L29/91 D; H01L29/78 301D																										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/336; H01L29/78; H01L29/739; H01L29/861; H01L29/868 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年																
日本国実用新案公報	1922-1996年																									
日本国公開実用新案公報	1971-2021年																									
日本国実用新案登録公報	1996-2021年																									
日本国登録実用新案公報	1994-2021年																									
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2020-004824 A（三菱電機株式会社）09.01.2020（2020-01-09） 段落[0016]-[0036]，図1-6</td> <td>1</td> </tr> <tr> <td>Y</td> <td></td> <td>2, 4</td> </tr> <tr> <td>A</td> <td></td> <td>3</td> </tr> <tr> <td>Y</td> <td>JP 2003-303965 A（株式会社東芝）24.10.2003（2003-10-24） 段落[0016]-[0023]，図1-4</td> <td>2, 4</td> </tr> <tr> <td>Y</td> <td>JP 2016-086136 A（トヨタ自動車株式会社）19.05.2016（2016-05-19） 段落[0008]-[0031]，図1-9</td> <td>4</td> </tr> <tr> <td>A</td> <td>JP 6158123 B2（株式会社東芝）05.07.2017（2017-07-05） 段落[0009]-[0049]，図1-4</td> <td>1-4</td> </tr> <tr> <td>A</td> <td>JP 2007-012972 A（新電元工業株式会社）18.01.2007（2007-01-18） 段落[0041]-[0043]，図10-12</td> <td>1-4</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2020-004824 A（三菱電機株式会社）09.01.2020（2020-01-09） 段落[0016]-[0036]，図1-6	1	Y		2, 4	A		3	Y	JP 2003-303965 A（株式会社東芝）24.10.2003（2003-10-24） 段落[0016]-[0023]，図1-4	2, 4	Y	JP 2016-086136 A（トヨタ自動車株式会社）19.05.2016（2016-05-19） 段落[0008]-[0031]，図1-9	4	A	JP 6158123 B2（株式会社東芝）05.07.2017（2017-07-05） 段落[0009]-[0049]，図1-4	1-4	A	JP 2007-012972 A（新電元工業株式会社）18.01.2007（2007-01-18） 段落[0041]-[0043]，図10-12	1-4
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	JP 2020-004824 A（三菱電機株式会社）09.01.2020（2020-01-09） 段落[0016]-[0036]，図1-6	1																								
Y		2, 4																								
A		3																								
Y	JP 2003-303965 A（株式会社東芝）24.10.2003（2003-10-24） 段落[0016]-[0023]，図1-4	2, 4																								
Y	JP 2016-086136 A（トヨタ自動車株式会社）19.05.2016（2016-05-19） 段落[0008]-[0031]，図1-9	4																								
A	JP 6158123 B2（株式会社東芝）05.07.2017（2017-07-05） 段落[0009]-[0049]，図1-4	1-4																								
A	JP 2007-012972 A（新電元工業株式会社）18.01.2007（2007-01-18） 段落[0041]-[0043]，図10-12	1-4																								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																										
国際調査を完了した日 01.07.2021		国際調査報告の発送日 13.07.2021																								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西出 隆二 5F 4815 電話番号 03-3581-1101 内線 3516																								

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2019/176810 A1 (富士電機株式会社) 19.09.2019 (2019 - 09 - 19) 段落[0085]-[0112], 図2d-2e	1-4

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/016486

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-004824	A	09.01.2020	US 2020/0006538 A1 段落[0020]-[0040], 図1-6 CN 110649090 A	
JP	2003-303965	A	24.10.2003	(ファミリーなし)	
JP	2016-086136	A	19.05.2016	(ファミリーなし)	
JP	6158123	B2	05.07.2017	US 2015/0262999 A1 段落[0015]-[0058], 図1A-4 CN 104916670 A KR 10-2015-0107566 A	
JP	2007-012972	A	18.01.2007	(ファミリーなし)	
WO	2019/176810	A1	19.09.2019	US 2020/0194429 A1 段落[0163]-[0190], 図2D-2E CN 111066149 A	