(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4047375号
(P4047375)
(45)発行日　平成20年2月13日(2008.2.13)　(24)登録日　平成19年11月30日(2007.11.30)

(51)Int.Cl.　F I
G11C 16/02 (2006.01)　G11C 17/00　611E

請求項の数 18　(全 14 頁)

(21)出願番号	特願平7-508733
(86)(22)出願日	平成6年9月6日(1994.9.6)
(65)公表番号	特表平9-502560
(43)公表日	平成9年3月11日(1997.3.11)
(86)国際出願番号	PCT/US1994/009881
(87)国際公開番号	WO1995/007534
(87)国際公開日	平成7年3月16日(1995.3.16)
審査請求日	平成13年9月6日(2001.9.6)
審判番号	不服2005-23437(P2005-23437/J1)
審判請求日	平成17年12月5日(2005.12.5)
(31)優先権主張番号	08/119,520
(32)優先日	平成5年9月10日(1993.9.10)
(33)優先権主張国	米国(US)

(73)特許権者　591003943
インテル・コーポレーション
アメリカ合衆国　９５０５２　カリフォルニア州・サンタクララ・ミッション　カレッジ　ブーレバード・２２００
(74)代理人　100064621
弁理士　山川　政樹
(74)代理人　100067138
弁理士　黒川　弘朗
(74)代理人　100076392
弁理士　紺野　正幸
(74)代理人　100081743
弁理士　西山　修
(74)代理人　100098394
弁理士　山川　茂樹

最終頁に続く

(54)【発明の名称】フラッシュＥＥＰＲＯＭメモリの逐次プログラミング

(57)【特許請求の範囲】
【請求項１】
中央処理装置と、
メモリ装置と、
中央処理装置とメモリ装置との間でデータおよびアドレスを転送するシステム・バスとを具備し、前記メモリ装置が、
複数のフローティング・ゲート電界効果トランジスタ・デバイスを含み、各フローティング・ゲート電界効果トランジスタ・デバイスが少なくとも１ビットを格納するフラッシュＥＥＰＲＯＭメモリ・アレイと、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのドレイン端子に印加されるべき第１の正電圧を供給する第１の電荷ポンプであって、複数の段で構成されていて重なり合わない複数の信号によって制御される第１の電荷ポンプと、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのゲート端子に印加されるべき第２の正電圧を供給し、消去動作中にフローティング・ゲート電界効果トランジスタ・デバイスのソース端子に印加されるべき第２の正電圧を供給する第２の電荷ポンプであって、複数の段で構成されていて重なり合わない複数の信号によって制御される第２の電荷ポンプと、
第１の電荷ポンプにより供給される第１の正電圧をそれぞれ受け取るように接続され、アレイの複数のビット線サブグループの中から選択されたサブグループへその第１の正電圧を転送する、第１の複数のスイッチング回路と、

第２の電荷ポンプにより供給される第２の正電圧をそれぞれ受け取るように接続され、アレイの複数のワード線サブグループの中から選択されたサブグループへその第２の正電圧を転送する、第２の複数のスイッチング回路と、
第１および第２の複数のスイッチング回路に接続されている制御回路にして、プログラミングされるべくビット線およびワード線に接続されたフローティング・ゲート電界効果トランジスタ・デバイスがプログラミングされるまで、第１の複数のスイッチング回路のうち１つのスイッチング回路により第１の正電圧が複数のビット線サブグループの中から選択されたサブグループに接続され、第２の複数のスイッチング回路のうちの１つのスイッチング回路により第２の正電圧が複数のワード線サブグループの中から選択されたサブグループに接続されるように、第１および第２の複数のスイッチング回路を選択された順序でイネーブルする制御回路と
を備えている
ことを特徴とするコンピュータ・システム。
【請求項２】
制御回路が状態機械を具備し、前記状態機械が、各サブグループから選択されたビットがプログラミングされるまで第１の正電圧が各サブグループに個々に印加されるように、第１の複数のスイッチング回路の各々を選択された逐次順序でイネーブルする、請求項１に記載のコンピュータ・システム。
【請求項３】
選択されたビットがプログラミングされるように第１の正電圧を受け取るために接続するビット線のサブグループを選択するために、第１の複数のスイッチング回路に接続された列デコード回路をさらに具備する、請求項２に記載のコンピュータ・システム。
【請求項４】
サブグループの各々が４本のビット線を含む請求項１に記載のコンピュータ・システム。
【請求項５】
第１の複数のスイッチング回路が４つのスイッチング回路を具備し、４つのスイッチング回路のうち１つのスイッチング回路が対応する４本のビット線のサブグループに接続された、請求項１に記載のコンピュータ・システム。
【請求項６】
アレイの複数の選択されたビット線サブグループに第１の正電圧を転送するための第１の複数のスイッチング回路が４つのスイッチング回路を具備し、４つのスイッチング回路のうち１つのスイッチング回路が対応する４本のビット線のサブグループに接続された、請求項１に記載のコンピュータ・システム。
【請求項７】
複数のフローティング・ゲート電界効果トランジスタ・デバイスを含み、各フローティング・ゲート電界効果トランジスタ・デバイスが少なくとも１ビットを格納するフラッシュＥＥＰＲＯＭメモリ・アレイと、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのドレイン端子に印加されるべき第１の正電圧を供給する第１の電荷ポンプであって、複数の段で構成されていて重なり合わない複数の信号によって制御される第１の電荷ポンプと、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのゲート端子に印加されるべき第２の正電圧を供給し、消去動作中にフローティング・ゲート電界効果トランジスタ・デバイスのソース端子に印加されるべき第２の正電圧を供給する第２の電荷ポンプであって、複数の段で構成されていて重なり合わない複数の信号によって制御される第２の電荷ポンプと、
第１の電荷ポンプにより供給される第１の正電圧をそれぞれ受け取るように接続され、アレイの複数のビット線サブグループの中から選択されたサブグループへその第１の正電圧を転送する、第１の複数のスイッチング回路と、
第２の電荷ポンプにより供給される第２の正電圧をそれぞれ受け取るように接続され、アレイの複数のワード線サブグループの中から選択されたサブグループへその第２の正電圧

を転送する、第２の複数のスイッチング回路と、
第１および第２の複数のスイッチング回路に接続されている制御回路にして、プログラミングされるべくビット線およびワード線に接続されたフローティング・ゲート電界効果トランジスタ・デバイスがプログラミングされるまで、第１の複数のスイッチング回路のうち１つのスイッチング回路により第１の正電圧が複数のビット線サブグループの中から選択されたサブグループに接続され、第２の複数のスイッチング回路のうちの１つのスイッチング回路により第２の正電圧が複数のワード線サブグループの中から選択されたサブグループに接続されるように、第１および第２の複数のスイッチング回路を選択された順序でイネーブルする制御回路と
を具備するメモリ装置。

【請求項８】
制御回路が状態機械を具備し、前記状態機械が、各サブグループから選択されたビットがプログラミングされるまで第１の正電圧が各サブグループに個々に印加されるように、第１の複数のスイッチング回路の各々を選択された逐次順序でイネーブルする、請求項７に記載のメモリ装置。

【請求項９】
選択されたビットがプログラミングされるように第１の正電圧を受け取るために接続するビット線のサブグループを選択するために、スイッチング回路に接続された列デコード回路をさらに具備する、請求項８に記載のメモリ装置。

【請求項１０】
サブグループの各々が４本のビット線を含む請求項７に記載のメモリ装置。

【請求項１１】
第１の複数のスイッチング回路が４つのスイッチング回路を具備し、４つのスイッチング回路のうち１つのスイッチング回路が対応する４本のビット線のサブグループに接続された、請求項7に記載のメモリ装置。

【請求項１２】
中央処理手段と、
データの記憶を提供する手段と、
中央処理手段とデータの記憶を提供する手段との間でデータおよびアドレスを転送するシステム・バス手段と
を具備し、前記データの記憶を提供する手段が、
複数のフローティング・ゲート電界効果トランジスタ・デバイスを含み、各フローティング・ゲート電界効果トランジスタ・デバイスが少なくとも１ビットを格納するフラッシュＥＥＰＲＯＭメモリ・アレイ手段と、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのドレイン端子に印加されるべき第１の正電圧を供給する第１の電荷ポンプ手段であって、複数の段で構成されていて重なり合わない複数の信号によって制御される第１の電荷ポンプ手段と、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのゲート端子に印加されるべき第２の正電圧を供給し、消去動作中にフローティング・ゲート電界効果トランジスタ・デバイスのソース端子に印加されるべき第２の正電圧を供給する第２の電荷ポンプ手段であって、複数の段で構成されていて重なり合わない複数の信号によって制御される第２の電荷ポンプ手段と、
アレイ手段の複数のビット線サブグループのうち選択されたサブグループへ第１の正電圧を転送する第１の複数の転送する手段と、
アレイ手段の複数のワード線サブグループのうち選択されたサブグループへ第２の正電圧を転送する第２の複数の転送する手段と、
プログラミングされるべくビット線およびワード線に接続されたフローティング・ゲート電界効果トランジスタ・デバイスがプログラミングされるまで、第１の複数の転送する手段から選択された転送する手段により第１の正電圧が複数のビット線サブグループのうち

選択されたサブグループに接続され、第２の複数の転送する手段から選択された転送する手段により第２の正電圧が複数のワード線サブグループのうち選択されたサブグループに接続されるように、第１および第２の複数の転送する手段を選択された順序でイネーブルする手段と
を備えている
ことを特徴とする、コンピュータ・システム。
【請求項１３】
アレイ手段の選択された複数のビット線サブグループに第１の正電圧を転送する第１の複数の転送する手段を選択された逐次順序でイネーブルする手段が状態機械であり、前記状態機械が、各サブグループから選択されたビットがプログラミングされるまで第１の正電圧が各サブグループに個々に印加されるように、アレイ手段の選択された複数のビット数サブグループに第１の正電圧を転送する複数の手段をそれぞれイネーブルする、請求項１２に記載のコンピュータ・システム。
【請求項１４】
サブグループの各々が４本のビット線を含む請求項１２に記載のコンピュータ・システム。
【請求項１５】
複数のフローティング・ゲート電界効果トランジスタ・デバイスを含み、各フローティング・ゲート電界効果トランジスタ・デバイスが少なくとも１ビットを格納するフラッシュＥＥＰＲＯＭメモリ・アレイ手段と、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのドレイン端子に印加されるべき第１の正電圧を供給する第１の電荷ポンプ手段であって、複数の段で構成されていて重なり合わない複数の信号によって制御される第１の電荷ポンプ手段と、
プログラミング動作中にフローティング・ゲート電界効果トランジスタ・デバイスのゲート端子に印加されるべき第２の正電圧を供給し、消去動作中にフローティング・ゲート電界効果トランジスタ・デバイスのソース端子に印加されるべき第２の正電圧を供給する第２の電荷ポンプ手段であって、複数の段で構成されていて重なり合わない複数の信号によって制御される第２の電荷ポンプ手段と、
アレイ手段の複数のビット線サブグループのうち選択されたサブグループへ第１の正電圧を転送する第１の複数の転送する手段と、
アレイ手段の複数のワード線サブグループのうち選択されたサブグループへ第２の正電圧を転送する第２の複数の転送する手段と、
プログラミングされるべくビット線およびワード線に接続されたフローティング・ゲート電界効果トランジスタ・デバイスがプログラミングされるまで、第１の複数の転送する手段から選択された転送する手段により第１の正電圧が複数のビット数サブグループのうち選択されたサブグループに接続され、第２の複数の転送する手段から選択された転送する手段により第２の正電圧が複数のワード線サブグループのうち選択されたサブグループに接続されるように、第１および第２の複数の転送する手段を選択された順序でイネーブルする手段と
を具備するデータの記憶を提供する装置。
【請求項１６】
アレイ手段の選択された複数のビット線サブグループに第１の正電圧を転送する第１の複数の転送する手段を選択された逐次順序でイネーブルする手段が状態機械であり、前記状態機械が、各サブグループから選択されたビットがプログラミングされるまで第１の正電圧が各サブグループに個々に印加されるように、アレイ手段の選択された複数のビット線サブグループに第１の正電圧を転送する第１の複数の転送する手段をそれぞれイネーブルする、請求項１５に記載のデータの記憶を提供する装置。
【請求項１７】
サブグループの各々が４本のビット線を含む請求項１５に記載のデータの記憶を提供する

装置。
【請求項１８】
アレイ手段の選択された複数のビット線サブグループに第１の正電圧を転送する第１の複数の転送する手段が４つのスイッチング回路を具備し、４つのスイッチング回路のうち１つのスイッチング回路が対応する４本のビット線のサブグループに接続された、請求項１５に記載のデータの記憶を提供する装置。
【発明の詳細な説明】
発明の背景
発明の分野
本発明はコンピュータシステムに関し、さらに特定すれば、利用される電流及び電圧を減少させるためにフラッシュ電気的消去・プログラム可能読取り専用メモリ（フラッシュＥＥＰＲＯＭ）においてメモリセルの逐次プログラミングを利用する方法及び装置に関する。
従来の技術の推移
近年は、ポータブルコンピュータの必要電力を減少させようとする傾向が見られる。電力消費を減少させるために、パーソナルコンピュータで使用される集積回路の大半は低電圧レベルで動作するように設計し直されている。ポータブルコンピュータで使用される回路やコンポーネントは５．５ボルト及び３．３ボルトなどの電圧レベルで動作し且つ使用電流をより少なくするように設計されている。これはこのようなコンピュータの必要電力を減少させる上で大いに役立つ。
ところが、ポータブルコンピュータの機能の中には高電圧を要求するものもある。最近、ＢＩＯＳプロセスを記憶するためにフラッシュ電気的消去・プログラム可能読取り専用メモリ（フラッシュＥＥＰＲＯＭメモリ）を使用している。このメモリは、ＢＩＯＳプロセスを変更することにより小規模な更新プログラムを実行することにより、コンピュータからＢＩＯＳ回路を取り除くことなく消去、再プログラミングできる。しかしながら、フラッシュＥＥＰＲＯＭメモリを消去、再プログラミングするときには、それを有効に実行するために約１２ボルトが必要である。パーソナルコンピュータに設けられている低電圧バッテリーでは、この電圧を供給できない。
別の電子装置においては、低電圧の電源から高電圧を供給するために電荷ポンプ回路を使用している。しかし、フラッシュＥＥＰＲＯＭメモリアレイをプログラミングし、消去するために必要な電圧を供給することが可能である電荷ポンプを以前から利用可能であったとはいえ、外部電源から１２ボルトを利用できる場合に使用される正ソース消去技法を使用してフラッシュＥＥＰＲＯＭメモリアレイの消去とプログラミングを実行するために必要とされる電圧を供給する目的でそれらの電荷ポンプを利用する装置は最近まで考案されていなかった。
障害の第１の理由は、消去プロセスとプログラミングプロセスを実行するために電荷ポンプを使用したのでは不十分な電流しか発生できないと一般に認知されていることである。フラッシュＥＥＰＲＯＭメモリを消去する正ソース方法は非常に多くの量の電流を取り出す。同様に、従来の技法を使用してそのようなアレイをプログラミングするときにも、大量の電流が必要であった。しかしながら、近年では、特別に設計された電荷ポンプを使用すれば、フラッシュＥＥＰＲＯＭメモリアレイの正ソース消去とそれに付随するプログラミングを実行するのに十分な電流を発生できることがわかった。正ソース消去を実行するための電荷ポンプ構造は、本発明と同じ日に出願され且つ本発明の譲受人に譲渡されたＫ．Ｔｅｄｒｏｗ他の名称「Ｍｅｔｈｏｄ　Ａｎｄ　Ａｐｐａｒａｔｕｓ　Ｆｏｒ　Ａ　Ｔｗｏ　Ｐｈａｓｅ　Ｂｏｏｔｓｔｒａｐ　Ｃｈａｒｇｅ　Ｐｕｍｐ」による米国特許出願番号第０８／１１９，４２３号（米国特許第５，４２２，５８６号）の中に詳細に開示されている。
さらに、この最新の電荷ポンプを使用しても、フラッシュＥＥＰＲＯＭメモリアレイをプログラミングするときに使用される電流の量を減少させることは依然として望ましい。フラッシュＥＥＰＲＯＭメモリアレイは、フローティングゲート電界効果トランジスタデバ

イスを含むメモリセルから構成されている。フローティングゲートに負電荷を蓄積することにより、そのようなメモリトランジスタをプログラミングできる。フローティングゲートの負電荷はメモリトランジスタの閾値電圧をシフトさせて、トランジスタの導通を少なくする。セルに問合わせ且つ電流が流れているか否かを感知することにより、メモリトランジスタの状態（プログラム又は消去）を検出できる。フラッシュＥＥＰＲＯＭメモリセルのアレイを消去する従来の方法（正ソース消去と呼ばれる）は、全てのセルを一括して（又は少なくともセルの大型のブロック）消去する。このためには、典型的には、全てのメモリセルのソース端子に１２ボルトを印加し、ゲート端子を接地し且つドレイン端子を浮遊させることが必要である。通常、メモリセルのプログラミングは一度に１語ずつ実行されるが、従来の方式では、選択されたセルのドレインを６ボルト又は７ボルトとし、ゲートを１１ボルト又は１２ボルトとし且つソースを接地しなければならない。このプログラミング動作においては、ゲート端子がドレイン端子及びソース端子のレベルより高いレベルまで上昇する一方で、ドレイン端子とソース端子との間には大きな電位差が存在するので、相当に多くの電流が取り出される。

前述のように、従来の技法を使用するときには、プログラミングは一度に１語ずつ実行される。１６ビットから成る１つの語の各ビットを同時にプログラミングするためには約１ミリアンペアの電流が必要であるので、１語のプログラミングは約１６ミリアンペアを取り出す。従来のプログラミング動作の間に取り出されるピーク電流は４０ミリアンペアの大きさになるであろう。これは非常に大量の電流であり、実際に電荷ポンプ回路を使用すべき場合、キャパシタンスのより大きいより大型の電荷ポンプが必要である。そのようにキャパシタンスの大きい大型の電荷ポンプは広いダイスペースを必要とし、従って、ポータブルコンピュータの製造という面では逆効果である。さらに、集積回路電荷ポンプは効率を最大にするインダクタなどの素子を利用しないので、独立型電荷ポンプほど効率の良い動作はできない。事実、そのような電荷ポンプは約４０パーセントの効率で動作するので、１つの語をプログラミングするのに必要な１６ミリアンペアを供給するためには７２ミリアンペアのピーク電流が要求される。

発明の概要

従って、本発明の目的は、フラッシュＥＥＰＲＯＭメモリアレイをプログラミングするための必要電力を減少させる装置を提供することである。

本発明の別の目的は、フラッシュＥＥＰＲＯＭメモリアレイをプログラミングするために必要な電流を狭いダイスペースを使用する集積回路電荷ポンプ回路により供給しうるようなレベルまで減少させる装置を提供することである。

本発明のこれらの目的及びその他の目的は、高電圧出力を発生するための電荷ポンプと、電荷ポンプの出力端子に結合し、データの１つの語を構成するビット線の個々のサブセットを選択する複数のスイッチング回路と、１つの語をプログラムするために必要な電流が複数の個別の逐次周期にわたって分割され、それらの周期のいずれにあっても要求される電流は電荷ポンプが電流を供給する能力をそこなわせることのないように、ビット線へ電流を転送するためにスイッチング回路を順次選択する手段とを利用する集積回路構造において実現される。

本発明のこれらの目的及び特徴並びにその他の目的及び特徴は、図面と共に以下の詳細な説明を参照することによりさらに良く理解されるであろう。図面中、いくつかの図を通して同じ素子は同じ図中符号により指示されている。

【図面の簡単な説明】

図１は、本発明を利用しうるコンピュータシステムを示すブロック線図である。

図２は、フラッシュＥＥＰＲＯＭメモリアレイのプログラミング電圧及び消去電圧を供給する回路のブロック線図である。

図３は、正ソース消去技法について十分な電圧及び電流を供給するために図２の回路で使用しうる電荷ポンプのブロック線図である。

図４は、図３に示されているような電荷ポンプの出力電圧を制御するための本発明により回路のブロック線図である。

図５は、本発明を実施する第１の方法を示すフローチャートである。

表記法及び用語

以下の詳細な説明の中には、コンピュータメモリ内のデータビットに関わる演算を記号表現によって提示する部分がいくつかある。それらの説明や表現は、当業者がその作業の内容を他の当業者に最も有効に伝達するために使用する手段である。動作は物理的量の物理的操作を要求する動作である。通常、それらの量は記憶、転送、組合わせ、比較及びその他の方法による操作が可能である電気信号又は磁気信号の形態をとるが、必ずそうであるとは限らない。場合によっては、第１に一般に使用されている用語であるという理由により、それらの信号をビット、値、要素、信号、文字、項、数などと呼ぶと好都合であることがわかっている。しかしながら、それら全ての用語及びそれに類する用語は適切な物理的量と関連させるべきものであり、単にそのような量に便宜上付されるラベルであるにすぎないということに留意すべきである。

さらに、実行される操作を加算又は比較などの、一般にはオペレータが実行する知的動作と関連している用語で呼ぶことが多い。ここで説明する、本発明の一部を形成する動作のいずれにおいても、そのようなオペレータの能力は不要であり、多くの場合に望ましくない。動作は機械の動作である。本発明の動作を実行する上で有用な機械には、汎用デジタルコンピュータ又は他の同様の装置がある。あらゆる場合に、コンピュータを動作させる方法の動作と計算の方法それ自体との区別に留意すべきである。本発明は、電気信号又は他の（たとえば、機械的，化学的）物理的信号を処理して、他の所望の物理的信号を発生するときにコンピュータを動作させる装置及び方法に関する。

詳細な説明

そこで図１を参照すると、コンピュータシステム１０が示されている。システム１０は、コンピュータを動作させるためにコンピュータ１０に提供される様々な命令を実行する中央処理装置１１を含む。中央処理装置１１は、システム１０の様々な構成要素へ情報を搬送するためのバス１２に結合している。バス１２に結合している主メモリ１３は、典型的には、システム１０に電力が供給されている期間中に情報を記憶するために当業者には良く知られている方式で配列されたダイナミックランダムアクセスメモリから構成されている。同様にバス１２に結合している読取り専用メモリ１４は、システム１０に電力が供給されていないときに特定のメモリ条件にそれぞれ適合する、当業者には周知の様々なメモリデバイスを含んでいて良い。読取り専用メモリ１４は、典型的には、通常はＢＩＯＳプロセスと呼ばれる基本入出力プロセスとスタートアッププロセスなどのプロセッサ１１により使用される様々な基本機能を記憶する。このようなメモリ１４は、特定のコンピュータが使用するＢＩＯＳプロセスのうちいくつかが変更されるのに従って修正されるフラッシュＥＥＰＲＯＭメモリセルから構成されていれば良い。メモリ１４がフラッシュＥＥＰＲＯＭメモリセルから構成されている場合にはメモリ１４に記憶された値を再プログラムするためにコンピュータ自体で更新プロセスを実行することにより、メモリを修正すれば良い。通常、そのようなフラッシュＥＥＰＲＯＭメモリはメモリアレイをプログラムし且つ消去する回路を含む。

バス１２には、長期メモリ１６などの様々な周辺構成要素と、表示用のモニタ１８などの出力装置へ転送されるべきデータを書込めるフレームバッファ１７などの回路も接続している。長期メモリ１６（典型的には電気機械的ハードディスクドライブ）の構成と動作は当業者には良く知られている。しかしながら、典型的な電気機械ハードディスクドライブの代わりに、フラッシュＥＥＰＲＯＭメモリアレイを長期メモリ１６として使用しても良い。そのようなフラッシュＥＥＰＲＯＭメモリアレイは、さらに進歩したポータブルコンピュータの集積回路で通常利用可能である電圧より高い電圧を利用する技法によってプログラムされ、消去される。そのようなフラッシュＥＥＰＲＯＭメモリアレイは、典型的には、メモリアレイをプログラムし且つ消去する回路を含む。従って、本発明によれば、そのような長期メモリアレイ並びにメモリ１４はそのようなコンピュータで通常利用されるバッテリーから利用可能な低い電圧から高電圧を発生する回路を構成できる。

フラッシュＥＥＰＲＯＭメモリアレイは、フローティングゲート電界効果トランジスタデ

バイスを含むメモリセルから構成されている。そのようなメモリトランジスタはフローティングゲートに蓄積されている電荷を変化させるようにプログラムされれば良く、トランジスタの状態（プログラム状態又は消去状態）はセルを問い合わせることによって検出しても良い。フラッシュＥＥＰＲＯＭメモリセルのアレイを消去する従来の方法（正ソース消去と呼ばれる）は全てのセルを一括して（又は少なくともやや大きなセルのブロックを）消去する。通常、これには全てのメモリセルのソース端子に１２ボルトを印加し、ゲート端子を接地し且つドレイン端子を浮遊させることが必要である。メモリセルのプログラミングは供給されるデータに従って一度に１語ずつ実行されるが、従来は選択されたセルのドレインを６ボルト又は７ボルトとし、ゲートを１１ボルト又は１２ボルトとし且つソースを接地することが必要であった。

これまでは、低い電圧しか利用できないときにより高い電圧を発生するために電荷ポンプを設けるのが普通であったが、フラッシュＥＥＰＲＯＭメモリアレイの消去及びプログラミングに際してはそのような電荷ポンプを使用していなかった。そのような電荷ポンプは電圧を適切なレベルまで上昇させることはできるが、従来の技術の電荷ポンプは、従来の正ソース方式で消去する場合にフラッシュＥＥＰＲＯＭメモリを有効に消去し、プログラミングするのに十分な電流を供給できるとは思われなかった。

図２は、フラッシュＥＥＰＲＯＭメモリアレイ２６と、正ソース消去技法を利用してそのフラッシュＥＥＰＲＯＭメモリアレイ２６をプログラムし且つ消去する回路とを含む集積回路２０を示すブロック線図である。この回路２０は５ボルトを供給することが可能である低電力バッテリーなどの電源２１を含む。電源２１からの電圧は１対の電荷ポンプ回路２２及び２３に供給される。電荷ポンプ回路２２は約１２ボルトのポンプ出力電圧を供給するように考案されており、電荷ポンプ回路２３は約９ボルトのポンプ出力電圧を発生するように考案されている。

電荷ポンプ２２からの電圧は、当業者には良く知られているようにフラッシュＥＥＰＲＯＭメモリトランジスタデバイス２８（図２にはトランジスタデバイス２８は１つしか示されていない）のゲート端子に電圧を供給する１組のワード線スイッチ及びデコーダ２４に供給される。ポンプ２２からの電圧は、また、当業者には良く知られているようにフラッシュＥＥＰＲＯＭメモリトランジスタデバイス２８のソース端子に電圧を供給する１組のソーススイッチ及びデコーダ２５にも供給される。ポンプ２３により供給される電圧は、当業者には良く知られているようにフラッシュＥＥＰＲＯＭメモリトランジスタデバイス２８のドレイン端子に電圧を供給する１組のビット線スイッチ及びデコーダ２７に供給される。それら３組のスイッチとデコーダ２４、２５及び２７の各々は、消去時及びプログラミング時にそれらの結果を達成するように適切な電圧を供給するために、制御回路２９からの信号により制御される。一実施形態では、制御回路２９は特に読取り、プログラミング及び消去を含むメモリアレイ２６の全ての動作の制御を実行するように設計されたマイクロプロセッサである。そのような制御回路の使用は、１９９３年６月３０日に出願され且つ本発明の譲受人に譲渡されたＭ．Ｆａｎｄｒｉｃｈの名称「Ｆｌａｓｈ　Ｍｅｍｏｒｙ　Ａｒｒａｙ　Ｓｙｓｔｅｍ　ａｎｄ　Ｍｅｔｈｏｄ」の米国特許出願番号第０８／０８６，１８６号（米国特許第５，５０９，１３４号）の中に記載されている。

図２の右下角には、正ソース消去技法を使用するプログラム動作及び消去動作の間に典型的にはメモリセルの端子に印加される電圧を示す表が示されている。表からわかるように、メモリデバイス２８を消去するときには、デバイス２８のソース端子に正の１２ボルトを印加し、ゲート端子に接地電位を印加し且つドレインを浮遊させることが必要である。これに対し、プログラミング中には、通常はソースを接地し、ゲート端子に１２ボルトを印加し且つドレイン端子に６ボルト又は７ボルトを印加する。ゲート端子はソース端子又はドレイン端子より高い電位まで上昇しており且つソース端子とドレイン端子との間には相当に高い電位が印加されるので、大きなドレイン電流が流れる。プログラミングを実行するときにこのように大きなドレイン電流が流れるため、プログラミング電源は相当に多くの量の電流を供給することができなければならない。同時係属特許出願の発明に至る以前は、コンデンサ用のダイスペースとして過剰な広さを利用する必要なく電荷ポンプによ

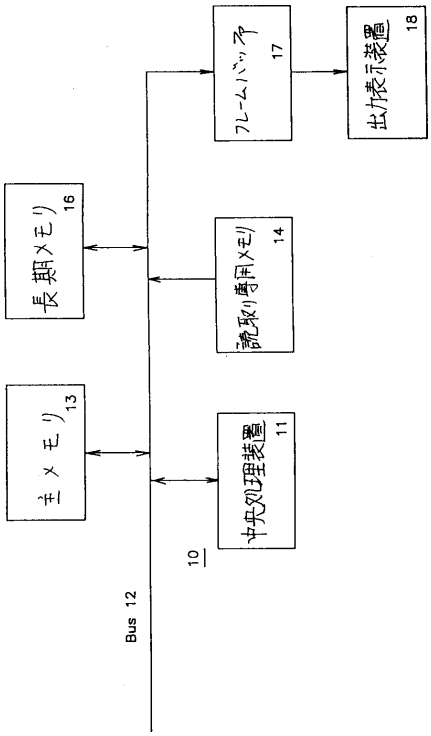
りこの目的のために十分な量の電流を供給できるとは考えられていなかった。
図３は、前記の同時係属特許出願の中に記載されているようなブートストラップポンプ装置３０を示し、この装置は本発明に従ってフラッシュＥＥＰＲＯＭメモリアレイをプログラミングし且つ消去するために必要とされる高電圧と大きな電流を供給する目的で利用できるであろう。図３に示すように、ポンプ３０は、電源Ｖｃｃと出力端子Ｖｏｕｔとの間に直列に接続されるドレイン端子及びソース端子をそれぞれ有するいくつかのＮ型電界効果トランジスタデバイス段３１、３２及び３３を含む。入力クロック信号はクロック信号源３４からコンデンサ３５及び３６により回路３０に供給される。第２の組の入力クロック信号はクロック信号源３７からコンデンサ３８及び３９を介して供給される。回路３０の各段は、ソース端子とドレイン端子との間にその段の関連するデバイス３１又は３２のゲート端子に至る経路を形成するＮチャネル電界効果トランジスタデバイス４０又は４１を含む。図示されているポンプ３０は、デバイス２８のドレインに関してプログラミング電圧を発生するために図２に示すポンプ２３として使用できる２段ポンプである。
ソース３４及び３７が発生する入力クロックパルスの２つの位相（位相１及び位相２）は、所望の出力電圧と出力電流を発生するように回路３０を動作させるために独特の方式で印加される。２つの位相のクロック信号は重なり合わないように選択されている。位相２のクロックは当初ハイであることがわかる。このクロックがハイであるとき、制御デバイス４０のゲート端子と、スイッチングデバイス３２のゲートとにイネーブリング信号が印加される。これらのパルスは制御デバイス４０をターンオンする。信号源３７からの高電圧はデバイス３２のドレインにも印加され、デバイス３２のドレインとゲート双方の高電圧はこのデバイスをターンオンさせる。デバイス３２がターンオンすると、そのドレインとゲートは、当初、同一の値となる。ドレインとゲートは、位相１のクロック信号がハイであった直前の期間にデバイス４１が導通することによって、この値を有するようになっている。ところが、この時点では位相１のクロックはローであるので、デバイス３２のドレインとゲートを接合する制御デバイス４１はオフ状態である。そのため、デバイス３２は、位相２クロックのハイ期間の大部分にわたってオン状態であった後、ドレインの高電圧がコンデンサ３８からコンデンサ３６へ電荷を移送して、デバイス３２のドレインの電圧レベルを低下させる。その結果、デバイス３２のゲートの電圧はドレイン又はソースより高くなり、デバイス３２は閾値電圧降下を伴わずに完全にオンする。従って、コンデンサ３８からコンデンサ３６への電荷の移送は、デバイス３２がターンオンし始めた後は、閾値降下に起因する電力消散を発生させない。
デバイス３２のドレインとソースの電圧が均衡し始めるにつれて、制御デバイス４１のゲートの電圧はデバイス３２のソースの電圧と共に上昇するので、制御デバイス４１はターンオンし始める。これにより、デバイス３２のドレインの電圧はデバイス３２のゲートのレベルまで上昇しようとし、そのため、コンデンサ３６からデバイス３２を介してコンデンサ３８へ電流が戻ることはない。位相２のクロックパルスがローになると、デバイス４１のドレインはゲートより低いレベルまで降下し、デバイス４１はオン状態のままである。同時に、制御デバイス４０のゲート端子は低下して、デバイス４０はターンオフするので、デバイス３１のドレイン端子とゲート端子は互いに隔離されるが、それらの電圧は等しい。位相２のパルスがローになるときにデバイス３２のゲートの電圧が低下すると、デバイス３２はターンオフし始める。位相１のクロックパルスがハイになると、デバイス４１は完全にオンし、デバイス３２のゲートとドレインの電圧を均衡させる。同時に、デバイス３１のゲート端子は値Ｖｃｃだけ上昇する。
デバイス３１はコンデンサ３８へ電荷を移送するときにデバイス３２と同様に機能する。このデバイスのゲート端子とドレイン端子の電圧は当初は等しいが、その後、次の段のコンデンサへ電荷が移送されるにつれてドレイン電圧は降下するので、それらのデバイスは完全にオンし、閾値電圧降下を全く受けない。
このように、位相１のクロックがハイになると、デバイス３１はターンオンし、電源Ｖｃｃにより供給される電流はコンデンサ３８を充電する。位相１のパルスがローになると、デバイス３１はオフする。次に、位相２のクロックパルスはデバイス３２をターンオンし

、コンデンサ３８は蓄積していた電荷と、位相２のパルスによる電荷とをコンデンサ３６に供給する。位相２のパルスがローになると、デバイス３２はオフする。位相１のパルスが再びハイになると、電源Ｖｃｃは再びコンデンサ３８を充電する。
最終的には、コンデンサ３６の充電と位相２のクロックパルスの正スイングによって、コンデンサ３６の電圧レベルはレベルＶｏｕｔより十分高いレベルまで上昇して、スイッチングデバイス３３を導通させる。位相１のクロックがハイになると、出力デバイス３３はターンオンし、Ｖｏｕｔにポンプ電圧を供給する。最終段はＶｔの降下を示す範囲で動作することに注意すべきである。
この動作はフラッシュＥＥＰＲＯＭメモリアレイの消去とプログラミングに必要な高レベルの電流を供給しつつ、所望の出力電圧を供給する。図３に示す２段ポンプ回路３０は、電源Ｖｃｃの電圧のＮ（Ｎは段の数である）＋１倍から出力端子における開回路電圧としてのデバイス３３のＶｔ降下を減じた値とほぼ等しい電圧を供給する。たとえば、Ｖｃｃが４．４ボルトに等しいとき、ポンプ回路３０の出力端子では１２．７ボルトの出力電圧が供給される。従って、これからわかるように、図３の構造は高レベルの電流を発生可能な信頼しうる電荷ポンプ回路を構成している。
図３に示すポンプ３０は、そのサイズを拡大することにより、メモリセルの消去中はソース電圧、プログラミング中にはゲート電圧をそれぞれ供給するために使用されても良い。アレイの消去中とプログラミング中にそれぞれフラッシュＥＥＰＲＯＭメモリセルのソース端子とゲート端子で使用される電圧を供給するために必要とされる図２のより大型の電荷ポンプ２２を、２つ以上の段を使用する電荷ポンプにより構成しても良い。たとえば、３つの段を有する電荷ポンプは、消去中にメモリセルのソース端子で又はプログラミング中にゲート端子で使用できる出力電圧を供給することが可能である。
当業者には明白であろうが、図３の電荷ポンプ回路は従来の技術の電荷ポンプにより供給される出力電圧及び出力電流より相当に大きい電圧と電流を供給する。各段で閾値降下が起こらないので、供給される出力電流は従来の非ブートストラップ電荷ポンプが供給可能であった電流の約２倍である。しかしながら、プログラミング時に十分な電流を利用できるように保証するために、新たなプログラミング構造が考案されている。
フラッシュＥＥＰＲＯＭメモリアレイのメモリセルをプログラミングするときに使用される電流をさらに減少させるために、本発明に従った回路が設けられている。この回路では、従来の技術の構造で実行されていたように１つの語の全てのビットを同時にプログラミングするのではなく、ビットは一度に４ビットずつ順次プログラミングされる。このようにすると、アレイをプログラミングするために１度に１６ミリアンペア要求されるのではなく、いつの時点でも要求されるのは４ミリアンペアだけである。従って、平均電流とピーク電流は共に、図示されている電荷ポンプ回路により供給されると好都合であると思われる値まで減少する。
図３の電荷ポンプ３０の出力端子で要求される電流を減少させるために、電荷ポンプ３０により供給される出力電圧は、１つの語の何らかの一部分をプログラムするために必要なドレイン電圧を供給するように接続されている。図４に示す実施状態では、電荷ポンプの出力は列デコード回路と協働する複数組のスイッチにより４本１組のビット線のサブセットに順次供給される。このようにすると、電荷ポンプは４つのメモリセルを同時にプログラムするのに十分な電流を供給するだけで良い。このように動作させるためには、どのプログラミング期間中にも、従来の構造では典型的であった１６ミリアンペアではなく、約４ミリアンペアの平均プログラミング電流のみが必要である。プログラミングすべき１つのサブセットの中で選択されるビットの数は、電荷ポンプ回路素子の大きさによって決まる特定の電荷の電流容量の関数であることが理解されるであろう。特定のケースには、１語の中のより多い数のビット又は少ない数のビットをプログラミングしても良いであろう。
図４に示すように、電荷ポンプ３０はメモリアレイの１つの語をプログラミングするために使用される出力電圧と電流を供給する。その出力電圧は４つの個別のスイッチング回路４４～４７に供給される。それらのスイッチング回路４４～４７の各々は、電荷ポンプの

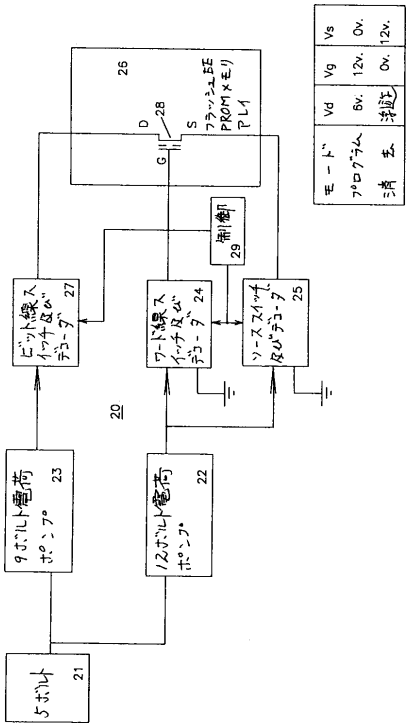
出力端子で供給される電圧をスイッチング回路４４～４７の出力端子で順次選択される４組のビット線の各々に順次接続させることができる入力制御信号を状態機械４２から受ける。状態機械はイネーブル信号をスイッチング回路４４～４７へ一定の順序で送り、これはプログラムされる語ごとに繰り返される。特定の実施形態においてイネーブル信号を供給するために、状態機械の代わりに、コントローラ回路、プロセッサなどの他の回路、あるいは一連のパルスを発生する他の方法を使用しても良い。そこで、プログラミングプロセスの流れを示す図５に示すように、状態機械４２により第１のイネーブル信号を発生し、個々のスイッチング回路４４～４７の中の第１のスイッチング回路４４へ転送する。回路４４は、たとえば、プログラミングすべきであるとして選択される語のビット０から３への電圧の転送を制御する。この第１のイネーブル信号は、電荷ポンプ３０により供給される電圧をそのスイッチング回路４４～４７に接続するプログラミングされるべき４本のビット線に印加させ、メモリデバイスのドレイン端子へ転送する。いずれの場合にも、プログラミングすべき実際のビット線は列デコード回路４９により選択される。第１のビット線のサブセットのビット線のうち適切なものが電荷ポンプ３０から適切な高電圧を受け取り、プログラミングが起こったならば、状態機械４２は別の（第２の）イネーブル信号を発生し、その信号は個々のスイッチング回路のうち第２のスイッチング回路４５へ転送されるので、そのスイッチング回路４５に接続している４本のビット線のうちプログラミングすべきビット線（たとえば、プログラミングすべき選択された語のビット４から７）に電荷ポンプ３０により供給される電圧を印加できるであろう。このようなイネーブルパルスの発生と、４本１組の複数組のビット線のプログラミングとは、語の全てのビットがプログラムされ終わるまで、選択された語の４ビットずつのサブセットを介して逐次継続して行く。４ビットずつの各組が終了するたびに、語の中にまだプログラミングされていない別のビットの組が存在しているか否かを判定するために試験を実行しても良い。語をプログラミングした後、メモリ位置のデータをプログラミングのために提供されるデータに照らして試験することにより、その語のプログラミングを検査しても良い。試験を検査する方法は、Ｆｌａｓｈ　Ｍｅｍｏｒｙ　Ａｒｒａｙ　Ｓｙｓｔｅｍ　ａｎｄ　Ｍｅｔｈｏｄを名称とする先に引用した同時係属出願の中に説明されている。イネーブルサイクルはプログラムすべき次のデータ語、他の各々のデータ語のビットの逐次サブセットについて繰り返される。このプログラミング方法によって、プログラミングを実行するために電荷ポンプから要求される電流はかなり減少する。

本発明を好ましい一実施形態に関して説明したが、本発明の趣旨から逸脱せずに当業者により様々な変形や変更を実施しうることは理解されるであろう。従って、本発明は次の請求の範囲によって判断されるべきである。

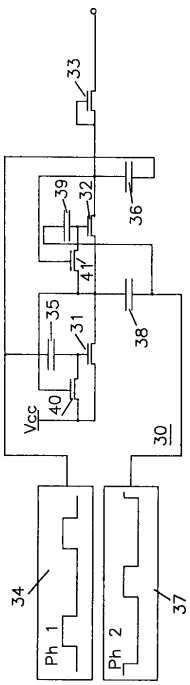
【図１】


フレームバッファ
17
出力表示装置
18
長期メモリ
16
読取り専用メモリ
14
主メモリ
13
中央処理装置
11
10
Bus 12

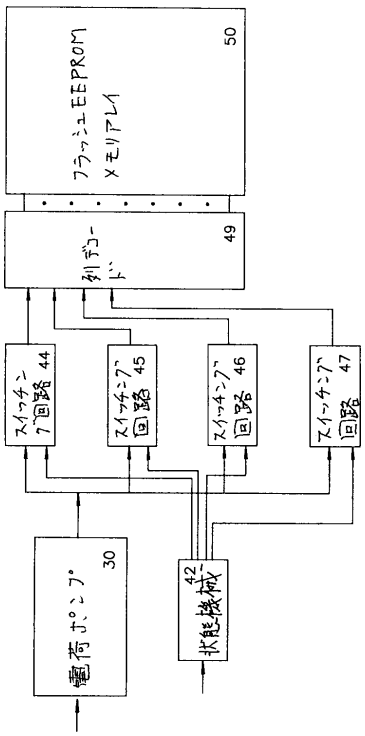
【図２】


モード
プログラム
消去
Vd
Vg
Vs
6v.
12v.
0v.
測定
フラッシュEEPROMメモリアレイ
26
28
27
24
25
29
23
22
21
20

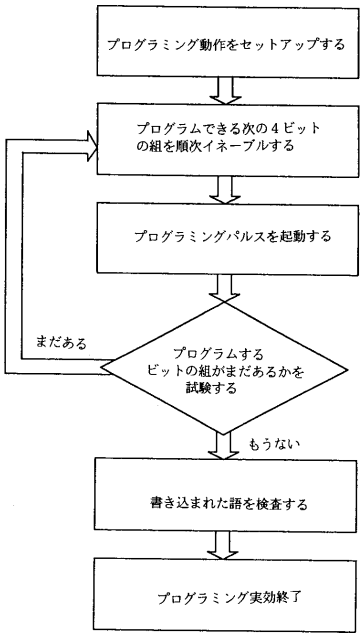
【図３】


Vcc
Ph 1
Ph 2
30
31
32
33
34
35
36
37
38
39
40
41

【図４】


フラッシュEEPROM
メモリアレイ
50
列デコーダ
49
スイッチング回路 44
スイッチング回路 45
スイッチング回路 46
スイッチング回路 47
電荷ポンプ
30
状態機械
42

【図５】


プログラミング動作をセットアップする
プログラムできる次の４ビット
の組を順次イネーブルする
プログラミングパルスを起動する
まだある
プログラムする
ビットの組がまだあるかを
試験する
もうない
書き込まれた語を検査する
プログラミング実効終了

フロントページの続き

(72)発明者　ラールセン，ロバート・エドワード
アメリカ合衆国　９５６８２　カリフォルニア州・シングル　スプリングス・ディアウッド　ドライブ・５２６７
(72)発明者　ジャヴァニファード，ジャハンシャー・ジェイ
アメリカ合衆国　９５８６４　カリフォルニア州・サクラメント・クロンドール　ドライブ・４１１５

合議体
審判長　齋藤　恭一
審判官　井原　純
審判官　河合　章

(56)参考文献　特開平５－１２８９１（ＪＰ，Ａ）
特開平４－３８７００（ＪＰ，Ａ）
特開平５－６２４８４（ＪＰ，Ａ）
特開平４－２９１０９４（ＪＰ，Ａ）
特開平３－２８６４９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 16/02