

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 11 月 10 日 (2005.11.10)

【公表番号】特表 2001-519949(P2001-519949A)

【公表日】平成 13 年 10 月 23 日 (2001.10.23)

【出願番号】特願平 10-543019

【国際特許分類第 7 版】

G 0 6 F 11/34

G 0 6 F 11/28

【 F I 】

G 0 6 F 11/34 S

G 0 6 F 11/28 3 1 0 A

【手続補正書】

【提出日】平成 17 年 3 月 22 日 (2005.3.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手 続 補 正 書

平成 17 年 3 月 22 日

特許庁長官殿

1. 事件の表示

平成 10 年特許願第 5 4 3 0 1 9 号



2. 補正をする者

名称 アドバンスト・マイクロ・デバイス・インコーポレ
イテッド

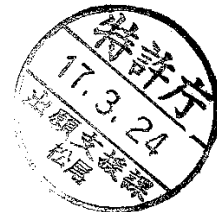
3. 代理人

住所 〒530-0054
大阪府大阪市北区南森町 2 丁目 1 番 29 号
三井住友銀行南森町ビル
深見特許事務所
電話 06-6361-2021
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



4. 補正により増加する請求項の数 1 1



5. 補正対象書類名

請求の範囲

6. 補正対象項目名

請求の範囲

7. 補正の内容

(1) 請求の範囲を別紙のとおり補正する。

以上

請求の範囲

1. 一連のソフトウェア命令を実行するように適合される電子プロセッサベースのデバイスであって、前記プロセッサベースのデバイスにはピンが設けられ外部導体への接続ができ、前記電子プロセッサベースのデバイスは、

プロセッサコアと、

前記プロセッサコアに結合され前記プロセッサコアにより実行されるソフトウェア命令に関連するソフトウェア性能プロファイリング情報をストアするためのトレースメモリとを含み、前記トレースメモリは一連の記憶素子を含み、各記憶素子はソフトウェア性能プロファイリング情報をストアするよう適合され、前記トレースメモリは最新の情報を維持するよう構成され、前記電子プロセッサベースのデバイスはさらに

前記ソフトウェア性能プロファイリング情報を集めて前記ソフトウェア性能プロファイリング情報を前記トレースメモリにもたらすトレース制御回路を含み、前記トレース制御回路は

前記トレースメモリに結合される第1のソフトウェアプロファイルカウンタと、

前記第1のソフトウェアプロファイルカウンタに結合される第1のソフトウェアプロファイルトリガ制御レジスタとを含み、前記第1のソフトウェアプロファイルトリガ制御レジスタは、予め定められたソフトウェア命令の実行の際に前記第1のソフトウェアプロファイルカウンタを活性化するよう構成可能であり、前記トレース制御回路はさらに

前記第1のソフトウェアプロファイルカウンタに結合される第2のソフトウェアプロファイルトリガ制御レジスタを含み、前記第2のソフトウェアプロファイルトリガ制御レジスタは、さらなる予め定められたソフトウェア命令の実行の際に前記第1のソフトウェアプロファイルカウンタを非活性化するよう構成可能であり、

前記第1のソフトウェアプロファイルカウンタの非活性化によりそのカウント値が前記トレースメモリ内にストアされる、プロセッサベースのデバイス。

2. 前記トレース制御回路は

前記トレースメモリに結合される第2のソフトウェアプロファイルカウンタを

さらに含み、

前記第2のソフトウェアプロファイルトリガ制御レジスタは、さらなる予め定められたソフトウェア命令の実行の際に前記第2のソフトウェアプロファイルカウンタを初期化するようにさらに構成可能であり、前記第2のソフトウェアプロファイルカウンタの初期化により、初期化の直前のそのカウント値が前記トレースメモリ内にストアされる、請求項1に記載のプロセッサベースのデバイス。

3. 前記予め定められたソフトウェア命令は特定されたソフトウェアプロシジャへ入ったことを示し、前記さらなる予め定められたソフトウェア命令は特定されたソフトウェアプロシジャから出たことを示す、請求項1に記載のプロセッサベースのデバイス。

4. 前記予め定められたソフトウェア命令は特定された割込ハンドラへ入ったことを示し、前記さらなる予め定められたソフトウェア命令は前記特定された割込ハンドラから出たことを示す、請求項1に記載のプロセッサベースのデバイス。

5. 前記第1のソフトウェアプロファイルカウンタのインクリメント頻度は少なくとも2つの値の間でプログラム可能である、請求項1に記載のプロセッサベースのデバイス。

6. 前記トレースメモリはファーストインファーストアウト (F I F O) 循環バッファである、請求項1に記載のプロセッサベースのデバイス。

7. 前記トレースメモリとピンの選択されたものとの間に接続され前記トレースメモリから外部デバイスへソフトウェア性能プロファイリング情報を送信するための通信チャネルをさらに含む、請求項1に記載のプロセッサベースのデバイス。

8. 前記通信チャネルは前記トレースメモリとピンの選択されたものとの間にパラレルインターフェイスを含む、請求項7に記載のプロセッサベースのデバイス。

9. 前記通信チャネルは前記トレースメモリとピンの選択されたものとの間にシリアルインターフェイスを含む、請求項7に記載のプロセッサベースのデバイス。

10. 前記シリアルインターフェイスは本質的にシリアルインターフェイス規格に準拠する、請求項9に記載のプロセッサベースのデバイス。

11. 前記シリアルインターフェイスは本質的に I E E E - 1 1 4 9 . 1 - 1 9 9 0 J T A G インターフェイス規格に準拠する、請求項10に記載のプロセッサ

ベースのデバイス。

1 2. 一連のソフトウェア命令を実行するプロセッサコアを有するプロセッサベースのデバイス内に、ソフトウェア性能プロファイリング情報をもたらす方法であって、

前記プロセッサベースのデバイス内にトレースメモリを設けるステップを含み、前記トレースメモリはソフトウェア性能プロファイリング情報をストアするよう適合される一連の記憶素子を含んでおり、前記トレースメモリは最新の情報を維持するよう構成され、前記方法はさらに

前記プロセッサコアにより実行されるソフトウェア命令に関連するソフトウェア性能プロファイリング情報を生成するステップを含み、前記生成するステップは

ソフトウェアプロファイルカウンタを設けるステップと、

予め定められたソフトウェア命令の実行の際に前記ソフトウェアプロファイルカウンタを活性化するステップと、

さらなる予め定められたソフトウェア命令の実行の際に前記ソフトウェアプロファイルカウンタを非活性化するステップとを含み、前記ソフトウェア性能プロファイリング情報は非活性化された後の前記ソフトウェアプロファイルカウンタのカウント値を含んでおり、前記方法はさらに

前記トレースメモリ記憶素子内に前記ソフトウェア性能プロファイリング情報をストアするステップを含む、方法。

1 3. 前記予め定められたソフトウェア命令は特定されたソフトウェアプロシジャへ入ったことを示し、前記さらなる予め定められたソフトウェア命令は特定されたソフトウェアプロシジャから出たことを示す、請求項 1 2 に記載の方法。

1 4. 前記予め定められたソフトウェア命令は特定された割込ハンドラへ入ったことを示し、前記さらなる予め定められたソフトウェア命令は前記特定された割込ハンドラから出たことを示す、請求項 1 2 に記載の方法。

1 5. 前記第 1 のソフトウェアプロファイルカウンタのインクリメント頻度は少なくとも 2 つの値の間でプログラム可能である、請求項 1 2 に記載の方法。

1 6. 前記生成するステップは

ソフトウェアプロファイルカウンタを設けるステップと、

予め定められたソフトウェア命令の実行の際に前記ソフトウェアプロファイルカウンタのカウント値を検索するステップとを含み、前記ソフトウェア性能プロファイリング情報は検索されたカウント値を含む、請求項12に記載の方法。

17. 前記ソフトウェアプロファイルカウンタを初期化し、前記カウント値を検索するステップを繰り返してさらなるソフトウェア性能プロファイリング情報を生成するステップをさらに含む、請求項16に記載の方法。

18. 前記トレースメモリからデバッグシステムへの通信チャネルを設けるステップと、

前記ソフトウェア性能プロファイリング情報を前記トレースメモリから前記デバッグシステムへ前記通信チャネルを介して通信するステップとをさらに含む、請求項12に記載の方法。

19. 前記通信ステップにおいて用いられる前記通信チャネルはシリアルインターフェイスである、請求項18に記載の方法。

20. 前記通信ステップにおいて用いられる前記通信チャネルはパラレルインターフェイスである、請求項18に記載の方法。

21. ソフトウェア性能プロファイリング情報を生成し分析するためのソフトウェア開発環境であって

一連のソフトウェア命令を実行するよう適合される電子プロセッサベースのデバイスを含み、前記プロセッサベースのデバイスは

外部導体へ接続するためのピンと、

プロセッサコアと、

前記プロセッサコアに結合され前記プロセッサコアにより実行されるソフトウェア命令に関連するソフトウェア性能プロファイリング情報をストアするためのトレースメモリとを含み、前記トレースメモリは一連の記憶素子を含み、前記記憶素子はソフトウェア性能プロファイリング情報をストアするよう適合されており、前記トレースメモリは最新の情報を維持するよう構成されており、前記プロセッサベースのデバイスはさらに

前記ソフトウェア性能プロファイリング情報を集め前記ソフトウェア性能プ

ロファイリング情報を前記トレースメモリにもたらすトレース制御回路を含み、
前記トレース制御回路は

前記トレースメモリに結合される第1のソフトウェアプロファイルカウンタと、

前記第1のソフトウェアプロファイルカウンタに結合される第1のソフトウェアプロファイルトリガ制御レジスタとを含み、前記第1のソフトウェアプロファイルトリガ制御レジスタは予め定められたソフトウェア命令の実行の際に前記第1のソフトウェアプロファイルカウンタを活性化するように構成可能であり、
前記トレース制御回路はさらに

前記第1のソフトウェアプロファイルカウンタに結合される第2のソフトウェアプロファイルトリガ制御レジスタを含み、前記第2のソフトウェアプロファイルトリガ制御レジスタはさらなる予め定められたソフトウェア命令の実行の際に前記第1のソフトウェアプロファイルカウンタを非活性化するように構成可能であり、

前記第1のソフトウェアプロファイルカウンタの非活性化によりそのカウント値が前記トレースメモリ内にストアされ、前記プロセッサベースのデバイスはさらに

前記プロセッサベースのデバイスの前記ピンに通信可能に結合され前記トレースメモリからソフトウェア性能プロファイリング情報を受信するためのホストシステムを含み、前記ホストシステムはソフトウェア性能プロファイル情報を分析するためのソフトウェアを含む、ソフトウェア開発環境。