



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0095834
(43) 공개일자 2014년08월04일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0008718
(22) 출원일자 2013년01월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김상수
경기도 용인시 기흥구 사은로 274-20 (지곡동,
자봉마을 썬밸리) 110동 1804호
(74) 대리인
박영우

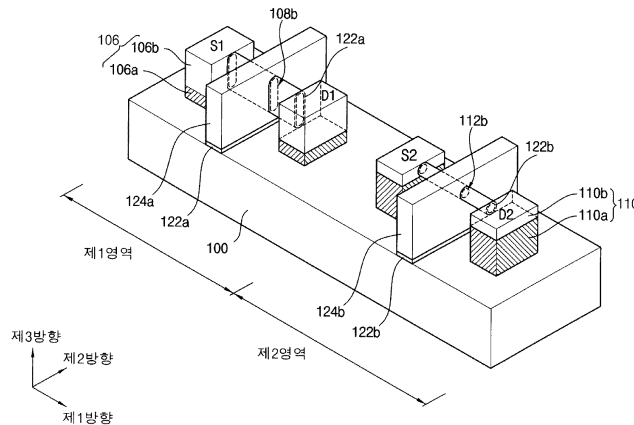
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 나노 와이어 채널 구조의 반도체 소자 및 그 제조 방법

(57) 요약

반도체 소자 및 제조 방법에서, 반도체 소자는 제1 영역의 기판의 상부면과 이격되게 구비되고, 반도체 물질을 포함하고, 패턴의 횡단면은 수평 방향으로 제1 폭을 갖고, 수직 방향으로 제1 수직 길이를 갖는 제1 나노 와이어 패턴을 포함한다. 제2 영역의 기판의 상부면과 이격되게 구비되고, 반도체 물질을 포함하고, 패턴의 횡단면은 수평 방향으로 상기 제1 폭을 갖고, 수직 방향으로 상기 제1 수직 길이보다 짧은 제2 수직 길이를 갖는 제2 나노 와이어 패턴을 포함한다. 상기 제1 나노 와이어 패턴에는 제1 MOS 트랜지스터가 구비되고, 상기 제2 나노 와이어 패턴에는 제2 MOS 트랜지스터가 구비된다. 따라서, 상기 반도체 소자는 각각 목표한 온 전류 특성을 갖는 제1 및 제2 MOS 트랜지스터를 포함한다.

대표도



특허청구의 범위

청구항 1

제1 영역의 기판의 상부면과 이격되게 구비되고, 반도체 물질을 포함하고, 패턴의 횡단면은 수평 방향으로 제1 폭을 갖고, 수직 방향으로 제1 수직 길이를 갖는 제1 나노 와이어 패턴;

제2 영역의 기판의 상부면과 이격되게 구비되고, 반도체 물질을 포함하고, 패턴의 횡단면은 수평 방향으로 상기 제1 폭을 갖고, 수직 방향으로 상기 제1 수직 길이보다 짧은 제2 수직 길이를 갖는 제2 나노 와이어 패턴;

상기 제1 나노 와이어 패턴에 구비되고, 제1 게이트 구조물 및 제1 소오스/드레인 영역을 포함하는 제1 MOS 트랜지스터; 및

상기 제2 나노 와이어 패턴에 구비되고, 제2 게이트 구조물 및 제2 소오스/드레인 영역을 포함하는 제2 MOS 트랜지스터를 포함하는 반도체 소자.

청구항 2

제1항에 있어서, 상기 제1 나노 와이어 패턴은 상기 제1 수직 길이가 상기 제1 폭보다 더 긴 형상을 갖는 반도체 소자.

청구항 3

제1항에 있어서, 상기 제1 및 제2 MOS 트랜지스터는 동일한 도전형의 트랜지스터인 반도체 소자.

청구항 4

제1항에 있어서, 상기 제1 및 제2 MOS 트랜지스터는 서로 다른 도전형의 트랜지스터인 반도체 소자.

청구항 5

제4항에 있어서, 상기 제1 MOS 트랜지스터는 N형 트랜지스터이고, 상기 제2 트랜지스터는 P형 트랜지스터인 반도체 소자.

청구항 6

제1항에 있어서, 상기 제1 게이트 구조물은 상기 제1 나노 와이어 패턴 표면 상에 구비되는 제1 게이트 절연막과, 상기 제1 게이트 절연막 상에 구비되고 상기 제1 나노 와이어 패턴을 둘러싸는 형상을 갖는 제1 게이트 전극을 포함하고, 상기 제2 게이트 구조물은 제1 나노 와이어 패턴 표면 상에 구비되는 제2 게이트 절연막과, 상기 제2 게이트 절연막 상에 구비되고 상기 제2 나노 와이어 패턴을 둘러싸는 형상을 갖는 제2 게이트 전극을 포함하는 반도체 소자.

청구항 7

제1항에 있어서, 상기 제1 및 제2 나노 와이어 패턴의 종단면의 수평 방향은 동일한 제1 수평 길이를 갖는 반도체 소자.

청구항 8

제1항에 있어서, 상기 제1 및 제2 나노 와이어 패턴의 최상부면은 동일한 평면에 위치하는 반도체 소자.

청구항 9

제1항에 있어서, 상기 제1 및 제2 나노 와이어 패턴의 저면은 동일한 평면에 위치하는 반도체 소자.

청구항 10

제1항에 있어서, 상기 제2 나노 와이어 패턴은 상기 기판으로부터 수직 방향으로 서로 이격되면서 복수개가 적층되고, 상기 복수의 적층된 제2 나노 와이어 패턴에 하나의 제2 MOS 트랜지스터가 구비되는 반도체 소자.

청구항 11

제10항에 있어서, 상기 수직 방향으로 적층된 제2 나노 와이어 패턴들 중에서 최상부에 위치하는 제2 나노 와이어 패턴의 최상부면은 상기 제1 나노 와이어 패턴의 최상부면과 동일한 평면에 위치하는 반도체 소자.

청구항 12

제1항에 있어서, 상기 제1 및 제2 나노 와이어 패턴은 상기 기판으로부터 수직 방향으로 이격되면서 각각 복수개가 적층되고, 상기 복수의 적층된 제1 및 제2 나노 와이어 패턴에 각각 하나의 제1 및 제2 MOS 트랜지스터가 구비되는 반도체 소자.

청구항 13

제12항에 있어서, 상기 제2 나노 와이어 패턴의 수직 방향으로의 적층 수는 상기 제1 나노 와이어 패턴의 수직 방향으로의 적층 수와 동일하거나 또는 상기 제1 나노 와이어 패턴의 수직 방향으로의 적층수보다 더 많은 반도체 소자.

청구항 14

제1항에 있어서, 상기 제1 및 제2 나노 와이어 패턴은 동일한 반도체 물질을 포함하는 반도체 소자.

청구항 15

제1항에 있어서,

상기 제1 나노 와이어 패턴의 양 단부에 각각 연결되고, 상기 제1 나노 와이어 패턴의 제1 폭보다 넓은 제2 폭을 갖는 제1 반도체 구조물들; 및

상기 제2 나노 와이어 패턴의 양 단부에 각각 연결되고, 상기 제2 나노 와이어 패턴의 제1 폭보다 넓은 제3 폭을 갖는 제2 반도체 구조물들을 더 포함하는 반도체 소자.

청구항 16

제15항에 있어서, 상기 제1 및 제2 나노 와이어 패턴은 상기 기판 상부면과 수평한 방향으로 복수개가 서로 평행하게 배치되고, 상기 서로 수평하게 배치되는 복수의 제1 및 제2 나노 와이어 패턴들의 각 단부는 상기 제1 및 제2 반도체 구조물들과 연결되는 반도체 소자.

청구항 17

제15항에 있어서, 상기 제1 및 제2 반도체 구조물들은 상기 기판 표면과 직접 접촉하는 반도체 소자.

청구항 18

제17항에 있어서, 상기 제1 및 제2 반도체 구조물들은 제1 반도체 물질 및 상기 제1 반도체 물질에 대해 식각 선택비를 갖는 제2 반도체 물질을 포함하는 반도체 소자.

청구항 19

기판의 제1 영역 및 제2 영역 상에 제1 반도체 물질막을 형성하는 단계;

상기 제1 반도체 물질막 상에, 상기 제1 반도체 물질과 다른 물질을 포함하고 상기 제1 영역에서는 상기 제2 영역에서 보다 더 두꺼운 두께를 갖는 제2 반도체 물질막을 형성하는 단계;

상기 제1 및 제2 반도체 물질막을 패터닝하여, 상기 제1 영역 및 제2 영역에 각각 수평 방향으로 제1 폭을 갖는 제1 및 제2 나노 와이어 구조물을 형성하는 단계;

상기 제1 및 제2 나노 와이어 구조물에 포함된 제1 반도체 물질막을 선택적으로 제거하여, 기판의 제1 영역에는 패턴 횡단면의 수평 방향으로는 제1 폭을 갖고, 패턴 횡단면의 수직 방향으로는 제1 수직 길이를 갖는 제1 나노 와이어 패턴과, 기판의 제2 영역에 패턴 횡단면의 수평 방향으로는 제1 폭을 갖고, 패턴 횡단면의 수직 방향으로는 상기 제1 수직 길이보다 긴 제2 수직 길이를 갖는 제2 나노 와이어 패턴을 각각 형성하는 단계;

상기 제1 나노 와이어 패턴에, 제1 게이트 구조물 및 제1 소오스/드레인 영역을 포함하는 제1 MOS 트랜지스터를 형성하는 단계; 및

상기 제2 나노 와이어 패턴에, 제2 게이트 구조물 및 제2 소오스/드레인 영역을 포함하는 제2 MOS 트랜지스터를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 20

제19항에 있어서, 상기 제1 반도체 물질막은 상기 제2 반도체 물질막과 식각 선택비를 갖는 반도체 물질을 포함하는 반도체 소자의 제조 방법.

청구항 21

제20항에 있어서, 상기 제1 반도체 물질막은 실리콘 게르마늄을 포함하고, 상기 제2 반도체 물질막은 단결정 실리콘을 포함하는 반도체 소자의 제조 방법.

청구항 22

제19항에 있어서, 상기 제1 및 제2 반도체 물질막을 패터닝하는 공정에서, 상기 제1 나노 와이어 구조물의 양단부와 연결되는 제1 반도체 구조물들과 상기 제2 나노 와이어 구조물의 양단부와 연결되는 제2 반도체 구조물들을 함께 형성하는 반도체 소자의 제조 방법.

청구항 23

제22항에 있어서, 상기 제1 및 제2 반도체 구조물의 측벽에 식각 방지용 스페이서를 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 24

제19항에 있어서, 상기 제1 반도체 물질막은 상기 제1 영역의 기관 상에 형성되는 제1 반도체 물질막의 두께가 상기 제2 영역의 기관 상에 형성되는 제1 반도체 물질막의 두께보다 더 얇은 두께를 갖도록 형성되는 반도체 소자의 제조 방법.

청구항 25

제24항에 있어서, 상기 제2 반도체 물질막은 평탄한 상부면을 갖는 반도체 소자의 제조 방법.

청구항 26

제19항에 있어서, 상기 제1 및 제2 나노 와이어 패턴을 형성한 다음에, 상기 제1 및 제2 나노 와이어 패턴의 모서리를 라운드시키기 위한 어닐링 공정 또는 산화 공정을 더 포함하는 반도체 소자의 제조 방법.

청구항 27

제19항에 있어서, 상기 제1 및 제2 나노 와이어 패턴을 형성한 다음에, 상기 제1 및 제2 나노 와이어 패턴의 각 표면부에 열 산화 공정을 수행하여 상기 제1 및 제2 나노 와이어 패턴을 이루는 물질의 적어도 일부를 확산시켜 상기 제2 반도체 물질막과는 다른 제3 반도체 물질로 이루어지는 제3 및 제4 나노 와이어 패턴을 각각 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 28

제19항에 있어서, 상기 제2 반도체 물질막을 형성한 이 후에,
 상기 제2 반도체 물질막 상에 상기 제1 반도체 물질막과 동일한 물질로 제3 반도체 물질막을 형성하는 단계; 및
 상기 제3 반도체 물질막 상에, 상기 제2 반도체 물질막과 동일한 물질로 상기 제1 및 제2 영역에서 서로 다른 두께를 갖는 제4 반도체 물질막을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 29

제19항에 있어서, 상기 제2 반도체 물질막을 형성한 이 후에,

상기 제2 영역의 제2 반도체 물질막 상에만 선택적으로 상기 제1 반도체 물질막과 동일한 물질을 사용하여 제3 반도체 물질막 패턴을 형성하는 단계; 및

상기 제1 영역의 제2 반도체 물질막 및 제3 반도체 물질막 패턴 상에, 상기 제1 반도체 물질막과 동일한 물질을 사용하여 제4 반도체 물질막을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 30

제19항에 있어서, 상기 제1 및 제2 나노 와이어 구조물을 형성한 이 후에,

상기 제1 및 제2 나노 와이어 구조물을 각각 둘러싸면서 연장되는 더미 게이트 패턴들을 형성하는 단계;

상기 더미 게이트 패턴들 사이를 채우도록 층간 절연막 패턴을 형성하는 단계; 및

상기 층간 절연막 패턴 사이에 형성되어 있는 더미 게이트 패턴들을 제거하여 게이트 전극 형성 부위를 노출하는 개구부를 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 31

제30항에 있어서, 상기 더미 게이트 패턴의 양 측에 상기 제1 및 제2 트랜지스터의 제1 및 제2 소오스/드레인으로 제공되는 불순물을 도핑하는 단계를 더 포함하는 반도체 소자의 제조 방법.

명세서

기술분야

[0001] 본 발명은 나노 와이어 채널 구조의 반도체 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 나노 와이어 구조의 MOS 트랜지스터를 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 소자의 단위 소자인 MOS 전계효과 트랜지스터는 집적되면서도 고성능을 갖도록 연구되고 있다. 이와같이, MOS 트랜지스터가 스케일링 다운되면서 소오스/드레인 사이의 거리가 짧아져서 쇼트 채널 효과와 같은 문제가 빈번하게 발생된다. 이러한 쇼트 채널 효과를 감소시키기 위하여 나노급의 채널의 직경을 갖는 나노 와이어 채널 구조를 갖는 트랜지스터가 개발되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 나노 와이어 채널 구조를 갖는 고성능의 MOS 트랜지스터를 포함하는 반도체 소자를 제공하는 데 있다.

[0004] 본 발명의 다른 목적은 상기한 반도체 소자의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예들에 따른 반도체 소자는, 제1 영역의 기판의 상부면과 이격되고, 반도체 물질을 포함하고, 패턴의 횡단면은 수평 방향으로 제1 폭을 갖고, 수직 방향으로 제1 수직 길이를 갖는 제1 나노 와이어 패턴이 구비된다. 제2 영역의 기판의 상부면과 이격되고, 반도체 물질을 포함하고, 패턴의 횡단면은 수평 방향으로 상기 제1 폭을 갖고, 수직 방향으로 상기 제1 수직 길이보다 짧은 제2 수직 길이를 갖는 제2 나노 와이어 패턴이 구비된다. 상기 제1 나노 와이어 패턴에는 제1 게이트 구조물 및 제1 소오스/드레인 영역을 포함하는 제1 MOS 트랜지스터가 구비된다. 또한, 상기 제2 나노 와이어 패턴에는 제2 게이트 구조물 및 제2 소오스/드레인 영역을 포함하는 제2 MOS 트랜지스터가 구비된다.

[0006] 본 발명의 일 실시예에서, 상기 제1 나노 와이어 패턴은 상기 제1 수직 길이가 상기 제1 폭보다 더 긴 형상을 가질 수 있다.

[0007] 본 발명의 일 실시예에서, 상기 제1 및 제2 MOS 트랜지스터는 동일한 도전형의 트랜지스터일 수 있다.

- [0008] 본 발명의 일 실시예에서, 상기 제1 및 제2 MOS 트랜지스터는 서로 다른 도전형의 트랜지스터일 수 있다.
- [0009] 상기 제1 MOS 트랜지스터는 N형 트랜지스터이고, 상기 제2 트랜지스터는 P형 트랜지스터일 수 있다.
- [0010] 본 발명의 일 실시예에서, 상기 제1 게이트 구조물은 상기 제1 나노 와이어 패턴 표면 상에 구비되는 제1 게이트 절연막과, 상기 제1 게이트 절연막 상에 구비되고 상기 제1 나노 와이어 패턴을 둘러싸는 형상을 갖는 제1 게이트 전극을 포함하고, 상기 제2 게이트 구조물은 제1 나노 와이어 패턴 표면 상에 구비되는 제2 게이트 절연막과, 상기 제2 게이트 절연막 상에 구비되고 상기 제2 나노 와이어 패턴을 둘러싸는 형상을 갖는 제2 게이트 전극을 포함할 수 있다.
- [0011] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴의 종단면의 수평 방향은 동일한 제1 수평 길이를 가질 수 있다.
- [0012] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴의 최상부면은 동일한 평면에 위치할 수 있다.
- [0013] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴의 저면은 동일한 평면에 위치할 수 있다.
- [0014] 본 발명의 일 실시예에서, 상기 제2 나노 와이어 패턴은 상기 기관으로부터 수직 방향으로 서로 이격되면서 복수개가 적층되고, 상기 복수의 적층된 제2 나노 와이어 패턴에 하나의 제2 MOS 트랜지스터가 구비될 수 있다.
- [0015] 상기 수직 방향으로 적층된 제2 나노 와이어 패턴들 중에서 최상부에 위치하는 제2 나노 와이어 패턴의 최상부면은 상기 제1 나노 와이어 패턴의 최상부면과 동일한 평면에 위치할 수 있다.
- [0016] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴은 상기 기관으로부터 수직 방향으로 이격되면서 각각 복수개가 적층되고, 상기 복수의 적층된 제1 및 제2 나노 와이어 패턴에 각각 하나의 제1 및 제2 MOS 트랜지스터가 구비될 수 있다.
- [0017] 상기 제2 나노 와이어 패턴의 수직 방향으로의 적층 수는 상기 제1 나노 와이어 패턴의 수직 방향으로의 적층 수와 동일하거나 또는 상기 제1 나노 와이어 패턴의 수직 방향으로의 적층수보다 더 많을 수 있다.
- [0018] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴은 동일한 반도체 물질을 포함할 수 있다.
- [0019] 본 발명의 일 실시예에서, 상기 제1 나노 와이어 패턴의 양 단부에 각각 연결되고, 상기 제1 나노 와이어 패턴의 제1 폭보다 넓은 제2 폭을 갖는 제1 반도체 구조물들이 더 포함될 수 있다. 또한, 상기 제2 나노 와이어 패턴의 양 단부에 각각 연결되고, 상기 제2 나노 와이어 패턴의 제1 폭보다 넓은 제3 폭을 갖는 제2 반도체 구조물들이 더 포함될 수 있다.
- [0020] 상기 제1 및 제2 나노 와이어 패턴은 상기 기관 상부면과 수평한 방향으로 복수개가 서로 평행하게 배치되고, 상기 서로 수평하게 배치되는 복수의 제1 및 제2 나노 와이어 패턴들의 각 단부는 상기 제1 및 제2 반도체 구조물들과 연결될 수 있다.
- [0021] 상기 제1 및 제2 반도체 구조물들은 상기 기관 표면과 직접 접촉할 수 있다.
- [0022] 상기 제1 및 제2 반도체 구조물들은 제1 반도체 물질 및 상기 제1 반도체 물질에 대해 식각 선택비를 갖는 제2 반도체 물질을 포함할 수 있다.
- [0023] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 일 실시예들에 따른 반도체 소자의 제조 방법으로, 기관의 제1 영역 및 제2 영역 상에 제1 반도체 물질막을 형성한다. 상기 제1 반도체 물질막 상에, 상기 제1 반도체 물질과 다른 물질을 포함하고 상기 제1 영역에서는 상기 제2 영역에서 보다 더 두꺼운 두께를 갖는 제2 반도체 물질막을 형성한다. 상기 제1 및 제2 반도체 물질막을 패터닝하여, 상기 제1 영역 및 제2 영역에 각각 수평 방향으로 제1 폭을 갖는 제1 및 제2 나노 와이어 구조물을 형성한다. 상기 제1 및 제2 나노 와이어 구조물에 포함된 제1 반도체 물질막을 선택적으로 제거하여, 기관의 제1 영역에는 패턴 횡단면의 수평 방향으로는 제1 폭을 갖고, 패턴 횡단면의 수직 방향으로는 제1 수직 길이를 갖는 제1 나노 와이어 패턴과, 기관의 제2 영역에 패턴 횡단면의 수평 방향으로는 제1 폭을 갖고, 패턴 횡단면의 수직 방향으로는 상기 제1 수직 길이보다 긴 제2 수직 길이를 갖는 제2 나노 와이어 패턴을 각각 형성한다. 상기 제1 나노 와이어 패턴에, 제1 게이트 구조물 및 제1 소오스/드레인 영역을 포함하는 제1 MOS 트랜지스터를 형성한다. 또한, 상기 제2 나노 와이어 패턴에, 제2 게이트 구조물 및 제2 소오스/드레인 영역을 포함하는 제2 MOS 트랜지스터를 형성한다.
- [0024] 본 발명의 일 실시예에서, 상기 제1 반도체 물질막은 상기 제2 반도체 물질막과 식각 선택비를 갖는 반도체 물질을 포함할 수 있다.

- [0025] 상기 제1 반도체 물질막은 실리콘 게르마늄을 포함하고, 상기 제2 반도체 물질막은 단결정 실리콘을 포함할 수 있다.
- [0026] 본 발명의 일 실시예에서, 상기 제1 및 제2 반도체 물질막을 패터닝하는 공정에서, 상기 제1 나노 와이어 구조물의 양단부와 연결되는 제1 반도체 구조물들과 상기 제2 나노 와이어 구조물의 양단부와 연결되는 제2 반도체 구조물들을 함께 형성할 수 있다.
- [0027] 상기 제1 및 제2 반도체 구조물의 측벽에 식각 방지용 스페이서를 형성하는 공정이 더 포함될 수 있다.
- [0028] 본 발명의 일 실시예에서, 상기 제1 반도체 물질막은 상기 제1 영역의 기판 상에 형성되는 제1 반도체 물질막의 두께가 상기 제2 영역의 기판 상에 형성되는 제1 반도체 물질막의 두께보다 더 얇은 두께를 갖도록 형성될 수 있다.
- [0029] 상기 제2 반도체 물질막은 평탄한 상부면을 갖도록 형성될 수 있다.
- [0030] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴을 형성한 다음에, 상기 제1 및 제2 나노 와이어 패턴의 모서리를 라운드시키기 위한 어닐링 공정 또는 산화 공정을 더 포함할 수 있다.
- [0031] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 패턴을 형성한 다음에, 상기 제1 및 제2 나노 와이어 패턴의 표면에 열 산화 공정을 수행하여 상기 제1 및 제2 나노 와이어 패턴을 이루는 물질의 적어도 일부를 확산시켜 상기 제2 반도체 물질막과는 다른 제3 반도체 물질로 이루어지는 제3 및 제4 나노 와이어 패턴을 각각 형성하는 단계를 더 포함할 수 있다.
- [0032] 본 발명의 일 실시예에서, 상기 제2 반도체 물질막을 형성한 이 후에, 상기 제2 반도체 물질막 상에 상기 제1 반도체 물질막과 동일한 물질로 제3 반도체 물질막을 형성한다. 상기 제3 반도체 물질막 상에, 상기 제2 반도체 물질막과 동일한 물질로 상기 제1 및 제2 영역에서 서로 다른 두께를 갖는 제4 반도체 물질막을 형성한다. 또한, 상기 제3 및 제4 반도체 물질막을 형성하는 공정들을 반복하여 수행할 수도 있다.
- [0033] 본 발명의 일 실시예에서, 상기 제2 반도체 물질막을 형성한 이 후에, 상기 제2 영역의 제2 반도체 물질막 상에 만 선택적으로 상기 제1 반도체 물질막과 동일한 물질을 사용하여 제3 반도체 물질막 패턴을 형성한다. 상기 제1 영역의 제2 반도체 물질막 및 제3 반도체 물질막 패턴 상에, 상기 제1 반도체 물질막과 동일한 물질을 사용하여 제4 반도체 물질막을 형성한다. 또한, 상기 제3 반도체 물질막 패턴 및 제4 반도체 물질막을 형성하는 공정들을 반복하여 수행할 수도 있다.
- [0034] 본 발명의 일 실시예에서, 상기 제1 및 제2 나노 와이어 구조물을 형성한 이 후에, 상기 제1 및 제2 나노 와이어 구조물을 각각 둘러싸면서 연장되는 더미 게이트 패턴들을 형성한다. 상기 더미 게이트 패턴들 사이를 채우도록 층간 절연막 패턴을 형성한다. 또한, 상기 층간 절연막 패턴 사이에 형성되어 있는 더미 게이트 패턴들을 제거하여 게이트 진극 형성 부위를 노출하는 개구부를 형성한다.
- [0035] 상기 더미 게이트 패턴의 양 측에 상기 제1 및 제2 트랜지스터의 제1 및 제2 소오스/드레인으로 제공되는 불순물을 도핑하는 공정을 더 포함할 수 있다.

발명의 효과

- [0036] 본 발명의 실시예들에 따르면, 서로 다른 용적을 갖는 제1 및 제2 나노 와이어 패턴에 각각 목표한 온 전류 특성을 갖는 제1 및 제2 트랜지스터가 형성된다. 상기 제1 및 제2 나노 와이어 패턴은 횡단면에서의 수직 방향 길이가 서로 다르다. 따라서, 반도체 소자의 수평 면적을 확장시키지 않으면서 상기 반도체 소자에 포함되는 각 트랜지스터들의 온 전류 특성을 용이하게 조절할 수 있다.

도면의 간단한 설명

- [0037] 도 1은 본 발명의 실시예 1에 따른 반도체 소자를 나타내는 사시도이다.
- 도 2a는 나노 와이어 패턴 및 반도체 패턴 부위의 일 예를 나타내는 사시도이다.
- 도 2b는 나노 와이어 패턴 및 반도체 패턴 부위의 다른 예를 나타내는 사시도이다.
- 도 3은 도 1에 도시된 나노 와이어 패턴을 설명하기 위한 사시도이다.
- 도 4a 내지 도 4i는 도 1에 도시된 반도체 소자를 제조하는 제1 방법을 나타내는 사시도들이다.

- 도 5a 및 도 5b는 도 1에 도시된 반도체 소자를 제조하는 제2 방법을 나타내는 사시도들이다.
- 도 6a 내지 도 6d는 도 1에 도시된 반도체 소자를 제조하는 제3 방법을 나타내는 단면도 및 사시도들이다.
- 도 7은 본 발명의 실시예 2에 따른 반도체 소자를 나타내는 사시도이다.
- 도 8은 본 발명의 실시예 3에 따른 반도체 소자를 나타내는 사시도이다.
- 도 9a 내지 도 9c는 도 8에 도시된 반도체 소자의 제조 방법을 설명하기 위한 사시도이다.
- 도 10은 본 발명의 실시예 4에 따른 반도체 소자를 나타내는 사시도이다.
- 도 11은 도 10에서 제1 및 제2 나노 와이어 패턴을 나타내는 사시도이다.
- 도 12a 내지 도 12c는 도 10에 도시된 반도체 소자를 나타내는 사시도이다.
- 도 13은 본 발명의 실시예 5에 따른 반도체 소자를 나타내는 사시도이다.
- 도 14는 도 13에서 제1 및 제2 나노 와이어 패턴을 나타내는 사시도이다.
- 도 15a 내지 도 15c는 도 13에 도시된 반도체 소자의 제조 방법을 설명하기 위한 사시도들이다.
- 도 16은 본 발명의 실시예 6에 따른 반도체 소자를 나타내는 사시도이다.
- 도 17은 도 16에서 제1 및 제2 나노 와이어 패턴을 나타내는 사시도이다.
- 도 18a 및 도 18b는 도 16에 도시된 반도체 소자를 나타내는 사시도이다.
- 도 19는 본 발명의 실시예 7에 따른 반도체 소자를 나타내는 사시도이다.
- 도 20은 도 19에 도시된 반도체 소자의 제조 방법을 나타내는 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 수직형 메모리 소자의 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 영역, 패턴들 또는 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴들 또는 구조물들이 기판, 각 층(막), 영역, 전극, 구조물들 또는 패턴들 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴들 또는 구조물들이 직접 기판, 각 층(막), 영역, 구조물 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴들 또는 다른 구조물이 기판 상에 추가적으로 형성될 수 있다. 또한, 물질, 층(막), 영역, 전극, 패턴들 또는 구조물들이 "제1", "제2" 및/또는 "예비"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 물질, 층(막), 영역, 전극, 패턴들 또는 구조물들을 구분하기 위한 것이다. 따라서 "제1", "제2" 및/또는 "예비"는 각 층(막), 영역, 전극, 패턴들 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.
- [0039] 실시예 1
- [0040] 도 1은 본 발명의 실시예 1에 따른 반도체 소자를 나타내는 사시도이다. 도 2a는 나노 와이어 패턴 및 반도체 패턴 부위의 일 예를 나타내는 사시도이다. 도 2b는 나노 와이어 패턴 및 반도체 패턴 부위의 다른 예를 나타내는 사시도이다. 도 3은 도 1에 도시된 나노 와이어 패턴을 설명하기 위한 사시도이다.
- [0041] 도 1 내지 도 3을 참조하면, 기판(100)의 제1 영역 상에는 제1 나노 와이어 패턴(108b)이 구비된다. 상기 제1 나노 와이어 패턴(108b)에는 상기 제1 나노 와이어 패턴(108b) 일부분을 채널로 사용하는 제1 MOS트랜지스터가 구비된다. 또한, 상기 기판의 제2 영역 상에는 제2 나노 와이어 패턴(112b)이 구비된다. 상기 제2 나노 와이어 패턴(112b)에는 상기 제2 나노 와이어 패턴(112b) 일부분을 채널로 사용하는 제2 MOS 트랜지스터가 구비된다.
- [0042] 상기 제1 나노 와이어 패턴(108b)은 상기 제1 영역의 기판(100)의 상부면과 이격되도록 위치할 수 있다. 상기 제1 나노 와이어 패턴(108b)은 반도체 물질을 포함한다. 상기 반도체 물질은 단결정 실리콘 또는 게르마늄을 포함할 수 있다. 상기 제1 나노 와이어 패턴(108b)에 사용되는 단결정 실리콘은 신장 스트레인드 실리콘

(Tensile-Strained Si) 또는 압축 스트레인디드 실리콘(Compressive-Strained Si)일 수 있다.

- [0043] 도 3에 도시된 것과 같이, 상기 제1 나노 와이어 패턴(108b)은 제1 방향을 길이 방향으로 하여 연장되는 형상을 가질 수 있다. 상기 제1 방향은 상기 제1 MOS 트랜지스터의 채널 길이 방향이 될 수 있다. 상기 제1 나노 와이어 패턴(108b)의 횡단면은 수평 방향으로 제1 폭(W1)을 갖고, 수직 방향인 제3 방향으로 제1 수직 길이(H1)를 가질 수 있다. 상기 제1 수직 길이(H1)는 상기 제1 폭(W1)에 비해 긴 형상을 가질 수 있다. 또한, 반도체 소자의 집적화를 위하여 상기 제1 폭(W1)은 공정의 한계 선폭까지 감소될 수 있다. 예를들어, 상기 제1 폭(W1)은 수 내지 수백nm 수준일 수 있으며, 보다 구체적으로 약 7 내지 40nm 수준일 수 있다.
- [0044] 상기 제1 나노 와이어 패턴(108b)의 횡단면은 제3 방향으로 더 긴 타원 형상 또는 직사각형 형상을 가질 수 있다. 상기 제1 나노 와이어 패턴(108b)의 횡단면은 상기 제1 방향과 수직하는 제2 방향으로 절단하였을 때의 단면일 수 있다. 상기 제1 나노 와이어 패턴(108b)은 상기 제1 방향으로 연장되는 제1 수평 길이(d1)를 가질 수 있다.
- [0045] 상기 제1 나노 와이어 패턴(108b)은 상기 제1 MOS 트랜지스터의 채널 영역으로 제공되기 때문에, 상기 제1 나노 와이어 패턴(108b)의 용적에 따라 상기 제1 MOS 트랜지스터의 전기적 특성이 변경될 수 있다. 예를들어, 상기 제1 나노 와이어 패턴(108b)의 용적이 증가되면 상기 제1 나노 와이어 패턴(108b)을 통해 더 많은 전하들이 이동될 수 있기 때문에, 상기 제1 MOS 트랜지스터의 온 전류가 증가될 수 있다. 상기 제1 나노 와이어 패턴(108b)은 횡단면이 상기 제3 방향으로 긴 형상을 가지며, 상기 제2 나노 와이어 패턴(112b)보다 내부 용적이 더 크다. 또한, 상기 제1 나노 와이어 패턴(108b)의 제1 수직 길이를 길게함으로써, 상기 제1 나노 와이어 패턴(108b)의 용적을 더 증가시킬 수 있다. 이와같이, 상기 제1 나노 와이어 패턴(108b)의 제1 수직 길이를 조절하여 상기 제1 MOS 트랜지스터의 온 전류를 조절할 수 있다.
- [0046] 일반적인 경우, 온 전류를 증가시키기 위하여 상기 나노 와이어 패턴의 제1 폭을 증가시키거나 상기 나노 와이어 패턴의 수를 증가시킨다. 그러나, 이 경우에는 온 전류가 높은 MOS 트랜지스터를 형성하기 위해서 제조 공정 단계가 더 많아지거나 상기 MOS 트랜지스터가 차지하는 수평 면적이 증가되어야 한다.
- [0047] 이와는 다르게, 본 실시예의 경우, 상기 제1 MOS 트랜지스터의 온 전류를 증가시키기 위하여 상기 제1 나노 와이어 패턴(108b)의 제1 폭(W1)을 증가시키지 않고 제1 수직 길이(H1)만을 증가시켰다. 이와같이, 상기 제1 나노 와이어 패턴은 수평 방향의 제1 폭은 좁게 유지하면서 상기 제1 수직 길이가 증가된 형상을 갖는다. 때문에, 반도체 소자가 차지하는 수평 면적을 증가시키지 않으면서도 온 전류를 충분히 증가시킬 수 있다.
- [0048] 한편, 상기 제1 나노 와이어 패턴(108b)은 상기 기판(100) 표면으로부터 이격되어 있으므로, 상기 제1 나노 와이어 패턴(108b)의 상부, 측벽 및 하부를 포함하는 표면 전체가 상기 제1 MOS 트랜지스터의 채널 영역으로 제공될 수 있다.
- [0049] 도 2a에 도시된 것과 같이, 상기 제1 나노 와이어 패턴(108b)은 제1 MOS 트랜지스터의 게이트 길이보다 더 긴 제1 방향 길이를 가질 수 있다. 이와는 다른 실시예로, 상기 도 2b에 도시된 것과 같이, 상기 제1 나노 와이어 패턴(108b)은 제1 MOS 트랜지스터의 게이트 길이와 동일한 제1 방향 길이를 가질 수 있다. 즉, 제1 MOS 트랜지스터의 채널 영역에만 제1 나노 와이어 패턴(108b)이 구비될 수 있다.
- [0050] 상기 제1 나노 와이어 패턴(108b)의 양 단부에는 각각 제1 반도체 구조물들(106)이 연결된다. 상기 제1 반도체 구조물들(106)에는 상기 제1 MOS 트랜지스터의 제1 소오스/드레인 영역(S1, D1)이 구비될 수 있다. 또한, 상기 제1 반도체 구조물들(106)의 상부면은 콘택 형성 부위가 될 수 있다. 그러므로, 상기 제1 반도체 구조물들(106)의 상부면은 적어도 콘택들이 형성될 수 있을 정도의 면적을 가질 수 있다. 때문에, 상기 제1 반도체 구조물들(106)은 상기 제1 나노 와이어 패턴(108b)의 제1 폭보다 넓은 제2 폭을 가질 수 있다.
- [0051] 상기 제1 반도체 구조물(106)은 상기 기판(100) 표면과 직접 접촉되는 형상을 가질 수 있다. 상기 제1 반도체 구조물(106)의 최상부 표면은 상기 제1 나노 와이어 패턴(108b)의 최 상부면과 동일한 평면에 위치할 수 있다. 상기 제1 반도체 구조물(106)은 제1 반도체 패턴(106a) 및 제2 반도체 패턴(106b)이 적층된 형상을 가질 수 있다. 상기 제1 반도체 패턴(106a)은 상기 제2 반도체 패턴(106b)과 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 제1 반도체 패턴(106a)은 제1 반도체 물질로 형성되고, 상기 제2 반도체 패턴(106b)은 제2 반도체 물질로 형성될 수 있다. 예를들어, 상기 제1 반도체 물질은 실리콘 게르마늄을 포함하고, 상기 제2 반도체 물질은 단결정 실리콘을 포함할 수 있다. 이와는 다른 예로, 상기 제1 반도체 물질은 실리콘을 포함하고, 상기 제2 반도체 물질은 실리콘 게르마늄을 포함할 수도 있다.
- [0052] 상기 제2 반도체 물질은 상기 제1 나노 와이어 패턴(108b)을 이루는 반도체 물질과 동일한 물질일 수 있다. 다

른 실시예로, 상기 제2 반도체 물질은 상기 제1 나노 와이어 패턴(108b)을 이루는 반도체 물질과 다른 물질을 포함할 수도 있다. 상기 제1 나노 와이어 패턴(108b)은 상기 제2 반도체 패턴(106b)의 측벽에 지지되면서 연장될 수 있다. 상기 제1 반도체 구조물(106)에서 상기 제2 반도체 패턴(106b)은 상기 제1 반도체 패턴(106a)보다 더 두껍게 형성될 수 있다.

- [0053] 상기 제2 나노 와이어 패턴(112b)은 상기 제2 영역의 기판(100)의 상부면과 이격되도록 위치할 수 있다. 상기 제2 나노 와이어 패턴(112b)은 상기 제2 반도체 물질을 포함할 수 있다. 즉, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)은 동일한 반도체 물질로 형성된다. 또한, 상기 제1 및 제2 나노 와이어 패턴을 이루는 반도체 물질은 동일한 스트레스 특성을 가질 수 있다.
- [0054] 도 3에 도시된 것과 같이, 상기 제2 나노 와이어 패턴(112b)은 상기 제1 방향을 길이 방향으로 연장되는 형상을 가질 수 있다. 상기 제2 나노 와이어 패턴(112b)은 상기 제1 방향으로 제2 수평 길이(d2)를 가질 수 있다. 상기 제1 나노 와이어 패턴(108b)의 제1 수평 길이(d1)와 상기 제2 나노 와이어 패턴(112b)의 제2 수평 길이(d2)는 동일하거나 또는 다를 수도 있다.
- [0055] 상기 제2 나노 와이어 패턴(112b)의 횡단면은 수평 방향으로 상기 제1 폭(W1)을 갖고, 수직 방향으로 상기 제1 수직 길이(H1)보다 더 짧은 제2 수직 길이(H2)를 가질 수 있다. 즉, 상기 제2 나노 와이어 패턴(112b)의 횡단면은 상기 제1 나노 와이어 패턴(112b)의 횡단면보다 수직방향으로 짧은 타원, 원형 또는 사각형의 형상을 가질 수 있다. 설명한 것과 같이, 상기 제2 나노 와이어 패턴(112b)의 횡단면의 제1 폭(W1)은 상기 제1 나노 와이어 패턴(108b)의 횡단면의 제1 폭(W1)과 동일할 수 있다. 즉, 상기 제1 폭은 공정의 한계 선폭까지 감소될 수 있다.
- [0056] 상기 제2 나노 와이어 패턴(112b)의 상부면은 상기 제1 나노 와이어 패턴(108b)의 상부면과 동일한 평면에 위치할 수 있다. 이와같이, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)의 상부면의 거의 단차가 없기 때문에, 후속의 공정들을 보다 용이하게 수행할 수 있다. 또한, 상기 제2 나노 와이어 패턴(112b)과 상기 기판(100) 사이의 제2 이격 거리는 상기 제1 나노 와이어 패턴(108b)과 상기 기판(100) 사이의 제1 이격 거리보다 더 멀다.
- [0057] 상기 제2 나노 와이어 패턴(112b)은 상기 제2 MOS 트랜지스터의 채널 영역으로 제공될 수 있다. 도시된 것과 같이, 상기 제2 나노 와이어 패턴(112b)은 상기 제1 나노 와이어 패턴(108b)보다 작은 용적을 갖기 때문에, 동일한 제조 공정으로 상기 제1 및 제2 MOS 트랜지스터를 형성하는 경우에 상기 제2 MOS 트랜지스터는 상기 제1 MOS 트랜지스터보다 작은 온 전류를 가지게 된다. 이와같이, 상기 제2 나노 와이어 패턴(112b)의 제2 수직 길이(H2)를 조절하여 상기 제2 MOS 트랜지스터의 온 전류를 조절할 수 있다.
- [0058] 도 2a에 도시된 것과 같이, 상기 제2 나노 와이어 패턴(112b)은 제2 MOS 트랜지스터의 게이트 길이보다 더 긴 제1 방향 길이를 가질 수 있다. 이와는 달리, 상기 도 2b에 도시된 것과 같이, 상기 제2 나노 와이어 패턴은 제2 MOS 트랜지스터의 게이트 길이와 제1 방향 길이를 가질 수 있다. 즉, 제2 MOS 트랜지스터의 채널 영역에만 제2 나노 와이어 패턴이 구비될 수 있다.
- [0059] 상기 제2 나노 와이어 패턴(112b)의 양 단부 각각에는 제2 반도체 구조물들(110)이 연결된다. 상기 제2 반도체 구조물들(110)에는 상기 제2 MOS 트랜지스터의 제2 소오스/드레인 영역(S2, D2)이 구비될 수 있다. 또한, 상기 제2 반도체 구조물(110)의 상부면은 콘택 형성 부위가 될 수 있다. 그러므로, 상기 제2 반도체 구조물들(110)의 상부면은 적어도 콘택들이 형성될 수 있을 정도의 면적을 가질 수 있다. 때문에, 상기 제2 반도체 구조물들(110)은 상기 제2 나노 와이어 패턴(112b)의 제1 폭보다 넓은 제3 폭을 가질 수 있다. 상기 제2 및 제3 폭은 동일하거나 서로 다를 수도 있다.
- [0060] 상기 제2 반도체 구조물(110)은 상기 기판 표면과 직접 접촉되는 형상을 가질 수 있다. 상기 제2 반도체 구조물(110)의 최상부 표면은 상기 제2 나노 와이어 패턴(112b)의 최 상부면과 동일한 평면에 위치할 수 있다. 또한, 상기 제2 반도체 구조물(110)의 최상부 표면은 상기 제1 반도체 구조물(106)의 최 상부 표면과 동일한 평면에 위치할 수 있다. 이와같이, 상기 제1 및 제2 반도체 구조물(108, 110)의 상부면의 단차가 거의 없기 때문에, 후속에 진행되는 공정들이 보다 용이해질 수 있다.
- [0061] 상기 제2 반도체 구조물(110)은 제3 반도체 패턴(110a) 및 제4 반도체 패턴(110b)이 적층된 구조를 갖는다. 상기 제3 반도체 패턴(110a)은 상기 제1 반도체 물질이 포함되고, 상기 제4 반도체 패턴(110b)은 상기 제2 반도체 물질이 포함될 수 있다. 상기 제4 반도체 패턴(110b)은 상기 제2 나노 와이어 패턴(112b)과 동일한 물질로 형성될 수 있다. 또한, 상기 제2 나노 와이어 패턴(112b)은 상기 제4 반도체 패턴(110b)의 측벽 부위로부터 연장되고, 상기 제4 반도체 패턴(110b)에 의해 지지될 수 있다. 따라서, 상기 제2 반도체 구조물(110)에서 상기 제3

반도체 패턴(110a)은 상기 제4 반도체 패턴(110b)보다 더 두꺼울 수 있다.

- [0062] 상기 제1 MOS 트랜지스터는 제1 게이트 절연막(122a), 제1 게이트 전극(124a)과 제1 소오스/드레인 영역(S1, S2)을 포함할 수 있다.
- [0063] 상기 제1 게이트 절연막(122a)은 상기 제1 나노 와이어 패턴(108b)의 표면 상에 구비될 수 있다. 상기 제1 게이트 절연막(122a)은 실리콘 산화물을 포함할 수 있다. 이와는 다르게, 상기 제1 게이트 절연막(122a)은 상기 실리콘 산화물에 비해 고유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 제1 게이트 전극(124a)은 상기 제1 게이트 절연막(122a) 상에 구비되고 상기 제1 나노 와이어 패턴(108b)을 둘러싸면서 연장되는 형상을 가질 수 있다. 상기 제1 게이트 전극(122b)은 금속 물질을 포함할 수 있다. 이와는 다르게, 상기 제1 게이트 전극(124a)은 불순물이 도핑된 폴리실리콘 물질을 포함할 수 있다.
- [0064] 상기 제1 소오스/드레인 영역(S1, D1)은 상기 제1 게이트 전극(124a) 양 측의 제1 나노 와이어 패턴(108b) 및 상기 제2 반도체 패턴(106b)에 구비될 수 있다.
- [0065] 상기 제2 MOS 트랜지스터는 제2 게이트 절연막(122b) 및 제2 게이트 전극(124b) 및 제2 소오스/드레인 영역(S2, D2)을 포함할 수 있다.
- [0066] 상기 제2 게이트 절연막(122b)은 상기 제2 나노 와이어 패턴(112b)의 표면 상에 구비될 수 있다. 상기 제2 게이트 절연막(122b)은 실리콘 산화물을 포함할 수 있다. 이와는 다르게, 상기 제2 게이트 절연막(122b)은 상기 실리콘 산화물보다 고유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 제2 게이트 전극(124b)은 상기 제2 게이트 절연막(122b) 상에 구비되고 상기 제2 나노 와이어 패턴(112b)을 둘러싸면서 연장되는 형상을 가질 수 있다. 상기 제2 게이트 전극(124b)은 금속 물질을 포함할 수 있다. 이와는 다르게, 상기 제2 게이트 전극(124b)은 불순물이 도핑된 폴리실리콘 물질을 포함할 수 있다. 상기 제2 소오스/드레인 영역(S2, D2)은 상기 제2 게이트 전극(124b) 양 측의 제2 나노 와이어 패턴(112b) 및 상기 제4 반도체 패턴(110b)에 구비될 수 있다.
- [0067] 한편, 도 1에는 도시하지 않았지만, 도 4i에 도시되어 있는 것과 같이, 상기 제1 및 제2 게이트 전극(124a, 124b)의 측벽에 절연 스페이서가 구비될 수 있다. 또한, 상기 기판(100) 상에 상기 제1 및 제2 게이트 전극을 덮는 층간 절연막이 구비될 수 있다.
- [0068] 본 발명의 일 실시예에서, 상기 제1 MOS 트랜지스터와 제2 MOS 트랜지스터는 서로 다른 도전형을 가질 수 있다. 즉, 상기 제1 소오스/드레인 영역(S1, D1)에 도핑된 제1 불순물과 상기 제2 소오스/드레인 영역(S2, D2)에 도핑된 제2 불순물은 서로 다른 도전형을 가질 수 있다. 상기 제1 및 제2 MOS 트랜지스터는 CMOS 트랜지스터일 수 있다.
- [0069] CMOS 트랜지스터에 포함되는 NMOS 트랜지스터와 PMOS 트랜지스터는 각각의 온 전류가 거의 동일하게 설계되는 것이 바람직하다. 그런데, 채널 패턴의 방향성 및 채널 패턴의 스트레스 특성 등에 따라 전자의 이동도와 홀의 이동도가 서로 다르기 때문에, 상기 NMOS 트랜지스터 및 PMOS 트랜지스터의 온 전류가 동일하지 않게 된다. 그런데, 본 실시예의 경우에는 제1 및 제2 MOS 트랜지스터의 채널 패턴으로 제공되는 제1 및 제2 나노 와이어 패턴(108b, 112b)이 서로 다른 용적을 가지기 때문에, 상기 제1 및 제2 MOS 트랜지스터의 온 전류를 각각 조절할 수 있다. 특히, 상기 제1 나노 와이어 패턴(108b)에는 온 전류가 상대적으로 적게 흐르는 특성을 갖는 도전형의 MOS 트랜지스터를 형성함으로써 온 전류를 증가시킬 수 있다. 또한, 상기 제2 나노 와이어 패턴(112b)에는 온 전류가 상대적으로 많이 흐르는 특성을 갖는 도전형의 MOS 트랜지스터를 형성할 수 있다. 이로써, 반도체 소자가 차지하는 수평 영역을 확장시키지 않으면서도 동일한 온 전류 특성을 갖는 서로 다른 도전형의 제1 및 제2 MOS 트랜지스터를 각각 형성할 수 있다.
- [0070] 예를들어, 스트레인 특성이 없는 단결정 실리콘으로 형성된 나노 와이어 패턴의 경우, 일반적으로 홀의 이동도가 전자의 이동도에 비해 더 크다. 그리고, 컴프레시브 스트레인지드 실리콘으로 형성된 나노 와이어 패턴에 각각 NMOS 및 PMOS 트랜지스터를 형성하면, 각 채널에 컴프레시브 스트레인이 인가되어 PMOS 트랜지스터의 온 전류가 더 증가되고 NMOS 트랜지스터의 온 전류는 더 감소하게 된다. 그러므로, 각 MOS 트랜지스터들의 온 전류가 동일한 특성을 갖도록 하기 위하여 NMOS 트랜지스터의 온 전류를 증가시켜야 한다. 때문에, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)이 컴프레시브 스트레인지드 실리콘 또는 스트레인 특성이 없는 단결정 실리콘으로 형성되는 경우에는, 상기 제1 MOS 트랜지스터를 NMOS 트랜지스터로 형성하고, 상기 제2 MOS 트랜지스터를 PMOS 트랜지스터로 형성하여 각각의 MOS 트랜지스터의 온 전류가 동일한 특성을 갖도록 조절할 수 있다.
- [0071] 본 발명의 다른 실시예에서, 상기 제1 MOS 트랜지스터와 제2 MOS 트랜지스터는 동일한 도전형을 가질 수도 있다. 즉, 상기 제1 MOS 트랜지스터는 상대적으로 온 전류가 큰 MOS 트랜지스터가 되고, 상기 제2 MOS 트랜지스

터는 상대적으로 온 전류가 작은 MOS 트랜지스터가 될 수 있다.

- [0072] 설명한 것과 같이, 본 실시예에 의하면, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.
- [0073] 도 4a 내지 도 4i는 도 1에 도시된 반도체 소자를 제조하는 제1 방법을 나타내는 사시도들이다.
- [0074] 도 4a를 참조하면, 제1 영역 및 제2 영역으로 구분되는 기판(100) 상에 상기 제1 영역에서 제1 두께(t1)를 갖고 상기 제2 영역에서 상기 제1 두께(t1)보다 두꺼운 제2 두께(t2)를 갖는 제1 반도체막(102)을 형성한다. 본 실시예에서, 상기 제1 영역은 MOS 트랜지스터의 온 전류의 증가가 필요한 영역에 해당되며, 상기 제2 영역은 MOS 트랜지스터의 온 전류의 증가가 필요하지 않은 영역에 해당된다. 상기 제1 반도체막(102)은 상기 평탄한 상부면을 갖도록 형성되며, 상기 제1 및 제2 영역의 경계부에서 단차가 생길 수 있다. 상기 제1 반도체막(102)은 제1 반도체 물질로 형성될 수 있다. 본 실시예에서, 상기 제1 반도체 물질은 실리콘 게르마늄(Si_{1-x}Ge_x)을 사용한다.
- [0075] 상기 제1 영역의 제1 반도체막(102)의 제1 두께(t1)는 상기 기판(100)과 후속 공정에서 형성되는 제1 나노 와이어 패턴 간의 이격 거리를 결정한다. 또한, 상기 제2 영역의 제1 반도체막(102)의 제2 두께(t2)는 상기 기판과 후속 공정에서 형성되는 제2 나노 와이어 패턴 간의 이격 거리를 결정한다. 그러므로, 상기 제1 반도체막(102)의 제1 및 제2 두께(t1, t2)를 조절하여 상기 제1 및 제2 나노 와이어 패턴과 기판(100) 사이에 이격되는 거리를 각각 조절할 수 있다.
- [0076] 상기 제1 반도체막(102)은 다양한 방법을 통해 형성할 수 있다.
- [0077] 하나의 방법의 예로, 상기 기판(100) 상에 상기 제2 두께(t2)의 제1 예비 반도체막을 형성한다. 상기 제1 예비 반도체막은 에피택셜 성장법을 통해 형성할 수 있다. 상기 제1 영역에 위치하는 상기 제1 예비 반도체막의 두께가 낮아지도록 상기 제1 영역의 제1 예비 반도체막을 선택적으로 식각하여 제1 반도체막(102)을 형성한다. 이를 위하여, 상기 제2 영역의 제1 예비 반도체막을 덮는 식각 마스크 패턴을 형성하고, 상기 식각 마스크를 이용하여 상기 제1 예비 반도체막을 일부 식각할 수 있다. 상기 식각 마스크 패턴은 포토레지스트 패턴을 포함할 수 있다.
- [0078] 다른 방법의 예로, 상기 기판(100) 상에 상기 제1 두께(t1)의 예비 반도체막(도시안됨)을 형성한다. 상기 예비 반도체막은 에피택셜 성장법을 통해 형성할 수 있다. 이 후, 상기 제1 영역에 위치하는 상기 예비 반도체막을 덮는 블로킹 마스크 패턴(도시안됨)을 형성한다. 상기 블로킹 마스크 패턴이 형성되어 있지 않은 제2 영역의 예비 반도체막 상에 추가적으로 반도체막을 성장시켜 상기 제2 영역에 상기 제2 두께(t2)를 갖는 반도체막을 형성한다. 따라서, 상기 제1 및 제2 영역에서 서로 다른 두께를 갖는 제1 반도체막(102)이 형성된다.
- [0079] 도 4b를 참조하면, 상기 제1 반도체막(102) 상에 제2 예비 반도체막(도시안됨)을 형성한다. 상기 제2 예비 반도체막은 상기 제1 반도체막(102)과 다른 제2 반도체 물질로 형성할 수 있다. 상기 제2 반도체 물질은 상기 제1 반도체 물질에 대해 식각 선택비를 갖는 물질일 수 있다. 본 실시예에서는, 상기 제2 반도체 물질은 후속 공정에서 제1 및 제2 나노 와이어 패턴으로 사용된다. 본 실시예에서, 상기 제2 반도체 물질은 실리콘(Si)을 사용한다. 이와같이, 실리콘 게르마늄과 실리콘이 적층된 구조를 형성하면, 상기 실리콘은 상기 실리콘 게르마늄의 스트레인(strain)에 의해 컴프레시브 스트레인디드 실리콘이 될 수 있다. 따라서, 상기 제1 및 제2 나노 와이어 패턴은 컴프레시브 스트레인디드 실리콘으로 이루어질 수 있다.
- [0080] 상기 제2 예비 반도체막의 상부를 평탄화하여 평탄한 상부면을 갖는 제2 반도체막(104)을 형성한다. 상기 제2 반도체막(104)은 상기 제1 영역에서는 제3 두께(t3)를 갖고, 상기 제2 영역에서는 상기 제3 두께(t3)보다 얇은 제4 두께(t4)를 가질 수 있다. 상기 제3 두께(t3)는 상기 제1 두께(t1)보다 더 두꺼울 수 있다. 상기 평탄화 공정은 화학 기계적 연마 또는 에치백 공정을 포함할 수 있다.
- [0081] 본 실시예에서는, 상기 제2 반도체막은 후속 공정을 통해 제1 및 제2 나노 와이어 패턴으로 각각 제공된다. 또한, 상기 제2 반도체막(104)에서 상기 제3 두께(t3)는 상기 제1 나노 와이어 패턴의 횡단면의 제1 수직 길이를 결정하게 되고, 상기 제4 두께(t4)는 상기 제2 나노 와이어 패턴의 횡단면의 제2 수직 길이를 결정하게 된다. 그러므로, 상기 제1 및 제2 영역에 형성되는 제2 반도체막(104)의 두께를 조절함으로써 상기 제1 및 제2 나노 와이어 패턴의 수직 길이를 조절할 수 있다. 이에 더하여, 상기 제1 및 제2 나노 와이어 패턴에 형성되는 제1 및 제2 MOS 트랜지스터의 온 전류를 조절할 수 있다.

- [0082] 도 4c를 참조하면, 상기 제1 및 제2 반도체막(102, 104)을 패터닝하여 상기 제1 및 제2 영역에 각각 제1 및 제2 예비 액티브 구조물(130, 132)을 형성한다. 그러므로, 상기 제1 및 제2 예비 액티브 구조물(130, 132)은 상기 제1 및 제2 반도체막(102, 104)이 적층된 형상을 갖는다. 상기 제1 및 제2 예비 액티브 구조물(130, 132)은 각각 MOS 트랜지스터의 채널 영역 및 소오스/드레인 영역을 형성하기 위한 구조물이다.
- [0083] 상기 제1 예비 액티브 구조물(130)은 제1 나노 와이어 구조물(108) 및 상기 제1 나노 와이어 구조물(108)의 양 단부에 구비되고 제1 MOS 트랜지스터의 소오스/드레인 영역으로 제공되기 위한 제1 반도체 구조물(106)을 포함한다. 상기 제2 예비 액티브 구조물(132)은 제2 나노 와이어 구조물(112) 및 상기 제2 나노 와이어 구조물(112)의 양 단부에 구비되고 제2 MOS 트랜지스터의 소오스/드레인 영역으로 제공되기 위한 제2 반도체 구조물(110)을 포함한다.
- [0084] 상기 제1 나노 와이어 구조물(108)은 제1 방향을 길이 방향으로 하여 길게 연장되는 형상을 가질 수 있다. 상기 제1 방향은 상기 제1 MOS 트랜지스터의 채널 길이 방향이 될 수 있다. 상기 제1 나노 와이어 구조물(108)의 횡 단면은 수평 방향으로 제1 폭(W1)을 가질 수 있다. 반도체 소자의 집적화를 위하여 상기 제1 폭(W1)은 공정의 한계 선폭까지 감소될 수 있다. 예를들어, 상기 제1 폭(W1)은 수 내지 수백nm 수준일 수 있으며, 보다 구체적으로 약 7 내지 40nm 수준일 수 있다.
- [0085] 상기 제2 나노 와이어 구조물(112)의 상부 평면은 상기 제1 나노 와이어 구조물(108)의 상부 평면과 동일한 형상을 가질 수 있다. 그러므로, 상기 제2 나노 와이어 구조물(108)은 상기 제1 폭(W1)을 가질 수 있다.
- [0086] 한편, 상기 제1 및 제2 나노 와이어 구조물(108, 112)의 제1 방향으로의 수평 방향 길이는 서로 동일할 수 있다. 그러나, 이와는 다른 예로, 상기 제1 및 제2 나노 와이어 구조물(108, 112)의 제1 방향으로의 수평 길이는 서로 다를 수도 있다.
- [0087] 또한, 상기 제1 반도체 구조물(106)은 상기 제1 나노 와이어 구조물(108)의 제1 폭(W1)보다 넓은 제2 폭(W2)을 가질 수 있다. 상기 제1 반도체 구조물(106)은 제1 반도체 패턴(106a) 및 제2 반도체 패턴(106b)이 적층되는 형상을 갖는다. 상기 제2 반도체 구조물(110)은 상기 제2 나노 와이어 구조물(112)의 제1 폭(W1)보다 넓은 제3 폭(W3)을 가질 수 있다. 상기 제2 및 제3 폭(W2, W3)은 동일할 수도 있고 서로 다를 수도 있다. 상기 제2 반도체 구조물(110)은 제3 반도체 패턴(110a) 및 제4 반도체 패턴(110b)이 적층되는 형상을 갖는다.
- [0088] 도 4d를 참조하면, 상기 기판(100), 제1 및 제2 예비 액티브 구조물(130, 132)을 덮는 더미 게이트막(도시안됨)을 형성한다. 상기 더미 게이트막은 후속에서 형성되는 층간 절연막에 대해 식각 선택비를 갖는 물질을 포함할 수 있다. 또한, 상기 더미 게이트막은 후속에서 형성되는 절연 스페이서에 대해서도 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 더미 게이트막은 폴리실리콘 물질을 포함할 수 있다. 상기 더미 게이트막을 형성한 후, 상기 더미 게이트막의 상부면을 평탄화 하는 공정이 더 포함될 수 있다. 상기 평탄화 이 후에도 상기 더미 게이트막은 상기 제1 및 제2 예비 액티브 구조물(130, 132)을 충분히 덮을 정도의 두께를 가져야 한다.
- [0089] 상기 더미 게이트막을 형성한 다음, 상기 더미 게이트막을 패터닝하여 제1 및 제2 더미 게이트 패턴(114a, 114b)을 형성한다. 상기 제1 및 제2 더미 게이트 패턴(114a, 114b)은 후속 공정에서 제1 및 제2 MOS 트랜지스터의 게이트 전극이 형성되어야 할 부위를 정의한다. 그러므로, 상기 제1 더미 게이트 패턴(114a)은 상기 제1 나노 와이어 구조물(108)을 가로지르는 형상을 갖는다. 상기 제2 더미 게이트 패턴(114b)은 상기 제2 나노 와이어 구조물(112)을 가로지르는 형상을 갖는다.
- [0090] 상기 제1 및 제2 더미 게이트 패턴(114a, 114b), 상기 제1 및 제2 예비 액티브 구조물(130, 132) 및 기판(100)의 표면을 따라 절연 스페이서막을 형성한다. 이 후, 상기 절연 스페이서막을 이방성으로 식각하여, 상기 제1 및 제2 더미 게이트 패턴(114a, 114b)과 상기 제1 및 제2 예비 액티브 구조물(130, 132)의 측벽에 각각 절연 스페이서(116)를 형성한다.
- [0091] 다음에, 상기 제1 및 제2 더미 게이트 패턴(114a) 양 측으로 노출되어 있는 제1 및 제2 예비 액티브 구조물(130, 132)의 표면 부위에 각각 불순물을 주입하여 불순물 영역을 형성한다. 상기 공정에 의해 제1 예비 액티브 구조물(130)에는 제1 소오스/드레인 영역(S1, D1)이 형성되고, 상기 제2 예비 액티브 구조물(132)에는 제2 소오스/드레인 영역(S2, D2)이 형성된다. 이 때, 상기 제1 및 제2 나노 와이어 구조물(108)에 형성되는 불순물 영역은 각각 소오스/드레인 확장 영역이 되고, 상기 제1 및 제2 반도체 구조물(106, 110)에 형성되는 불순물 영역은 각각 소오스/드레인 영역이 될 수 있다.
- [0092] 상기 제1 및 제2 영역에 형성되는 MOS 트랜지스터의 도전형에 따라 상기 제1 및 제2 예비 액티브 구조물(130,

132)에 도핑되는 불순물의 도전형이 달라질 수 있다. 상기 제1 및 제2 예비 액티브 구조물(130, 132)에 도핑되는 불순물은 서로 다른 도전형을 갖거나 또는 동일한 도전형을 가질 수도 있다.

- [0093] 도 4e를 참조하면, 상기 기판(100) 상에 상기 제1 및 제2 예비 액티브 구조물(130, 132)과 상기 제1 및 제2 더미 게이트 패턴(114a, 114b)을 덮는 층간 절연막(118)을 형성한다.
- [0094] 상기 층간 절연막(118)의 상부면을 평탄화하기 위한 평탄화 공정을 수행한다. 상기 평탄화 공정은 화학 기계적 연마 공정을 포함할 수 있다. 상기 평탄화 공정에서 상기 제1 및 제2 더미 게이트 패턴(114a, 114b)의 상부면이 노출되도록 한다.
- [0095] 도 4f를 참조하면, 상기 제1 및 제2 더미 게이트 패턴(114a, 114b)을 선택적으로 제거한다. 상기 제거 공정을 수행하면, 상기 제1 및 제2 더미 게이트 패턴(114a, 114b)이 형성된 부위에 제1 및 제2 개구부(120a, 120b)가 각각 형성된다. 상기 제1 및 제2 개구부(120a, 120b)에는 상기 제1 및 제2 나노 와이어 구조물(108a, 112)의 일부분이 노출된다.
- [0096] 도 4g를 참조하면, 상기 제1 및 제2 개구부(120a, 120b)에 의해 노출되어 있는 제1 및 제2 나노 와이어 구조물(108, 112)의 하부에 위치하는 상기 제1 반도체막을 선택적으로 제거한다. 본 실시예의 경우, 상기 제1 반도체막으로 제공되는 실리콘 게르마늄을 선택적으로 제거한다. 상기 제거 공정을 수행하면, 상기 제1 및 제2 개구부(120a, 120b) 내에는 제2 반도체막만이 남게 된다. 따라서, 상기 기판(10)과 이격되는 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)이 형성된다. 상기 제거 공정은 등방성 식각 공정으로 수행될 수 있다. 상기 제거 공정은 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0097] 상기 제거 공정에서, 상기 제1 및 제2 개구부(120a, 120b) 내부에 노출되어 있는 제1 반도체막만이 제거될 수 있다. 이 경우에는 도 4g에 도시된 것과 같이, 상기 제1 및 제2 개구부(120a, 120b) 부위에만 기판과 이격되는 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)이 형성된다. 이와는 다른 예로, 상기 제거 공정에서 제1 및 제2 나노 와이어 구조물 하부의 제1 반도체막의 대부분이 제거될 수도 있다. 이 경우에는, 도 2a에 도시된 것과 같은 형상의 제1 및 제2 나노 와이어 패턴(108b, 112b)이 형성될 수 있다.
- [0098] 상기 제1 영역의 제1 예비 액티브 구조물(130)에는 상기 제1 반도체막이 상대적으로 얇게 형성되어 있고, 상기 제2 영역의 제2 예비 액티브 구조물(132)에는 상기 제1 반도체막이 상대적으로 두껍게 형성되어 있다. 그러므로, 상기 제1 예비 나노 와이어 패턴(108a)은 상기 기판과 이격 거리가 상대적으로 가까우면서 상기 제2 예비 나노 와이어 패턴(112a)보다 더 큰 용적을 갖는다. 또한, 상기 제2 예비 나노 와이어 패턴(112a)은 상기 기판과 이격 거리가 상대적으로 멀면서 상기 제1 예비 나노 와이어 패턴(108a)보다 더 작은 용적을 갖는다.
- [0099] 상기 제1 및 제2 반도체 구조물(106, 110)은 상기 층간 절연막에 의해 모두 덮혀있는 상태이므로, 상기 하부의 제1 반도체막을 선택적으로 제거하는 공정을 수행하더라도 상기 제1 및 제2 반도체 구조물에 포함된 제1 및 제3 반도체 패턴은 제거되지 않는다. 따라서, 상기 제1 및 제2 반도체 구조물은 상기 기판(100)과 직접 접촉하면서 상기 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)을 지지하는 형상을 갖게 된다.
- [0100] 도 4h를 참조하면, 상기 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)에 대해 열처리 공정을 수행한다. 상기 열처리 공정에 의해 상기 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)의 모서리 부위가 라운드된 형상을 갖는 제1 및 제2 나노 와이어 패턴(108b, 112b)이 형성된다. 상기 열처리 공정은 수소 어닐, 열산화 처리 공정 등을 포함할 수 있다. 수소 어닐을 하는 경우에는 별도의 후속 처리 공정이 필요하지 않다. 그러나, 열산화 처리를 하는 경우에는 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)형성된 산화물을 제거하는 공정이 더 수행될 수 있다. 상기 열처리 공정을 수행하면, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)의 모서리 부위가 라운드되기 때문에 모서리 부위에서의 전계 집중을 억제할 수 있다. 그러나, 공정의 단순화를 위하여, 상기 열처리 공정은 생략될 수도 있다.
- [0101] 상기 층간 절연막 및 스페이서 부위를 제외하고 상기 제1 및 제2 나노 와이어 패턴(208b, 112b)과 제1 및 제2 반도체 구조물(106, 110)만을 살펴보면, 상기 제1 반도체막의 식각 정도에 따라 도 2a 또는 도 2b에 도시된 것과 형태가 될 수 있다.
- [0102] 도 3에 도시된 것과 같이, 상기 제1 나노 와이어 패턴(108b)의 횡 단면은 상기 제2 방향으로 긴 타원형 또는 직사각형 형상을 가질 수 있다. 상기 제1 나노 와이어 패턴(108b)의 횡 단면에서 수평 방향으로의 최대 폭은 상기 제1 폭(W1)일 수 있다. 상기 제1 나노 와이어 패턴(108b)에서 횡단면의 수직 방향으로의 최대 길이는 상기 제3 두께와 동일할 수 있다. 상기 제1 나노 와이어 패턴(108b)의 종단면에서 수직 방향으로의 최대 길이를 제1 수직 길이(H1)라고 한다. 상기 제1 나노 와이어 패턴(108b)에서 상기 제1 수직 길이는 상기 제1 폭(W1)보다 더 길게

연장된 형상을 가질 수 있다.

- [0103] 또한, 상기 제2 나노 와이어 패턴(112b)의 횡 단면은 상기 제1 나노 와이어 패턴(108b)의 횡단면보다 수직방향으로 짧은 타원, 원형 또는 사각형의 형상을 가질 수 있다. 상기 제2 나노 와이어 패턴(112b)의 횡 단면에서 수평 방향으로의 최대폭은 상기 제1 폭일 수 있다. 상기 제2 나노 와이어 패턴(112b)에서 횡단면의 수직 방향으로의 최대 길이는 상기 제4 두께와 동일할 수 있다. 상기 제2 나노 와이어 패턴(112b)의 종단면에서 수직 방향으로의 최대 길이를 제2 수직 길이(H2)라고 한다. 그러므로, 상기 제2 수직 길이(H2)는 상기 제1 수직 길이(H1)보다 더 짧은 형상을 갖는다.
- [0104] 다시, 도 4i 및 도 1을 참조하면, 상기 제1 및 제2 개구부(120a, 120b)에 노출되어 있는 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)의 표면 및 기관(100) 표면 상에 제1 및 제2 게이트 절연막(122a, 122b)을 형성한다. 상기 제1 및 제2 게이트 절연막은 열 산화 공정을 통해 형성된 실리콘 산화물 일 수 있다. 이와는 다른 예로, 상기 제1 및 제2 게이트 절연막은 실리콘 질화물보다 높은 유전율을 갖는 고유전 금속 산화물일 수 있다.
- [0105] 상기 제1 및 제2 게이트 절연막 상에 상기 제1 및 제2 개구부(120a, 120b)를 완전하게 채우는 게이트 전극막을 형성한다. 상기 게이트 전극막은 금속 물질을 포함할 수 있다. 즉, 상기 제1 및 제2 개구부들(120a, 120b) 내에도전 물질을 형성하는 다마신 방법으로 게이트 전극을 형성하기 때문에, 금속 게이트 전극으로 형성할 수 있다. 그러나, 이와는 다른 예로, 상기 게이트 전극막은 폴리실리콘 물질을 포함할 수도 있다.
- [0106] 상기 제1 개구부(120a)에 형성되는 게이트 전극막과, 상기 제2 개구부(120b)에 형성되는 게이트 전극막은 동일한 도전 물질을 포함할 수도 있다. 그러나, 이와는 다른 예로, 상기 제1 개구부(120a)에 형성되는 게이트 전극막과, 상기 제2 개구부(120b)에 형성되는 게이트 전극막은 서로 다른 도전 물질을 포함할 수도 있다.
- [0107] 이 후, 상기 제1 및 제2 개구부(120a, 120b) 내부에만 상기 게이트 전극막이 남아있도록 상기 게이트 전극막의 상부를 제거한다. 상기 공정에 의해, 상기 제1 및 제2 개구부(120a, 120b) 내부에는 제1 및 제2 게이트 전극(124a, 124b)이 각각 형성된다.
- [0108] 상기 층간 절연막(118) 및 스페이서(116) 부위를 제외하고, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b), 제1 및 제2 반도체 구조물(106, 110)과 제1 및 제2 게이트 전극(124a, 124b)만을 살펴보면, 도 1에 도시된 것과 동일할 수 있다.
- [0109] 도 1에 도시된 것과 같이, 상기 제1 게이트 전극(124a)은 상기 제1 나노 와이어 패턴(108b)을 둘러싸는 형상을 갖는다. 특히, 상기 제1 게이트 전극(124a)은 상기 제1 나노 와이어 패턴(108b)의 저면부까지 둘러싸는 형상을 가질 수 있다. 또한, 상기 제2 게이트 전극(124b)은 상기 제2 나노 와이어 패턴(112b)을 둘러싸는 형상을 갖는다. 특히, 상기 제2 게이트 전극(124b)은 상기 제2 나노 와이어 패턴(112b)의 저면부까지 둘러싸는 형상을 가질 수 있다.
- [0110] 설명한 것과 같이, 본 실시예에 의하면, 상기 제1 및 제2 나노 와이어 패턴의 횡단면의 수직 길이를 조절함으로써 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.
- [0111] 도 5a 및 도 5b는 도 1에 도시된 반도체 소자를 제조하는 제2 방법을 나타내는 사시도들이다.
- [0112] 이하에서 설명하는 제조 방법은, 도 4b에 도시된 구조를 형성하는 과정만 다르며, 도 4c 내지 도 4i 공정은 동일하게 진행한다.
- [0113] 도 5a를 참조하면, 제1 영역 및 제2 영역으로 구분되는 기관(100)이 마련된다. 상기 기관(100) 상에, 상기 제2 영역의 기관(100) 표면 부위를 덮는 제1 블로킹 패턴(105)을 형성한다. 상기 제1 블로킹 패턴(105)은 실리콘 질화물을 포함할 수 있다.
- [0114] 노출되어 있는 상기 1 영역의 기관(100) 상에 제1 반도체 물질을 포함하고, 제1 두께를 갖는 제1 박막(102a)을 형성한다. 상기 제1 박막(102a)은 선택적 에피택셜 성장 공정을 통해 형성할 수 있다. 상기 제1 박막(102a)은 실리콘 게르마늄을 포함할 수 있다. 이 후, 상기 제1 박막(102a) 상에 제2 반도체 물질을 포함하고, 상기 제1 두께보다 두꺼운 제3 두께를 갖는 제2 박막을 형성한다. 상기 제2 박막(104a)은 상기 제1 영역에 형성하고자 하는 목표 제1 나노 와이어 패턴의 횡단면의 제1 수직 길이보다 더 두껍게 형성할 수 있다.
- [0115] 다음에, 상기 제1 블로킹 패턴(105)을 제거한다.

- [0116] 도 5b를 참조하면, 상기 제2 박막(104a) 상에 제2 블록킹 패턴(도시안됨)을 형성한다. 노출되어 있는 상기 제2 영역의 기판 상에 제1 반도체 물질을 포함하고 제2 두께를 갖는 제3 박막을 형성한다. 상기 제3 박막은 선택적 에피택셜 성장 공정을 통해 형성할 수 있다. 상기 제3 박막은 실리콘 게르마늄을 포함할 수 있다. 상기 제3 박막 상에 제2 반도체 물질을 사용하여 상기 제2 두께보다 얇은 제4 두께를 갖는 제4 박막을 형성한다. 상기 제4 박막은 상기 제1 영역에 형성하고자 하는 목표 제2 나노 와이어 패턴의 횡단면의 제2 수직 길이보다 더 두껍게 형성할 수 있다.
- [0117] 다음에, 상기 제2 블록킹 패턴을 제거한다. 이 후, 상기 제2 박막 및 제4 박막이 평탄하게 되도록 평탄화 공정을 수행한다.
- [0118] 상기 공정을 수행하면, 도 4b에 도시된 것과 동일한 형상의 제1 및 제2 반도체막(102, 104)이 각각 형성된다.
- [0119] 이 후, 도 4c 내지 도 4i를 참조로 설명한 공정들을 동일하게 수행하여, 도 1에 도시된 반도체 소자를 제조할 수 있다.
- [0120] 도 6a 내지 도 6d는 도 1에 도시된 반도체 소자를 제조하는 제3 방법을 나타내는 단면도 및 사시도들이다.
- [0121] 이하에서 설명하는 제3 방법은 상기 제1 및 제2 방법과 다른 반도체 물질로 제1 및 제2 나노 와이어 패턴을 형성하는 방법이다.
- [0122] 도 6a를 참조하면, 제1 영역 및 제2 영역으로 구분되는 기판이 마련된다. 상기 기판 상에, 실리콘을 포함하는 제1 반도체막(102) 및 실리콘 게르마늄을 포함하는 제2 반도체막(104)을 각각 형성한다.
- [0123] 상기 제1 영역에 형성되는 제1 반도체막(102)은 제1 두께를 갖고, 상기 제2 영역에 형성되는 제1 반도체막(102)은 상기 제1 두께보다 두꺼운 제2 두께를 갖도록 형성된다. 상기 제1 영역에 형성되는 제2 반도체막(104)은 제3 두께를 갖고, 상기 제2 영역에 형성되는 제2 반도체막(104)은 상기 제3 두께보다 얇은 제4 두께를 갖는다.
- [0124] 이와같이, 상기 제1 및 제2 반도체막(102, 104)에 포함되는 반도체 물질은 상기 제1 및 제2 방법에 설명한 것과 다르지만, 상기 제1 및 제2 반도체막(102, 104)을 상기 설명한 두께로 형성하는 방법은 제1 및 제2 방법과 동일하다. 즉, 도 4a 및 도 4b에서 설명한 방법 또는 도 5a 및 도 5b에서 설명한 방법 중 어느 하나의 방법으로 상기 제1 및 제2 반도체막(102, 104)을 형성할 수 있다.
- [0125] 이 후, 도 4c 내지 도 4g를 참조로 설명한 것과 동일한 공정을 수행한다. 상기 공정을 수행하면, 도 6b에 도시된 것과 같이, 제1 및 제2 개구부 내부에 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)이 각각 노출된다. 본 실시예의 경우, 상기 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)은 실리콘 게르마늄으로 형성된다.
- [0126] 도 6c 및 도 6d는 상기 제1 및 제2 개구부(120a, 120b) 내부에서 노출된 제1 및 제2 예비 나노 와이어 패턴 부위를 확대 도시한 것이다.
- [0127] 도 6c를 참조하면, 상기 제1 및 제2 개구부 내부(120a, 120b)에 노출된 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)을 열산화시킨다. 상기 열산화 공정을 수행하면, 상기 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)을 이루는 실리콘 게르마늄에서, 실리콘 성분은 확산되면서 산소와 반응하여 표면에 실리콘 산화물(113)이 형성된다. 그러므로, 상기 제1 및 제2 예비 나노 와이어 패턴(108a, 112a)에는 실리콘 성분이 대부분 없어지게 되어 게르마늄 리치 실리콘 게르마늄 또는 게르마늄을 포함하는 제1 및 제2 나노 와이어 패턴(108b, 112b)이 된다. 또한, 상기 산화 공정에 의해, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)의 모서리 부위가 라운드된다.
- [0128] 도 6d를 참조하면, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)의 표면에 형성되는 실리콘 산화물(113)을 제거한다.
- [0129] 상기 공정을 수행하면, 게르마늄 리치 실리콘 게르마늄 또는 게르마늄을 포함하는 제1 및 제2 나노 와이어 패턴(108b, 112b)이 형성된다. 상기 제1 및 제2 나노 와이어 패턴은 도 2에 도시된 것과 동일한 형상을 가질 수 있다.
- [0130] 이 후, 도 4i 및 도 1을 참조로 설명한 것과 동일한 공정들을 수행하여 도 1에 도시된 반도체 소자를 완성한다.
- [0131]

- [0132] 도 7은 본 발명의 실시예 2에 따른 반도체 소자를 나타내는 사시도이다.
- [0133] 도 7에 도시된 반도체 소자는 제1 및 제2 MOS 트랜지스터가 멀티 채널 영역을 갖도록 하기 위하여, 상기 제1 및 제2 나노 와이어 패턴들이 수평 방향으로 일렬 배치된 것을 제외하고는 실시예 1의 반도체 소자와 거의 동일한 구성을 갖는다.
- [0134] 도 7을 참조하면, 기관(100)의 제1 영역에는 수평 방향으로 서로 이격되는 제1 나노 와이어 패턴들(108b)이 구비되고, 상기 제1 나노 와이어 패턴들(108b)에는 제1 MOS트랜지스터가 구비된다. 또한, 상기 기관(100)의 제2 영역에는 수평 방향으로 서로 이격되는 제2 나노 와이어 패턴들(112b)이 구비되고, 상기 제2 나노 와이어 패턴들(112b)에는 제2 MOS 트랜지스터가 구비된다.
- [0135] 상기 기관(100)의 제1 영역에 구비되는 각각의 제1 나노 와이어 패턴들(108b)은 도 1에서 설명한 제1 나노 와이어 패턴들(108b)과 동일한 구성을 가질 수 있다. 각각의 제1 나노 와이어 패턴들(108b)은 수평 방향으로 서로 평행하게 일렬 배치될 수 있다. 상기 일렬 배치된 제1 나노 와이어 패턴들은 하나의 제1 MOS 트랜지스터의 멀티 채널 영역으로 제공될 수 있다.
- [0136] 상기 기관(100)의 제2 영역에 구비되는 각각의 제2 나노 와이어 패턴들(112b)은 도 1에서 설명한 제2 나노 와이어 패턴들(112b)과 동일한 구성을 가질 수 있다. 각각의 제2 나노 와이어 패턴들(112b)은 수평 방향으로 서로 평행하게 일렬 배치될 수 있다. 상기 일렬 배치된 제2 나노 와이어 패턴들(112b)은 하나의 제2 MOS 트랜지스터의 멀티 채널 영역으로 제공될 수 있다.
- [0137] 일렬 배치된 상기 제1 나노 와이어 패턴들(108b)의 양 단부에는 제1 반도체 구조물(106)이 구비된다. 상기 제1 반도체 구조물(106)에는 제1 MOS 트랜지스터의 제1 소오스/드레인 영역(S1, D1)이 구비될 수 있다. 또한, 일렬 배치된 상기 제2 나노 와이어 패턴들(112b)의 양 단부에는 제2 반도체 구조물(110)이 구비된다. 상기 제2 반도체 구조물(110)에는 제2 MOS 트랜지스터의 제2 소오스/드레인 영역(S2, D2)이 구비될 수 있다. 상기 제1 및 제2 반도체 구조물(106, 110)은 기관 표면과 접촉되며, 상기 제1 및 제2 반도체 구조물(106)에 포함된 제1 내지 제4 반도체 패턴들(106a, 106b, 110a, 110b)의 적층 구조는 도 1을 참조로 설명한 것과 동일하다.
- [0138] 상기 제1 MOS 트랜지스터는 제1 게이트 절연막(122a), 제1 게이트 전극(124a) 및 제1 소오스/드레인 영역(S1, D1)을 포함할 수 있다.
- [0139] 상기 제1 게이트 절연막(122a)은 상기 제1 나노 와이어 패턴들(108b)의 표면 상에 구비될 수 있다. 상기 제1 게이트 전극(124a)은 상기 제1 게이트 절연막(122a) 상에 구비되고 상기 일렬 배치된 제1 나노 와이어 패턴들(108b)을 둘러싸면서 상기 제2 방향으로 연장되는 형상을 가질 수 있다.
- [0140] 상기 제2 MOS 트랜지스터는 제2 게이트 절연막(122b), 제2 게이트 전극(124b) 및 제2 소오스/드레인 영역(S2, D2)을 포함할 수 있다.
- [0141] 상기 제2 게이트 절연막(122b)은 상기 제2 나노 와이어 패턴들(112b)의 표면 상에 구비될 수 있다. 상기 제2 게이트 전극(124b)은 상기 제2 게이트 절연막(122b) 상에 구비되고 상기 일렬 배치된 제2 나노 와이어 패턴들(112b)을 둘러싸면서 상기 제2 방향으로 연장되는 형상을 가질 수 있다.
- [0142] 이와같이, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)의 수직 길이를 조절함으로써 각 영역에 형성되는 MOS 트랜지스터의 온 전류 특성을 조절할 수 있다. 특히, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.
- [0143] 또한, 본 실시예의 경우, 상기 제1 및 제2 나노 와이어 패턴들(108b, 112b)이 수평 방향으로 나란하게 배치되므로, 수평 방향으로 멀티 채널을 갖는 제1 및 제2 MOS 트랜지스터들이 제공된다.
- [0144] 도 7에 도시된 반도체 소자는 도 4a 내지 도 4i를 참조로 설명한 공정을 거의 동일하게 수행하여 형성할 수 있다. 다만, 상기 도 7의 반도체 소자의 제조 공정은 도 4c의 패터닝 공정에서 형성되는 제1 및 제2 예비 액티브 구조물의 형상에서만 차이가 있다.
- [0145] 상기 도 7에 도시된 반도체 소자를 형성하는 방법으로, 먼저, 도 4a 및 도 4b를 참조로 설명한 공정을 수행한다.
- [0146] 이 후, 패터닝 공정을 수행하여, 복수의 제1 및 제2 나노 와이어 구조물들과 이들의 단부를 연결하는 제1 및 제

2 반도체 구조물을 포함하는 제1 및 제2 예비 액티브 구조물을 형성한다. 상기 제1 및 제2 예비 액티브 구조물의 상부면은 도 7에 도시된 제1 및 제2 나노 와이어 패턴들(108b, 112b)과 제1 및 제2 반도체 구조물(106, 110)의 상부 평면과 동일한 형상을 가질 수 있다.

- [0147] 다음에, 도 4d 내지 도 4i를 참조로 설명한 공정들을 수행한다. 상기 공정들을 수행하면, 수평 방향으로 멀티 채널을 갖는 제1 및 제2 MOS 트랜지스터들을 형성할 수 있다.
- [0148]
- [0149] 도 8은 본 발명의 실시예 3에 따른 반도체 소자를 나타내는 사시도이다.
- [0150] 도 8에 도시된 반도체 소자는 제1 및 제2 MOS 트랜지스터가 멀티 채널 영역을 갖도록 하기 위하여, 상기 제1 및 제2 나노 와이어 패턴들이 제3 방향으로 적층된 것을 제외하고는 실시예 1의 반도체 소자와 거의 동일한 구성을 갖는다.
- [0151] 도 8을 참조하면, 기판(100)의 제1 영역에는 상기 제3 방향으로 서로 이격되는 제1 나노 와이어 패턴들(208b)이 구비되고, 상기 제1 나노 와이어 패턴들(208b)에는 제1 MOS트랜지스터가 구비된다. 또한, 상기 기판의 제2 영역에는 상기 제3 방향으로 서로 이격되는 제2 나노 와이어 패턴들(212b)이 구비되고, 상기 제2 나노 와이어 패턴들(212b)에는 제2 MOS 트랜지스터가 구비된다.
- [0152] 상기 기판(100)의 제1 영역에 구비되는 각각의 제1 나노 와이어 패턴들(208b)은 도 1에서 설명한 제1 나노 와이어 패턴들(108b)과 동일한 구성을 가질 수 있다. 각각의 제1 나노 와이어 패턴들(208b)은 기판(100) 표면으로부터 수직 방향인 제3 방향으로 서로 나란하게 배치될 수 있다. 상기 수직 방향으로 배치된 제1 나노 와이어 패턴들(208b)은 하나의 제1 MOS 트랜지스터의 멀티 채널 영역으로 제공될 수 있다.
- [0153] 상기 기판의 제2 영역에 구비되는 각각의 제2 나노 와이어 패턴들(212b)은 도 1에서 설명한 제2 나노 와이어 패턴들(112b)과 동일한 구성을 가질 수 있다. 각각의 제2 나노 와이어 패턴들(212b)은 기판(100) 표면으로부터 수직 방향인 제3 방향으로 서로 나란하게 배치될 수 있다. 상기 수직 방향으로 배치된 제2 나노 와이어 패턴들(212b)은 하나의 제2 MOS 트랜지스터의 멀티 채널 영역으로 제공될 수 있다.
- [0154] 즉, 상기 제1 나노 와이어 패턴들(208b)은 상기 제2 나노 와이어 패턴들(212b)보다 더 큰 용적을 갖는다. 또한, 상기 제1 나노 와이어 패턴들(208b)의 횡단면에서 제1 수직 길이(H1)는 상기 제2 나노 와이어 패턴들(212b)의 횡단면에서 제2 수직 길이(H2)보다 더 길다.
- [0155] 동일한 층에 형성되어 있는 제1 및 제2 나노 와이어 패턴들(212b)의 상부면은 동일한 평면 상에 위치할 수 있다.
- [0156] 상기 수직 방향으로 배치된 제1 나노 와이어 패턴들(212b)의 양 단부에는 제1 반도체 구조물(206)이 구비된다. 상기 제1 반도체 구조물(206)에는 제1 MOS 트랜지스터의 제1 소오스/드레인 영역(S1, D1)이 구비될 수 있다. 상기 제1 반도체 구조물(206)은 기판 표면과 접촉된다. 상기 제1 반도체 구조물(206)은 제1 반도체 물질과 제2 반도체 물질이 번갈아가면서 적층된 형상을 갖는다. 도시된 것과 같이, 상기 제1 반도체 구조물(206)은 제1 내지 제4 반도체 패턴(206a~206d)이 적층된 형상을 가질 수 있다. 홀수층의 반도체 패턴(206a, 206c)은 상기 제1 반도체 물질로 형성되며, 짝수층의 반도체 패턴(206b, 206d)은 상기 제2 반도체 물질로 형성된다. 상기 제1 반도체 구조물(206)에서, 상기 제1 반도체 물질로 형성되는 반도체 패턴(206a, 206c)은 제2 반도체 물질로 형성되는 반도체 패턴(206b, 206d)보다 얇은 두께를 가질 수 있다. 또한, 상기 수직 방향으로 배치된 제1 나노 와이어 패턴들(208b)은 상기 제1 반도체 구조물에 포함되어 있는 짝수층의 반도체 패턴들(206b, 206d)과 각각 접촉되는 형상을 가질 수 있다.
- [0157] 상기 수직 방향으로 배치된 제2 나노 와이어 패턴들(212b)의 양 단부에는 제2 반도체 구조물(210)이 구비된다. 상기 제2 반도체 구조물(210)에는 제2 MOS 트랜지스터의 제2 소오스/드레인 영역(S2, D2)이 구비될 수 있다. 상기 제2 반도체 구조물(210)은 기판(100) 표면과 접촉된다. 상기 제2 반도체 구조물(210)은 제1 반도체 물질과 제2 반도체 물질이 번갈아가면서 적층된 형상을 갖는다. 도시된 것과 같이, 상기 제2 반도체 구조물(210)은 제5 내지 제8 반도체 패턴(210a~210d)이 적층된 형상을 가질 수 있다. 홀수층의 반도체 패턴(210a, 210c)은 상기 제1 반도체 물질로 형성되며, 짝수층의 반도체 패턴(210b, 210d)은 상기 제2 반도체 물질로 형성된다. 상기 제2 반도체 구조물(210)에서, 상기 제1 반도체 물질로 형성되는 반도체 패턴(210a, 210c)은 제2 반도체 물질로 형성되는 반도체 패턴(210b, 210d)보다 두꺼울 수 있다. 또한, 상기 수직 방향으로 배치된 제2 나노 와이어 패턴들(212b)은 상기 제2 반도체 구조물에 포함되어 있는 짝수층의 반도체 패턴들(210b, 210d)과 각각 접촉되는 형상

을 가질 수 있다.

- [0158] 상기 제1 MOS 트랜지스터는 제1 게이트 절연막(222a), 제1 게이트 전극(224a) 및 제1 소오스/드레인 영역(S1, D1)을 포함할 수 있다. 상기 제1 게이트 절연막(222a)은 상기 제1 나노 와이어 패턴들(208b)의 표면 상에 구비될 수 있다. 상기 제1 게이트 전극(224a)은 상기 제1 게이트 절연막(222a) 상에 구비되고 상기 수직 방향으로 배치된 제1 나노 와이어 패턴들(208b)을 둘러싸면서 상기 제2 방향으로 연장되는 형상을 가질 수 있다.
- [0159] 상기 제2 MOS 트랜지스터는 제2 게이트 절연막(222b), 제2 게이트 전극(224b) 및 제2 소오스/드레인 영역(S2, D2)을 포함할 수 있다.
- [0160] 상기 제2 게이트 절연막(222b)은 상기 제2 나노 와이어 패턴들(212b)의 표면 상에 구비될 수 있다. 상기 제2 게이트 전극(224b)은 상기 제2 게이트 절연막(222b) 상에 구비되고 상기 수직 방향으로 배치된 제2 나노 와이어 패턴들(212b)을 둘러싸면서 상기 제2 방향으로 연장되는 형상을 가질 수 있다.
- [0161] 이와같이, 상기 제1 및 제2 나노 와이어 패턴(208b, 212b)의 수직 길이를 조절함으로써 각 영역에 형성되는 MOS 트랜지스터의 온 전류 특성을 조절할 수 있다. 특히, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.
- [0162] 또한, 본 실시예의 경우, 상기 제1 및 제2 나노 와이어 패턴들(208b, 212b)이 기판(100) 표면으로부터 수직한 제3 방향으로 나란하게 배치되기 때문에, 수평 방향으로 영역을 확장하지 않고도 멀티 채널을 갖는 제1 및 제2 MOS 트랜지스터들을 제공할 수 있다.
- [0163] 도 9a 내지 도 9c는 도 8에 도시된 반도체 소자의 제조 방법을 설명하기 위한 사시도이다.
- [0164] 도 9a를 참조하면, 제1 영역 및 제2 영역으로 구분되는 기판(100) 상에 상기 제1 영역에서 제1 두께(t1)를 갖고 상기 제2 영역에서 상기 제1 두께보다 두꺼운 제2 두께(t2)를 갖는 제1 반도체막(202a)을 형성한다. 상기 제1 반도체막(202a)은 제1 반도체 물질을 포함할 수 있다.
- [0165] 상기 제1 반도체막(202a) 상에 상기 제1 영역에서는 제3 두께(t3)를 갖고, 상기 제2 영역에서는 상기 제3 두께(t3)보다 얇은 상기 제4 두께(t4)를 갖는 제2 반도체막(204a)을 형성한다. 상기 제3 두께(t3)는 상기 제1 두께(t1)보다 더 두꺼울 수 있다. 제2 반도체막(204a)은 제2 반도체 물질을 포함할 수 있다.
- [0166] 상기 공정은 도 4a 및 도 4b를 참조로 수행할 수 있다. 이와는 다른 방법으로, 상기 공정은 도 5a 및 도 5b를 참조로 수행할 수 있다.
- [0167] 이 후, 상기 제2 반도체막(204a) 상에 상기 제1 영역에서 제5 두께를 갖고 상기 제2 영역에서 상기 제5 두께보다 두꺼운 제6 두께를 갖는 제3 반도체막을 형성한다. 상기 제3 반도체막(202b)은 제1 반도체 물질을 포함할 수 있다.
- [0168] 상기 제3 반도체막(202b) 상에 상기 제1 영역에서는 제7 두께를 갖고, 상기 제2 영역에서는 상기 제7 두께보다 얇은 제8 두께를 갖는 제4 반도체막(204b)을 형성한다.
- [0169] 상기 제2 및 제4 반도체막(204a, 204b)은 후속 공정을 통해 수직 방향으로 배치되는 제1 나노 와이어 패턴들과 제2 나노 와이어 패턴들로 제공된다. 그러므로, 상기 제2 및 제4 반도체막(204a, 204b)의 두께를 조절하여 상기 제1 및 제2 나노 와이어 패턴의 수직 길이를 조절할 수 있다. 또한, 상기 제1 및 제3 반도체막(202a, 202b)의 두께에 따라 상기 제1 나노 와이어 패턴들 사이의 수직방향으로 이격되는 간격 및 상기 제2 나노 와이어 패턴들 사이의 수직방향으로 이격되는 간격을 조절할 수 있다.
- [0170] 상기 제3 및 제4 반도체막(202b, 204b)의 적층 구조는 상기 제1 및 제2 반도체막(202a, 204a)의 적층 구조와 동일할 수 있다. 또한, 상기 제3 및 제4 반도체막(202b, 204b)은 상기 제1 및 제2 반도체막(202a, 204a)의 형성 방법과 동일한 방법으로 형성할 수 있다.
- [0171] 도 9b를 참조하면, 상기 제1 내지 제4 반도체막(202a, 204a, 202b, 204b)을 패터닝하여 상기 제1 및 제2 영역에 각각 제1 및 제2 예비 액티브 구조물(230, 232)을 형성한다. 그러므로, 상기 제1 및 제2 예비 액티브 구조물(230, 232)은 상기 제1 내지 제4 반도체막이 적층된 형상을 갖는다. 상기 제1 및 제2 예비 액티브 구조물(230, 232)은 각각 MOS 트랜지스터의 채널 영역 및 소오스/드레인 영역을 형성하기 위한 구조물이 된다.
- [0172] 상기 제1 예비 액티브 구조물(230)의 상부면은 도 4c에 도시된 제1 예비 액티브 구조물(130)과 동일한 상부면

형상을 가질 수 있다. 또한, 상기 제2 예비 액티브 구조물(232)의 상부면은 도 4c에 도시된 제2 예비 액티브 구조물(132)과 동일한 상부면 형상을 가질 수 있다.

- [0173] 도 9c를 참조하면, 상기 기판(100), 제1 및 제2 예비 액티브 구조물(230, 232)을 덮는 더미 게이트막을 형성한다. 상기 더미 게이트막을 형성한 다음, 상기 더미 게이트막을 패터닝하여 제1 및 제2 더미 게이트 패턴(214a, 214b)을 형성한다. 상기 제1 및 제2 더미 게이트 패턴(214a, 214b)과 상기 제1 및 제2 예비 액티브 구조물(230, 232)의 측벽에 절연 스페이서(216)를 형성한다.
- [0174] 다음에, 상기 제1 및 제2 더미 게이트 패턴(214a, 214b) 양 측으로 노출되어 있는 제1 및 제2 예비 액티브 구조물(230, 232)의 표면 부위에 각각 불순물을 주입하여 불순물 영역을 형성한다. 상기 제1 예비 액티브 구조물에는 제1 소오스/드레인 영역(S1, D1)이 형성되고, 상기 제2 예비 액티브 구조물에는 제2 소오스/드레인 영역(S2, D2)이 형성된다.
- [0175] 상기 제1 및 제2 영역에 형성되는 MOS 트랜지스터의 도전형에 따라 상기 제1 및 제2 예비 액티브 구조물(230, 232)에 도핑되는 불순물의 도전형이 달라질 수 있다. 상기 제1 및 제2 예비 액티브 구조물(230, 232)에 도핑되는 불순물은 서로 다른 도전형을 갖거나 또는 동일한 도전형을 가질 수도 있다.
- [0176] 이 후, 도 4e 내지 도 4i를 참조로 설명한 공정들을 수행하여, 도 8에 도시된 반도체 소자를 형성한다.
- [0177] 상기 공정을 수행하면, 수평 방향으로 영역을 확장하지 않고도 멀티 채널을 갖는 제1 및 제2 MOS 트랜지스터를 형성할 수 있다.
- [0178] 도 10은 본 발명의 실시예 4에 따른 반도체 소자를 나타내는 사시도이다. 도 11은 도 10에서 제1 및 제2 나노 와이어 패턴을 나타내는 사시도이다.
- [0179] 도 10에 도시된 반도체 소자는 제1 및 제2 MOS 트랜지스터는 서로 다른 갯수의 나노 와이어 패턴을 포함할 수 있다. 또한, 상기 제2 MOS 트랜지스터는 나노 와이어 패턴이 제3 방향으로 적층되는 멀티 채널 구조를 가질 수 있다.
- [0180] 도 10 및 도 11을 참조하면, 기판(100)의 제1 영역에는 상기 기판과 이격되는 제1 나노 와이어 패턴(258b)이 구비되고, 상기 제1 나노 와이어 패턴(258b)에는 제1 MOS 트랜지스터가 구비된다. 또한, 상기 기판(100)의 제2 영역에는 수직 방향으로 서로 이격되는 제2 나노 와이어 패턴들(162b)이 구비되고, 상기 제2 나노 와이어 패턴들(162b)에는 제2 MOS 트랜지스터가 구비된다.
- [0181] 상기 기판의 제1 영역에 구비되는 제1 나노 와이어 패턴(258b)은 도 1에서 설명한 제1 나노 와이어 패턴(108b)과 동일한 구성을 가질 수 있다. 상기 기판의 제2 영역에 구비되는 제2 나노 와이어 패턴(262b)은 도 1에서 설명한 제2 나노 와이어 패턴(112b)과 동일한 구성을 가질 수 있다. 즉, 도 11에 도시된 것과 같이, 상기 제1 나노 와이어 패턴(258b)은 상기 제2 나노 와이어 패턴들(262b)보다 더 큰 용적을 갖는다. 또한, 상기 제1 나노 와이어 패턴들(258b)의 횡단면에서 제1 수직 길이(H1)는 상기 제2 나노 와이어 패턴들(262b)의 횡단면에서 제2 수직 길이(H2)보다 더 길다.
- [0182] 상기 제2 나노 와이어 패턴들(262b)은 기판 표면으로부터 수직인 제3 방향으로 서로 나란하게 배치될 수 있다. 이와같이, 상기 제2 나노 와이어 패턴(262b)은 상기 제1 나노 와이어 패턴(258b)보다 더 많이 구비될 수 있다. 일 예로, 도시된 것과 같이, 제2 나노 와이어 패턴(262b)은 상기 제1 나노 와이어 패턴(258b)의 2배의 수만큼 구비될 수 있다.
- [0183] 상기 제1 나노 와이어 패턴(258b)의 상부면은 상기 제2 나노 와이어 패턴들(262b)중 어느 하나의 상부면과 동일한 평면 상에 위치할 수 있다.
- [0184] 상기 제1 나노 와이어 패턴(258b)의 양 단부에는 제1 반도체 구조물(256)이 구비된다. 상기 제1 반도체 구조물에는 제1 MOS 트랜지스터의 제1 소오스/드레인 영역(S1, D1)이 구비될 수 있다. 상기 제1 반도체 구조물(256)은 기판 표면과 접촉된다. 상기 제1 반도체 구조물은 제1 및 제2 반도체 패턴(256a, 256b)이 적층된 형상을 갖는다. 상기 제1 나노 와이어 패턴들은 상기 제2 반도체 패턴(256b)과 접촉되는 형상을 가질 수 있다.
- [0185] 상기 수직 방향으로 배치된 제2 나노 와이어 패턴들(262b)의 양 단부에는 제2 반도체 구조물(260)이 구비된다. 상기 제2 반도체 구조물(260)에는 제2 MOS 트랜지스터의 제2 소오스/드레인 영역(S2, D2)이 구비될 수 있다. 상기 제2 반도체 구조물(260)은 기판 표면과 접촉된다. 상기 제2 반도체 구조물(260)은 제1 반도체 물질과 제2

반도체 물질이 번갈아가면서 적층된 형상을 갖는다. 상기 제2 반도체 구조물(260)은 제3 내지 제6 반도체 패턴(260a-260d)이 적층된 형상을 갖는다. 상기 제2 나노 와이어 패턴들(262b)은 상기 제2 반도체 물질층으로 형성된 제4 및 제6 반도체 패턴(260b, 260d)과 각각 접촉되는 형상을 가질 수 있다. 그러므로, 상기 제2 반도체 구조물(260)은 상기 제1 반도체 구조물(256)과는 다른 적층 구조를 가질 수 있다.

- [0186] 상기 제1 MOS 트랜지스터는 제1 게이트 절연막(122a), 제1 게이트 전극(124a) 및 제1 소오스/드레인 영역(S1, D1)을 포함할 수 있다. 상기 제2 MOS 트랜지스터는 제2 게이트 절연막(122b), 제2 게이트 전극(124b) 및 제2 소오스/드레인 영역(S2, D2)을 포함할 수 있다.
- [0187] 이와같이, 상기 제1 및 제2 나노 와이어 패턴(258b, 262b)의 수직 길이를 조절함으로써 각 영역에 형성되는 MOS 트랜지스터의 온 전류 특성을 조절할 수 있다. 특히, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.
- [0188] 또한, 본 실시예의 경우, 상기 제1 및 제2 나노 와이어 패턴들(258b, 262b)의 적층 수가 서로 다르게 배치되도록 하여 온 전류 특성을 조절할 수 있다. 또한, 수평 방향으로 영역을 확장하지 않고도 멀티 채널을 갖는 제2 MOS 트랜지스터들을 제공할 수 있다.
- [0189] 도 12a 내지 도 12c는 도 10에 도시된 반도체 소자를 나타내는 사시도이다.
- [0190] 도 12a를 참조하면, 제1 영역 및 제2 영역으로 구분되는 기판 상에 제1 두께(t1)를 갖는 제1 반도체막(252a)을 형성한다. 상기 제1 반도체막(252a)은 제1 반도체 물질을 포함할 수 있다.
- [0191] 상기 제1 반도체막(252a) 상에 제2 두께를 갖는 제2 반도체막(254a)을 형성한다. 상기 제2 두께(t2)는 상기 제1 두께(t1)와 동일하거나 또는 다를 수 있다. 상기 제2 반도체막(254a)은 상기 제1 반도체 물질과 식각 선택비를 갖는 제2 반도체 물질을 포함할 수 있다.
- [0192] 상기 제2 영역에 위치하는 상기 제2 반도체막(254a) 상에 상기 제1 두께(t1)를 갖는 제3 반도체막(252b)을 형성한다. 상기 제3 반도체막(252b)은 상기 제1 반도체 물질을 포함할 수 있다. 상기 제3 반도체막(252b)을 형성하는 방법의 하나로, 먼저 상기 제1 영역에 위치하는 제2 반도체막(254a) 상에 블록킹 패턴을 형성한다. 이 후, 선택적 에피택셜 성장 공정을 통해, 상기 노출되어 있는 제2 영역의 제2 반도체막(254a) 상에 제3 반도체막(252b)을 형성한다. 다음에, 상기 블록킹 패턴을 제거한다.
- [0193] 도 12b를 참조하면, 상기 제2 반도체막(254a) 및 제3 반도체막(252b) 상에 제4 예비 반도체막을 형성한다. 상기 제4 예비 반도체막은 상기 제2 반도체 물질을 포함할 수 있다. 이 후, 상기 제4 예비 반도체막의 상부를 평탄화하여 평탄한 상부면을 갖는 제4 반도체막(254b)을 형성한다.
- [0194] 도시된 것과 같이, 상기 제2 및 제4 반도체막(254a, 254b)은 동일한 반도체 물질로 형성되므로, 상기 제1 영역에서는 상기 제2 및 제4 반도체막(254a, 254b)은 하나의 막으로 제공된다. 따라서, 상기 제1 영역에서는 2층의 반도체막이 적층된다. 반면에, 상기 제2 영역에서는 4층의 반도체막이 적층된다.
- [0195] 본 실시예에서, 상기 제2 반도체 물질로 형성되는 부분이 나노 와이어 패턴으로 제공된다. 그러므로, 상기 제1 영역에는 1개의 제1 나노 와이어 패턴이 형성되고, 상기 제2 영역에는 2개의 제2 나노 와이어 패턴이 형성된다. 또한, 상기 제1 반도체 물질로 형성되는 부분은 후속 공정을 통해 일부 제거되어 각 나노 와이어들 사이의 이격 거리가 된다.
- [0196] 도 12c를 참조하면, 상기 제1 내지 제4 반도체막을 패턴링하여 상기 제1 및 제2 영역에 각각 제1 및 제2 예비 액티브 구조물(280, 282)을 형성한다.
- [0197] 이 후, 도 4d 내지 도 4i를 참조로 설명한 것과 동일한 공정들을 수행하여 도 10에 도시된 반도체 소자를 완성한다.
- [0198] 도 13은 본 발명의 실시예 5에 따른 반도체 소자를 나타내는 사시도이다. 도 14는 도 13에서 제1 및 제2 나노 와이어 패턴을 나타내는 사시도이다.
- [0199] 도 13에 도시된 반도체 소자는 제1 및 제2 MOS 트랜지스터는 나노 와이어 패턴이 제3 방향으로 적층되는 멀티 채널 구조를 가질 수 있다.

- [0200] 도 13 및 도 14를 참조하면, 기판(100)의 제1 영역에는 수직 방향으로 서로 이격되는 제1 나노 와이어 패턴들(308b)이 구비되고, 상기 제1 나노 와이어 패턴들(308b)에는 제1 MOS트랜지스터가 구비된다. 또한, 상기 기판의 제2 영역에는 수직 방향으로 서로 이격되는 제2 나노 와이어 패턴들(312b)이 구비되고, 상기 제2 나노 와이어 패턴들(312b)에는 제2 MOS 트랜지스터가 구비된다.
- [0201] 상기 기판의 제1 영역에 구비되는 제1 나노 와이어 패턴들(308b)은 도 1에서 설명한 제1 나노 와이어 패턴(108b)과 동일한 구성을 가질 수 있다. 상기 기판의 제2 영역에 구비되는 제2 나노 와이어 패턴들(312b)은 도 1에서 설명한 제2 나노 와이어 패턴(112b)과 동일한 구성을 가질 수 있다. 즉, 도 14에 도시된 것과 같이, 상기 제1 나노 와이어 패턴(308b)은 상기 제2 나노 와이어 패턴들(312b)보다 더 큰 용적을 갖는다. 또한, 상기 제1 나노 와이어 패턴들(308b)의 횡단면에서 제1 수직 길이(H1)는 상기 제2 나노 와이어 패턴들(312b)의 횡단면에서 제2 수직 길이(H2)보다 더 길다.
- [0202] 상기 제1 나노 와이어 패턴들(308b)은 기판 표면으로부터 수직인 제3 방향으로 서로 나란하게 배치될 수 있다. 또한, 상기 제2 나노 와이어 패턴들(312b)은 기판 표면으로부터 수직인 제3 방향으로 서로 나란하게 배치될 수 있다. 그러나, 상기 제1 및 제2 나노 와이어 패턴(308b, 312b)은 동일한 수로 구비되지 않고, 제2 나노 와이어 패턴들(312b)이 더 많이 구비될 수 있다.
- [0203] 이와같이, 상기 제1 및 제2 나노 와이어 패턴들(308b, 312b)의 수직 길이를 조절함으로써 각 영역에 형성되는 MOS 트랜지스터의 온 전류 특성을 조절할 수 있다. 특히, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.
- [0204] 또한, 본 실시예의 경우, 상기 제1 및 제2 나노 와이어 패턴들(308b, 312b)의 적층 수가 서로 다르게 배치되도록 하여 온 전류 특성을 조절할 수 있다. 또한, 수평 방향으로 영역을 확장하지 않고도 멀티 채널을 갖는 제1 및 제2 MOS 트랜지스터들을 제공할 수 있다.
- [0205] 도 15a 내지 도 15c는 도 13에 도시된 반도체 소자의 제조 방법을 설명하기 위한 사시도들이다.
- [0206] 먼저, 도 12a 및 도 12b를 참조로 설명한 것과 동일한 공정을 수행하여, 제1 내지 제4 반도체막(302a, 304a, 302b, 304b)을 형성한다.
- [0207] 도 15a를 참조하면, 상기 제4 반도체막(304b) 상에 상기 제1 두께를 갖는 제5 반도체막(302c)을 형성한다. 상기 제5 반도체막(302c)은 상기 제1 반도체 물질로 형성될 수 있다. 이후, 상기 제5 반도체막(302c) 상에 상기 제2 두께를 갖는 제6 반도체막(304c)을 형성한다. 상기 제6 반도체막(304c)은 상기 제2 반도체 물질로 형성될 수 있다. 상기 제5 및 제6 반도체막(302c, 304c)을 형성하는 공정은 도 12a에서 제1 및 제2 반도체막을 형성하는 공정과 동일할 수 있다.
- [0208] 상기 제2 영역에 위치하는 상기 제6 반도체막(304c) 상에 상기 제1 두께를 갖는 제7 반도체막(302d)을 형성한다. 상기 제7 반도체막(302d)은 상기 제1 반도체 물질을 포함할 수 있다. 상기 제7 반도체막(302d)을 형성하는 공정은 도 12a에서 제3 반도체막(302b)을 형성하는 공정과 동일할 수 있다.
- [0209] 도 15b를 참조하면, 상기 제6 반도체막(304c) 및 제7 반도체막(302d) 상에 제8 예비 반도체막을 형성한다. 상기 제8 예비 반도체막은 상기 제2 반도체 물질을 포함할 수 있다. 이후, 상기 제8 예비 반도체막의 상부를 평탄화하여 평탄한 상부면을 갖는 제8 반도체막(304e)을 형성한다.
- [0210] 도시된 것과 같이, 상기 제1 영역에서는 4층의 반도체막이 적층된다. 반면에, 상기 제2 영역에서는 8층의 반도체막이 적층된다.
- [0211] 본 실시예에서, 상기 제2 반도체 물질로 형성되는 부분이 나노 와이어 패턴으로 제공된다. 그러므로, 상기 제1 영역에는 2개의 제1 나노 와이어 패턴이 형성되고, 상기 제2 영역에는 4개의 제2 나노 와이어 패턴이 형성된다. 또한, 상기 제1 반도체 물질로 형성되는 부분은 후속 공정을 통해 일부 제거되어 각 나노 와이어 패턴들 사이의 이격 거리가 된다.
- [0212] 도 15c를 참조하면, 상기 제1 내지 제8 반도체막(302a~302d, 304a~304e)을 패터닝하여 상기 제1 및 제2 영역에 각각 제1 및 제2 예비 액티브 구조물(330, 332)을 형성한다.
- [0213] 이후, 도 4d 내지 도 4i를 참조로 설명한 것과 동일한 공정들을 수행하여 도 13에 도시된 반도체 소자를 완성

한다.

- [0214] 도 16은 본 발명의 실시예 6에 따른 반도체 소자를 나타내는 사시도이다. 도 17은 도 16에서 제1 및 제2 나노 와이어 패턴을 나타내는 사시도이다.
- [0215] 도 16 및 도 17을 참조하면, 기관의 제1 영역에는 제1 나노 와이어 패턴(358b)이 구비되고, 상기 제1 나노 와이어 패턴(358b)에는 제1 MOS트랜지스터가 구비된다. 또한, 상기 기관의 제2 영역에는 제2 나노 와이어 패턴(362b)이 구비되고, 상기 제2 나노 와이어 패턴(362b)에는 제2 MOS 트랜지스터가 구비된다.
- [0216] 도 17에 도시된 것과 같이, 상기 제1 및 제2 나노 와이어 패턴(358b, 362b)의 상부면은 서로 다른 평면 상에 위치한다. 즉, 상기 제2 나노 와이어 패턴(362b)의 상부면은 상기 제1 나노 와이어 패턴(358b)의 상부면보다 낮게 위치한다. 이에 따라, 상기 제2 나노 와이어 패턴(362b)과 연결되는 제2 반도체 구조물(360)은 상기 제1 나노 와이어 패턴(358b)과 연결되는 제1 반도체 구조물(356)보다 낮은 높이를 가질 수 있다.
- [0217] 상기 제1 및 제2 나노 와이어 패턴(358b, 362b)은 도 1에서 설명한 제1 및 제2 나노 와이어 패턴(108b, 112b) 과 각각 동일한 형상을 가질 수 있다.
- [0218] 상기 제1 반도체 구조물(356)은 제1 절연막 패턴(356a) 및 제1 반도체 패턴(356b)이 적층되는 구조를 갖는다. 상기 제1 나노 와이어 패턴(358b)은 상기 제1 반도체 패턴(356b)과 접촉된다. 상기 제2 반도체 구조물(360)은 제2 절연막 패턴(360a) 및 제2 반도체 패턴(360b)이 적층되는 구조를 갖는다. 상기 제2 나노 와이어 패턴(362b)은 상기 제2 반도체 패턴(360b)과 접촉된다. 상기 제1 및 제2 절연막 패턴(356a, 360a)은 실리콘 산화물을 포함할 수 있다.
- [0219]
- [0220] 도 18a 및 도 18b는 도 16에 도시된 반도체 소자를 나타내는 사시도이다.
- [0221] 도 18a를 참조하면, 하부 실리콘(101), 실리콘 산화물(350a) 및 상부 실리콘(352a)이 적층된 구조의 SOI 기관을 마련한다. 상기 SOI 기관은 제1 영역 및 제2 영역이 구분된다. 상기 SOI 기관에 상기 제1 영역에서 제1 두께를 갖고 상기 제2 영역에서 상기 제1 두께보다 얇은 제2 두께를 갖는 제1 반도체막(352a, 352b)을 형성한다. 상기 제1 반도체막(352a, 352b)은 단결정 실리콘을 포함할 수 있다.
- [0222] 도 18a에 도시된 것과 같이, 상기 제1 영역의 SOI 기관의 상부면에만 선택적으로 반도체막(352b)을 형성할 수 있다. 따라서, 상기 제1 반도체막(352a, 352b)은 SOI 기관의 상부 실리콘(352a) 및 반도체막(352b)을 포함할 수 있다.
- [0223] 이와는 다른 예로, 별도의 반도체막을 형성하지 않고, 상부 실리콘(352a)만으로 제1 반도체막을 형성할 수도 있다. 이 경우에는, 상기 제2 영역에 형성된 상부 실리콘(352a)을 일부 두께만큼 식각하여 상기 제1 반도체막을 형성할 수 있다.
- [0224] 즉, 상기 제1 반도체막(352a, 352b)은 상기 실리콘 산화물(350a) 상에 형성되며, 상기 제1 영역에서는 제1 두께를 갖고 상기 제2 영역에서는 상기 제1 두께보다 얇은 제2 두께를 갖는다.
- [0225] 본 실시예에서는, 후속 공정을 통해, 상기 제1 반도체막((352a, 352b)이 제1 및 제2 나노 와이어 패턴으로 제공된다.
- [0226] 도 18b를 참조하면, 상기 제1 반도체막(352a, 352b) 및 실리콘 산화물(350a)을 패터닝하여 상기 제1 및 제2 영역에 각각 제1 및 제2 예비 채널 구조물(380)을 형성한다. 상기 제1 및 제2 예비 채널 구조물(382)은 산화막 및 반도체막이 적층된 형상을 가질 수 있다.
- [0227] 본 실시예에서는, 상기 SOI기관에 형성되어 있는 실리콘 산화물(350a)이 후속 공정에서 제거되는 희생막으로 제공된다. 즉, 본 실시예의 상기 실리콘 산화물(350a)은 도 1의 설명의 제1 반도체막과 동일한 역할을 하며, 본 실시예의 상기 제1 반도체막은 도 1의 설명의 제2 반도체막과 동일한 역할을 한다.
- [0228] 이 후, 도 4d 내지 도 4i를 참조로 설명한 공정들을 수행하여 도 16에 도시된 구조를 형성할 수 있다. 다만, 상기 4g의 설명에서 선택적으로 제거되는 부분은 상기 산화물(350a)이 될 수 있다.
- [0229] 상기 공정에 의하면, 상기 제1 및 제2 나노 와이어 패턴의 수직 길이를 조절함으로써 각 영역에 형성되는 MOS 트랜지스터의 온 전류 특성을 조절할 수 있다. 특히, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목

표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.

- [0230] 도 19는 본 발명의 실시예 7에 따른 반도체 소자를 나타내는 사시도이다.
- [0231] 도 19에 도시된 반도체 소자는 제1 및 제2 반도체 구조물과 제1 및 제2 게이트 구조물의 형상을 제외하고는 실시예 1과 동일하다.
- [0232] 도 19를 참조하면, 기판의 제1 영역에는 제1 나노 와이어 패턴(108b)이 구비되고, 상기 제1 나노 와이어 패턴(108a)에는 제1 MOS트랜지스터가 구비된다. 또한, 상기 기판의 제2 영역에는 제2 나노 와이어 패턴(112b)이 구비되고, 상기 제2 나노 와이어 패턴(112b)에는 제2 MOS 트랜지스터가 구비된다.
- [0233] 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)은 도 1을 참조로 설명한 제1 및 제2 나노 와이어 패턴과 동일한 구조를 갖는다.
- [0234] 제1 반도체 구조물(107)은 상기 제1 나노 와이어 패턴(108b)의 양 단부와 연결될 수 있다. 상기 제1 반도체 구조물(107)은 상기 기판(100)과 접촉되지 않고 상기 기판(100)으로부터 이격되는 형상을 갖는다. 상기 제1 반도체 구조물(107)은 상기 제1 나노 와이어 패턴(108b)과 동일한 물질로 형성될 수 있다. 상기 제1 반도체 구조물(107)에는 상기 제1 MOS 트랜지스터의 제1 소오스/드레인 영역(S1, D1)이 구비될 수 있다.
- [0235] 제2 반도체 구조물(111)은 상기 제2 나노 와이어 패턴(112b)의 양 단부와 연결될 수 있다. 상기 제2 반도체 구조물(111)은 상기 기판(100)과 접촉되지 않고 상기 기판(100)으로부터 이격되는 형상을 갖는다. 상기 제2 반도체 구조물(111)은 상기 제2 나노 와이어 패턴(112b)과 동일한 물질로 형성될 수 있다. 상기 제2 반도체 구조물(111)에는 상기 제2 MOS 트랜지스터의 제2 소오스/드레인 영역(S2, D2)이 구비될 수 있다.
- [0236] 상기 제1 나노 와이어 패턴(108b)의 표면 상에 제1 게이트 절연막(142a)이 구비된다. 상기 제1 게이트 절연막(142a) 상에는 제1 게이트 전극(144a)이 구비된다. 상기 제1 게이트 전극(144a)은 상기 제1 나노 와이어 패턴(108b)의 표면을 둘러싸는 형상을 가질 수 있다. 그러나, 상기 제1 게이트 전극(144a)은 상기 제1 나노 와이어 패턴(108b)의 저면과는 접촉되지 않을 수 있다. 즉, 상기 제1 게이트 전극(144a)은 적어도 상기 제1 나노 와이어 패턴(108b)의 측벽 및 상부면 부위를 둘러싸면서 상기 제1 나노 와이어 패턴(108b)을 지지하는 형상을 가질 수 있다.
- [0237] 상기 제2 나노 와이어 패턴(112b)의 표면 상에 제2 게이트 절연막(142b)이 구비된다. 상기 제2 게이트 절연막(142b) 상에는 제2 게이트 전극(144b)이 구비된다. 상기 제2 게이트 전극(144b)은 상기 제2 나노 와이어 패턴(112b)의 표면을 둘러싸는 형상을 가질 수 있다. 그러나, 상기 제2 게이트 전극(144b)은 상기 제1 나노 와이어 패턴(108b)의 저면과는 접촉되지 않을 수 있다. 즉, 상기 제2 게이트 전극(144b)은 적어도 상기 제2 나노 와이어 패턴(112b)의 측벽 및 상부면 부위를 둘러싸면서 상기 제2 나노 와이어 패턴(112b)을 지지하는 형상을 가질 수 있다.
- [0238] 도시하지는 않았지만, 상기 제1 및 제2 나노 와이어 패턴, 제1 및 제2 게이트 전극 및 제1 및 제2 반도체 구조물들을 덮는 층간 절연막이 구비될 수 있다. 따라서, 상기 제1 및 제2 나노 와이어 패턴과 상기 제1 및 제2 반도체 구조물은 상기 층간 절연막에 의해 지지될 수 있다.
- [0239] 도 20은 도 19에 도시된 반도체 소자의 제조 방법을 나타내는 사시도이다.
- [0240] 먼저, 도 4a 내지 도 4d를 참조로 설명한 것과 동일한 공정을 수행하여, 도 4d에 도시된 구조를 형성한다.
- [0241] 도 20을 참조하면, 상기 제1 및 제2 나노 와이어 구조물(108, 112)의 표면 상에 제1 및 제2 게이트 절연막(도시 안됨)을 형성한다. 상기 제1 및 제2 게이트 절연막은 상기 기판(100) 및 제1 및 제2 반도체 구조물(106, 110)의 표면 상에도 형성될 수 있다.
- [0242] 상기 제1 및 제2 게이트 절연막(142a, 142b) 상에 상기 기판(100), 제1 및 제2 예비 액티브 구조물(130, 132)을 덮는 게이트 전극막을 형성한다. 상기 게이트 전극막을 패터닝하여 제1 및 제2 게이트 전극(144a, 144b)을 형성한다. 즉, 상기 제1 게이트 전극(144a)은 상기 제1 나노 와이어 구조물(108)을 가로지르는 형상을 갖는다. 상기 제2 게이트 전극(144b)은 상기 제2 나노 와이어 구조물(112)을 가로지르는 형상을 갖는다.
- [0243] 이 후, 상기 제1 및 제2 예비 액티브 구조물(130, 132)에 포함되어 있는 제1 반도체막을 선택적으로 제거한다.

상기 제거 공정을 수행하면, 상기 기판으로부터 이격되는 제1 및 제2 나노 와이어 패턴(108b, 112b)과 제1 및 제2 반도체 구조물(107, 111)이 형성된다. 상기 제1 및 제2 나노 와이어 패턴(108b, 112b)과 상기 제1 및 제2 반도체 구조물(107, 111)은 상기 제1 및 제2 게이트 전극(144a, 144b)에 의해 지지된다. 따라서, 도 19에 도시된 것과 같은 구조가 형성된다.

[0244] 계속하여, 도시하지는 않았지만, 상기 제1 및 제2 나노 와이어 패턴(108b, 112b), 상기 제1 및 제2 게이트 전극(144a, 144b), 제1 및 제2 반도체 구조물(106, 110)을 덮는 층간 절연막을 형성할 수 있다.

[0245] 상기 공정에 의하면, 상기 제1 및 제2 나노 와이어 패턴의 수직 길이를 조절함으로써 각 영역에 형성되는 MOS 트랜지스터의 온 전류 특성을 조절할 수 있다. 특히, 반도체 소자가 차지하는 수평 영역을 확장하지 않고도 목표한 온 전류를 갖는 MOS 트랜지스터들을 제공할 수 있다.

[0246] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

산업상 이용가능성

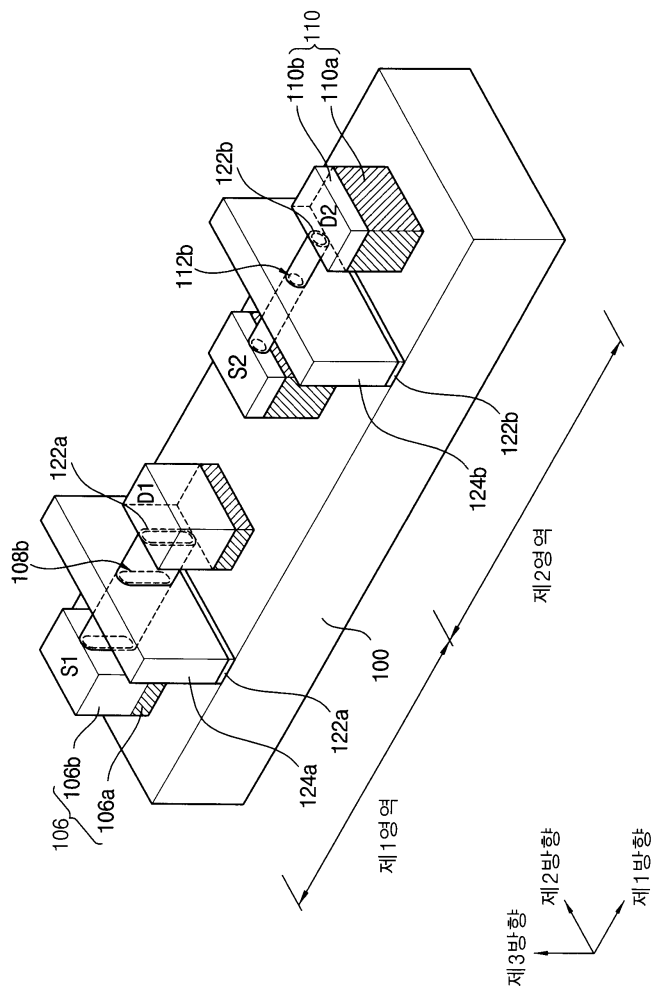
[0247] 본 발명의 실시예들에 따르면, 다양한 높이를 갖는 콘택 플러그들을 용이하게 형성할 수 있다. 그러므로, 본 발명에 따른 방법은 콘택 플러그들을 포함하는 반도체 소자에 적용할 수 있다. 특히, 수직 방향으로 셀들이 적층되는 반도체 메모리 소자에 적용될 수 있다.

부호의 설명

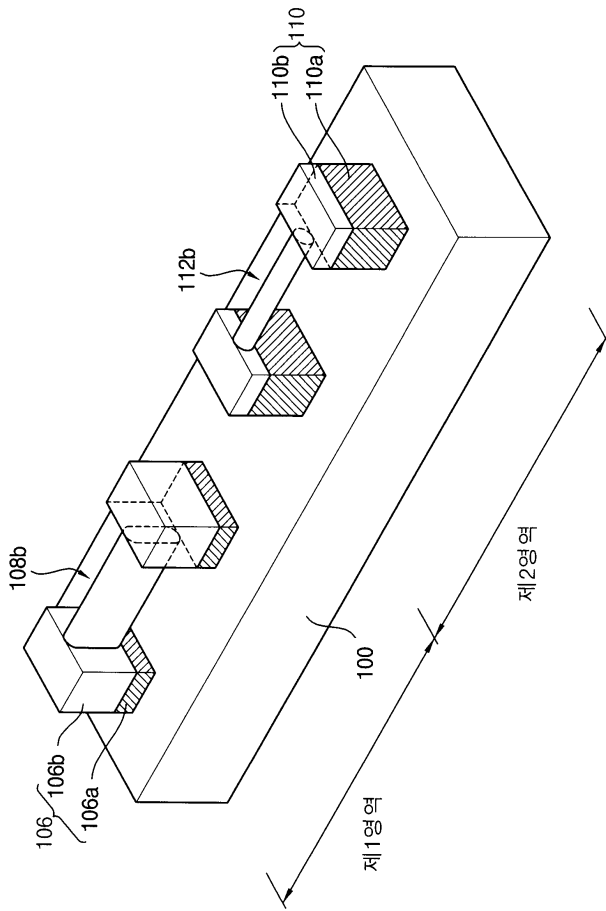
- [0248] 100 : 기판
- 108b, 208b, : 제1 나노 와이어 패턴
- 112b, 212b : 제2 나노 와이어 패턴
- 106, 206 : 제1 반도체 구조물
- 110, 210 : 제2 반도체 구조물
- S1, D1 : 제1 소오스/드레인 영역
- S2, D2 : 제2 소오스/드레인 영역
- 130, 132 : 제1 및 제2 예비 액티브 구조물
- 108 : 제1 나노 와이어 구조물
- 112 : 제2 나노 와이어 구조물
- 114a, 114b : 제1 및 제2 더미 게이트 패턴
- 118 : 층간 절연막
- 120a, 120b : 제1 및 제2 개구부
- 124a, 124b : 제1 및 제2 게이트 전극

도면

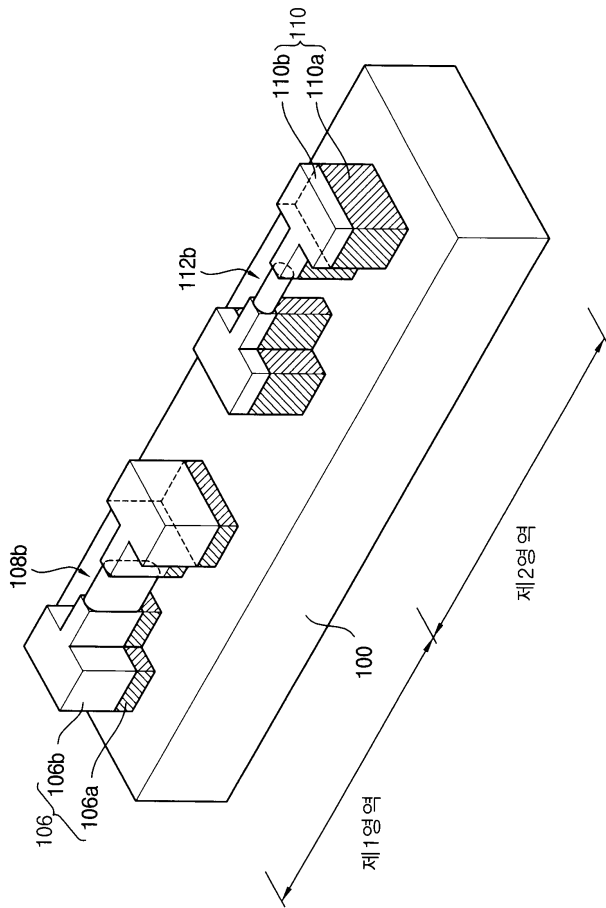
도면1



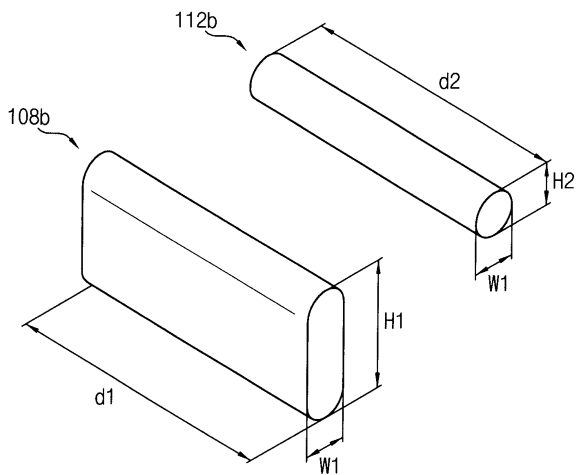
도면2a



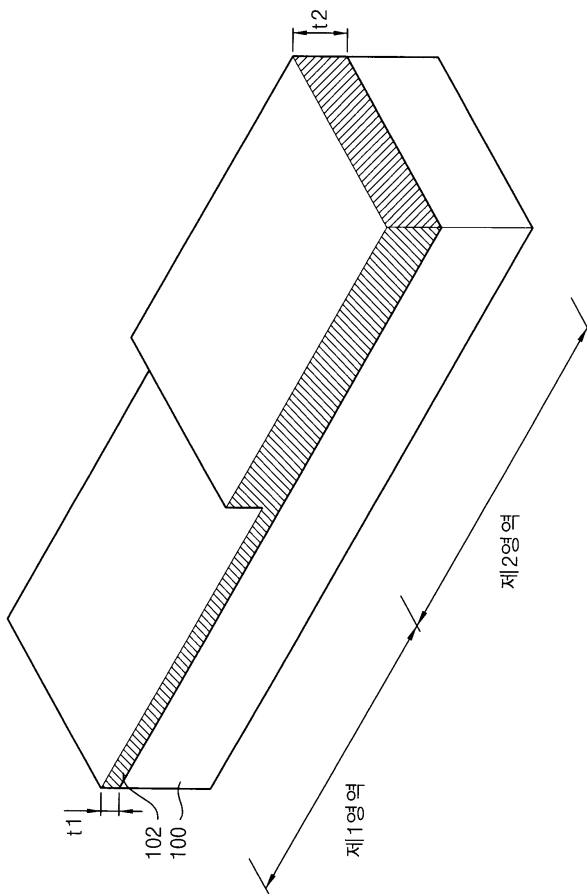
도면2b



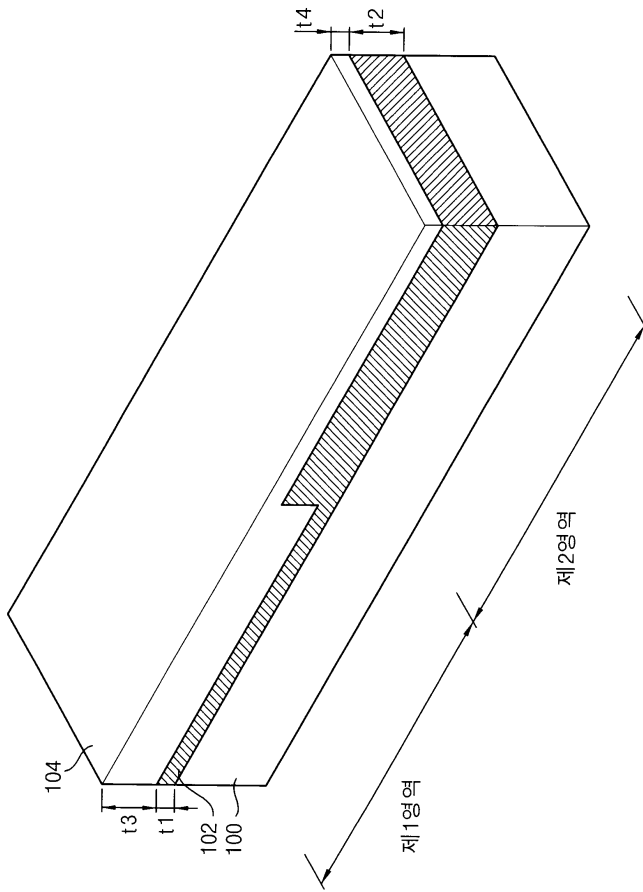
도면3



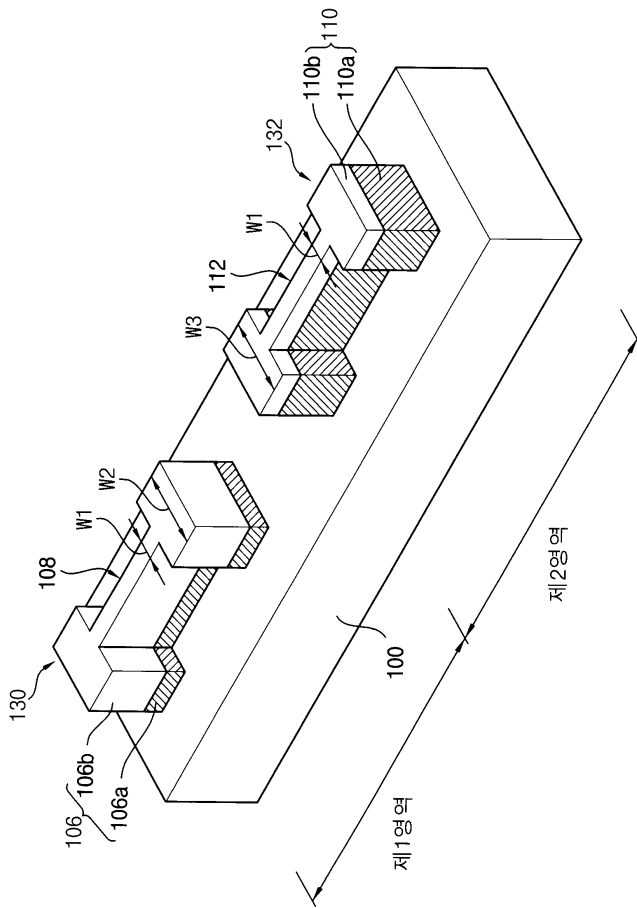
도면4a



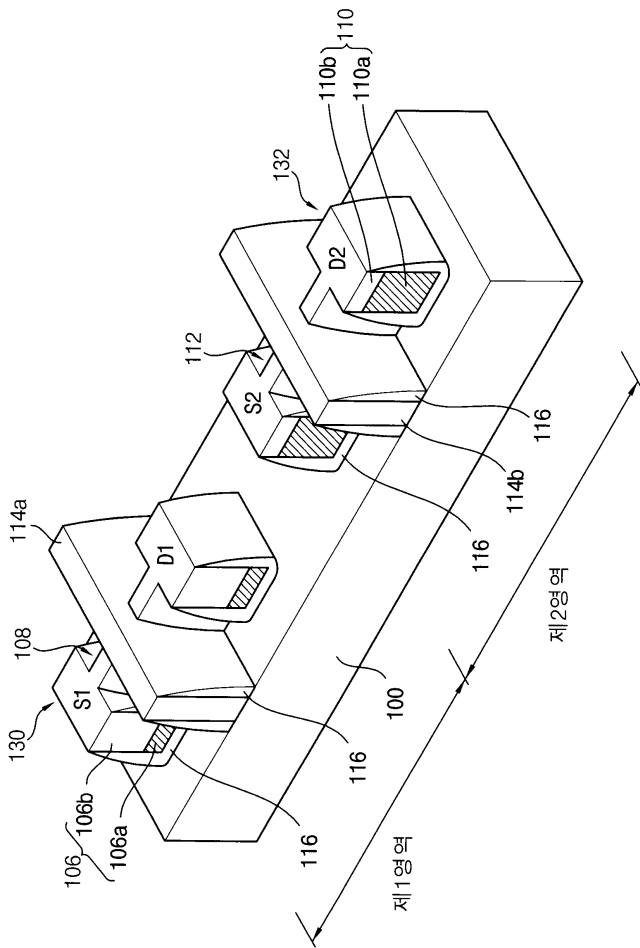
도면4b



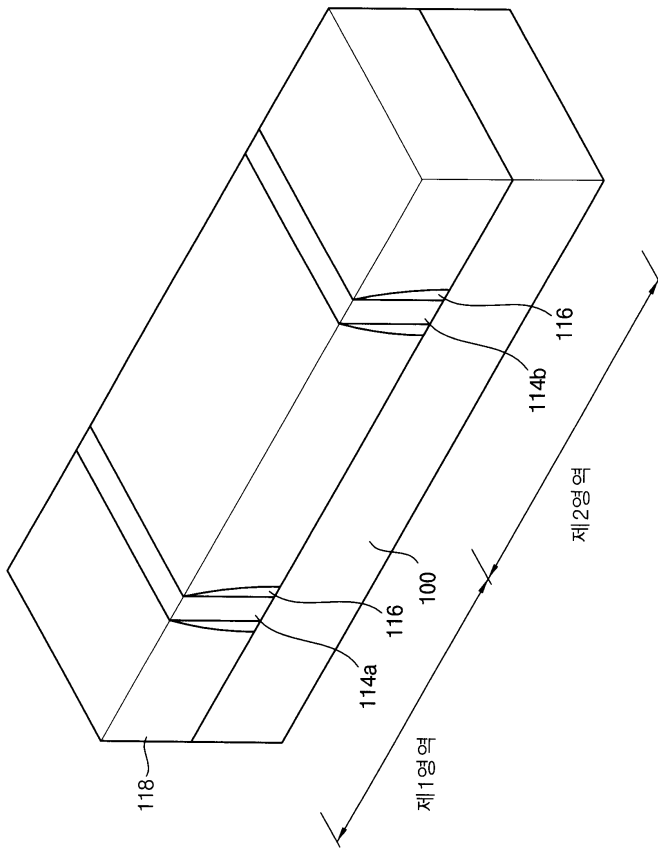
도면4c



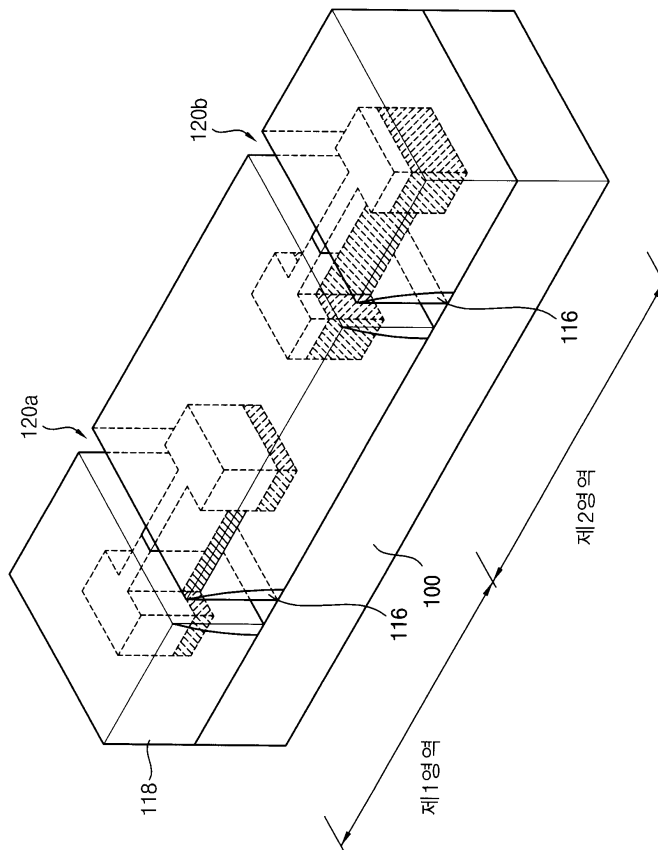
도면4d



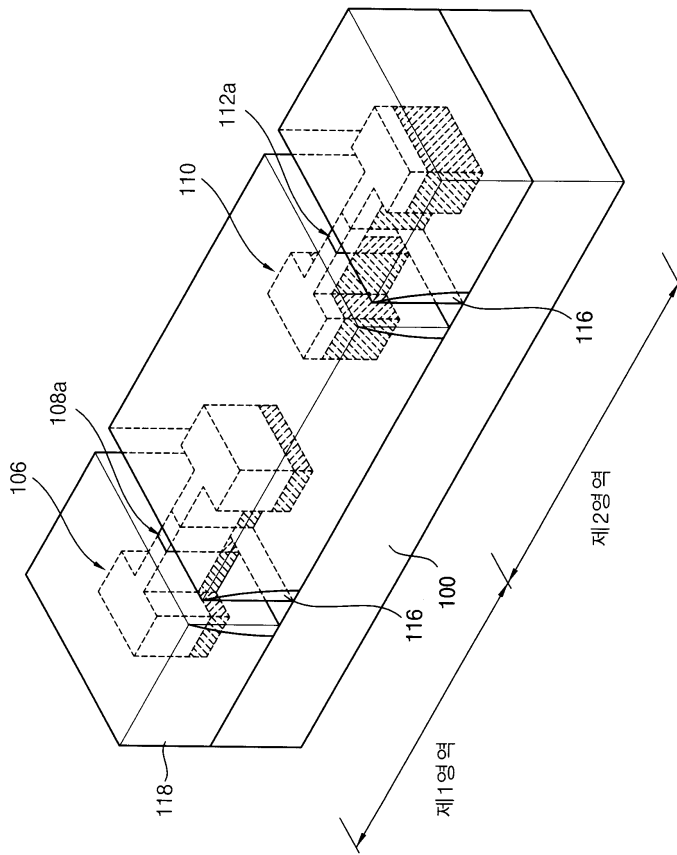
도면4e



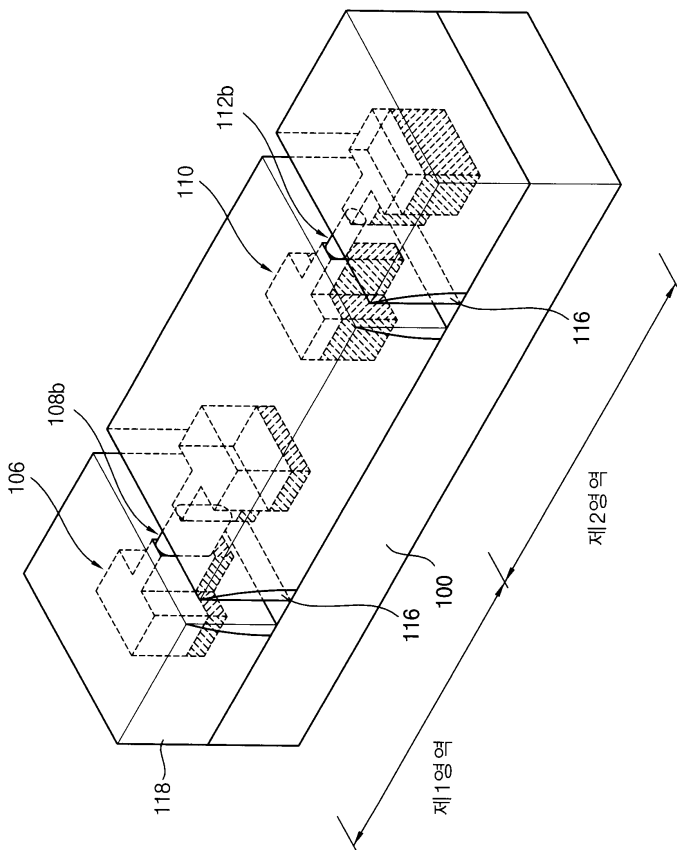
도면4f



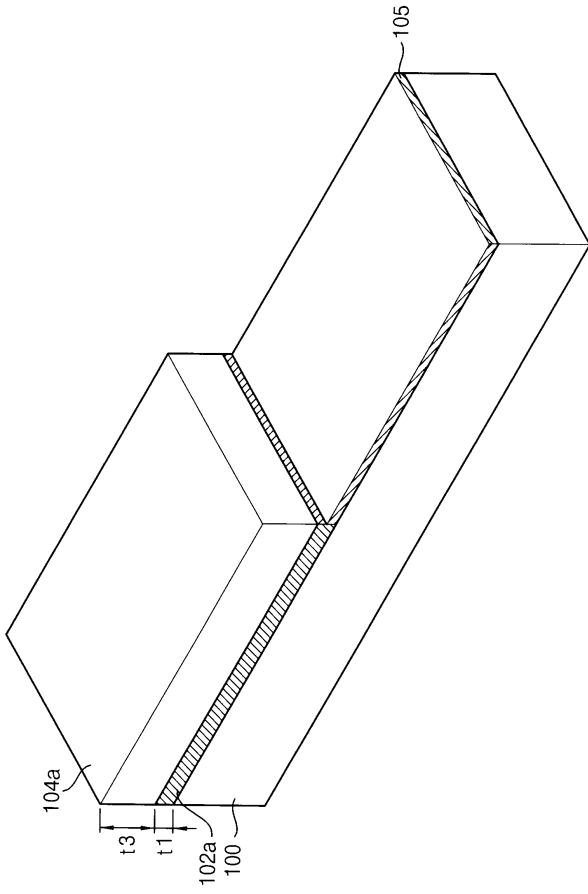
도면4g



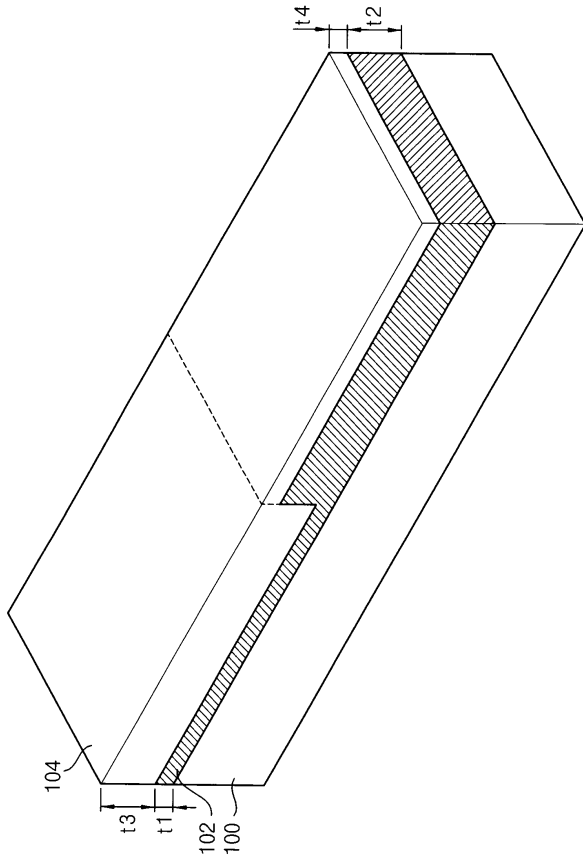
도면4h



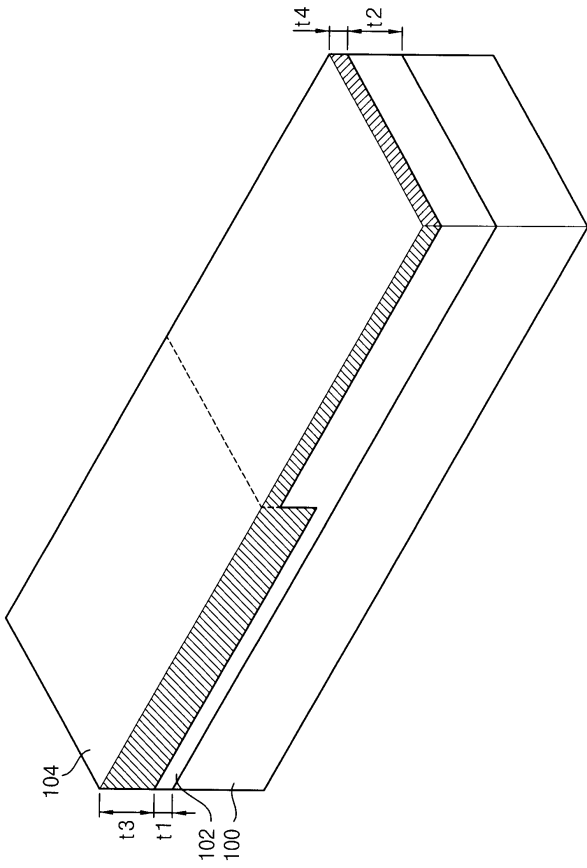
도면5a



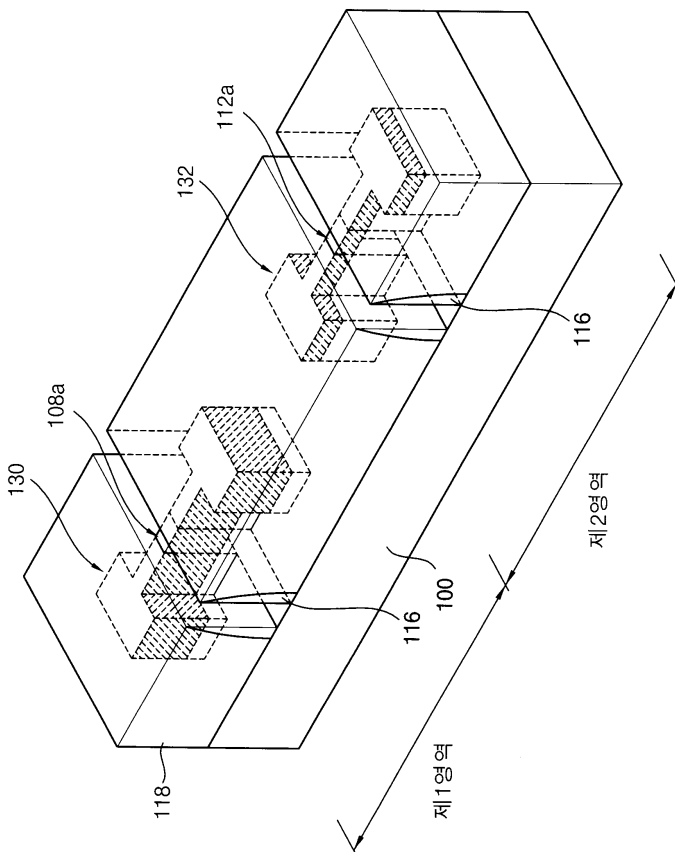
도면5b



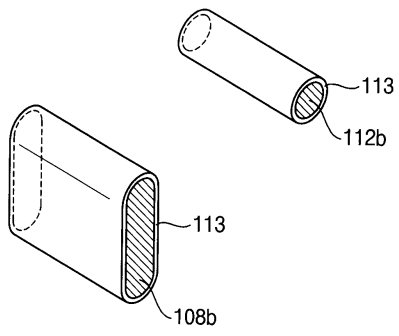
도면6a



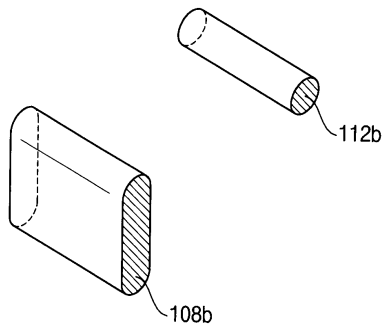
도면6b



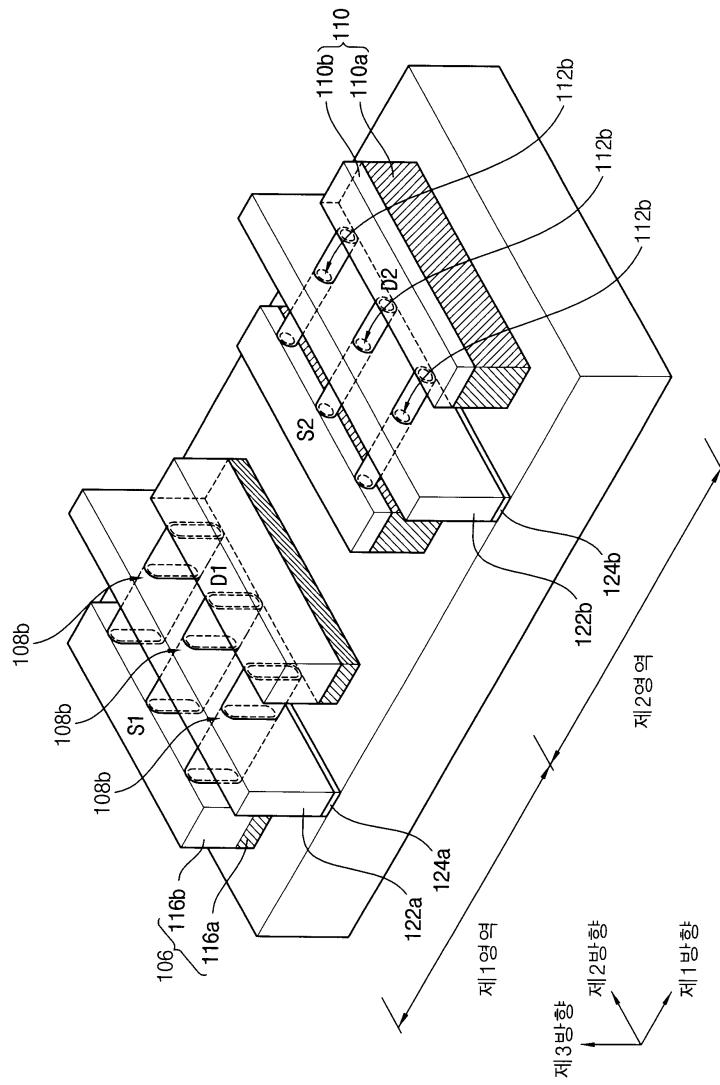
도면6c



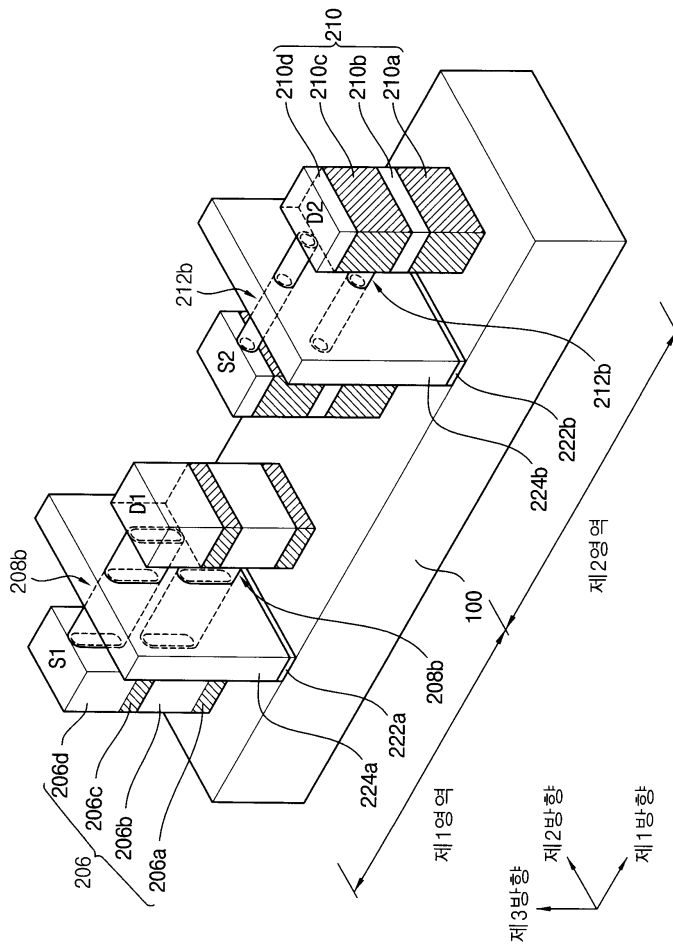
도면6d



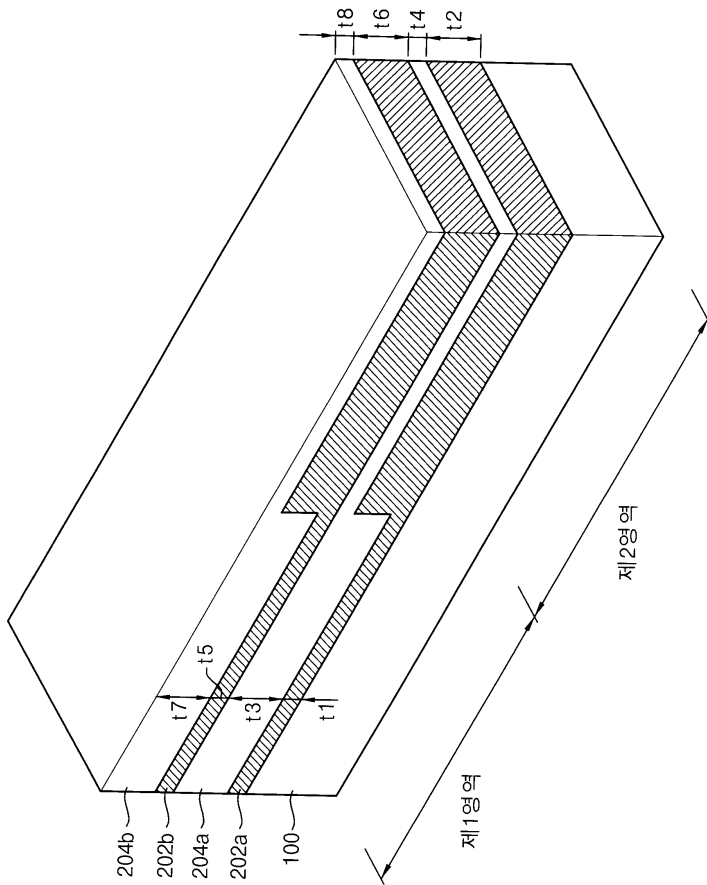
도면7



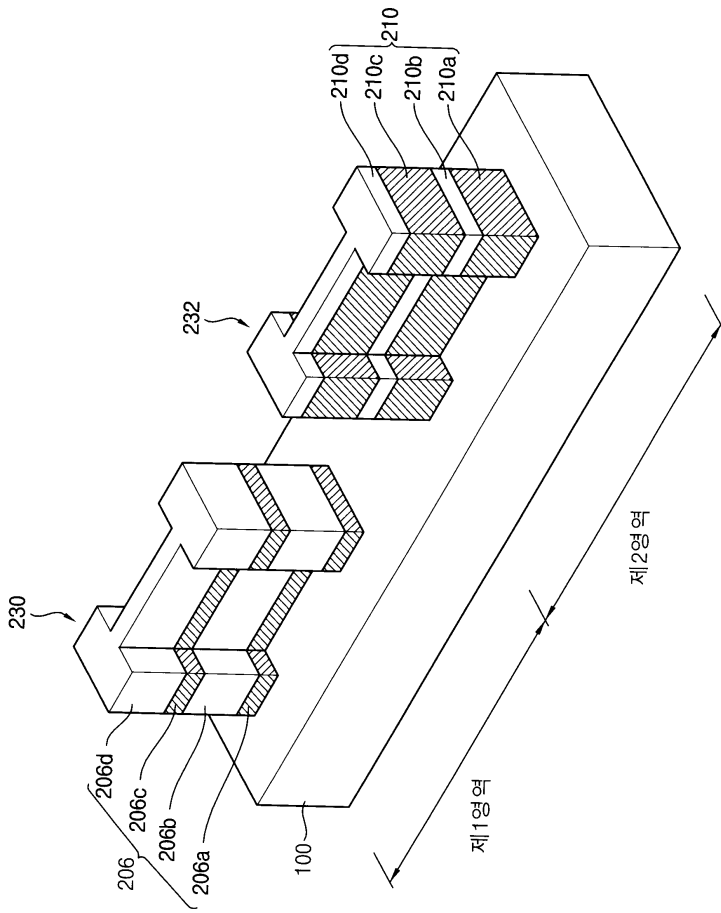
도면8



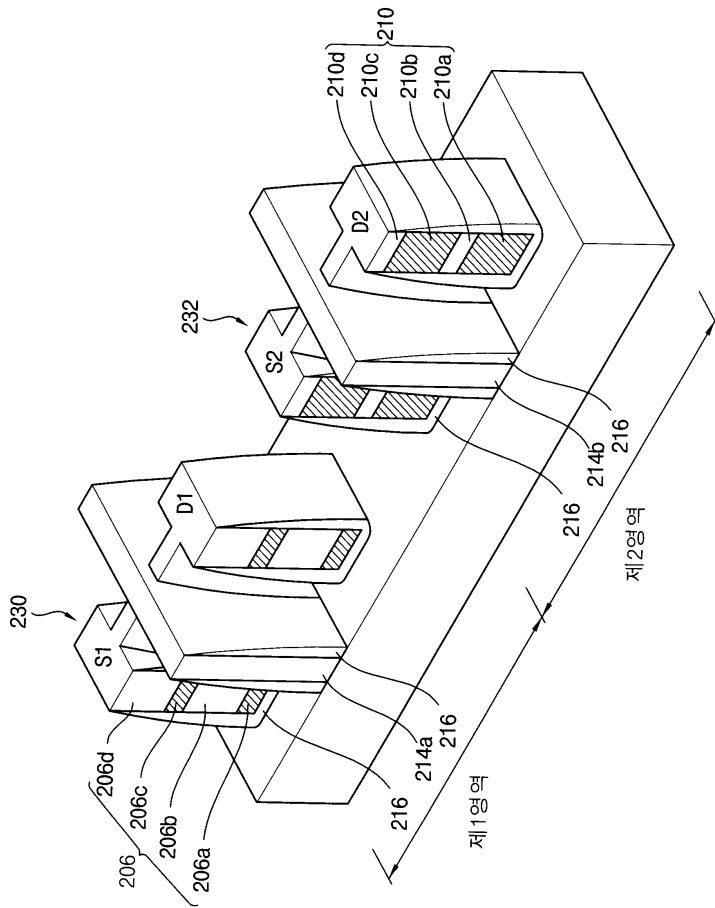
도면9a



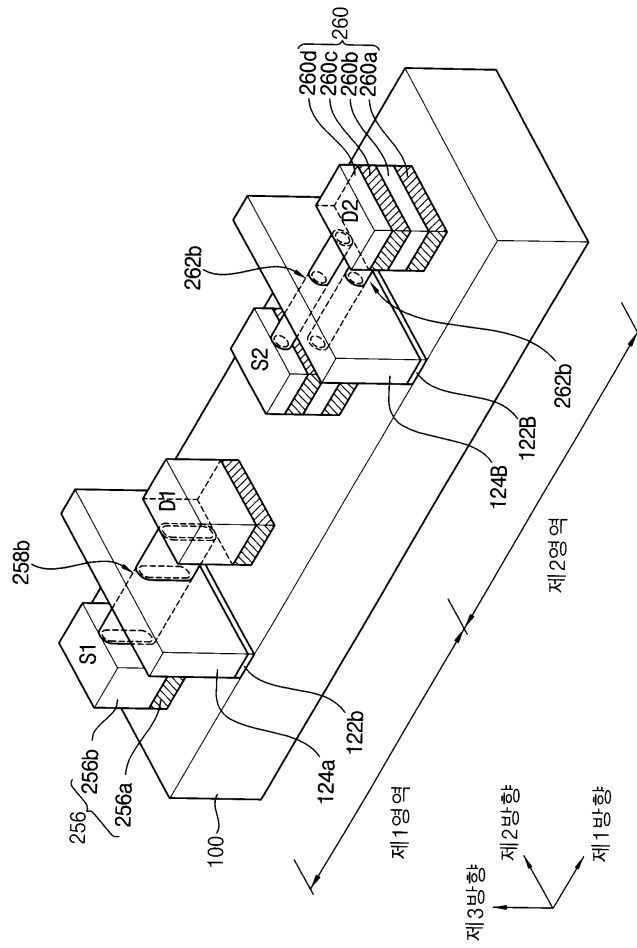
도면9b



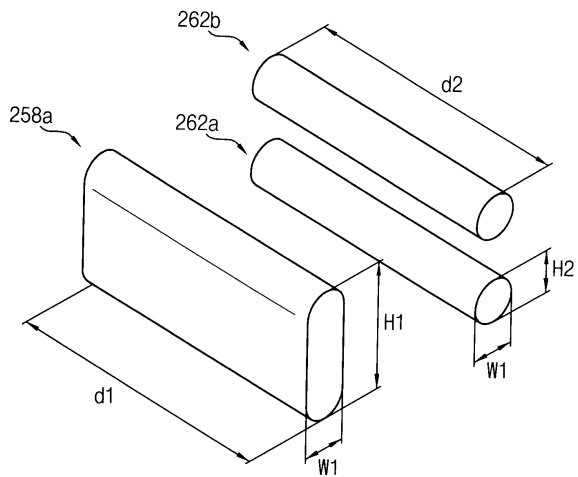
도면9c



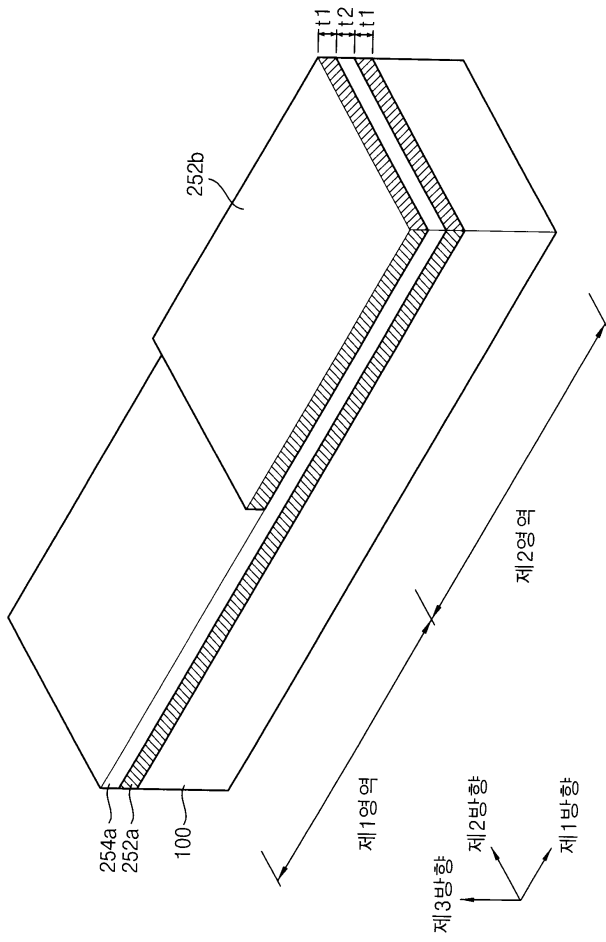
도면10



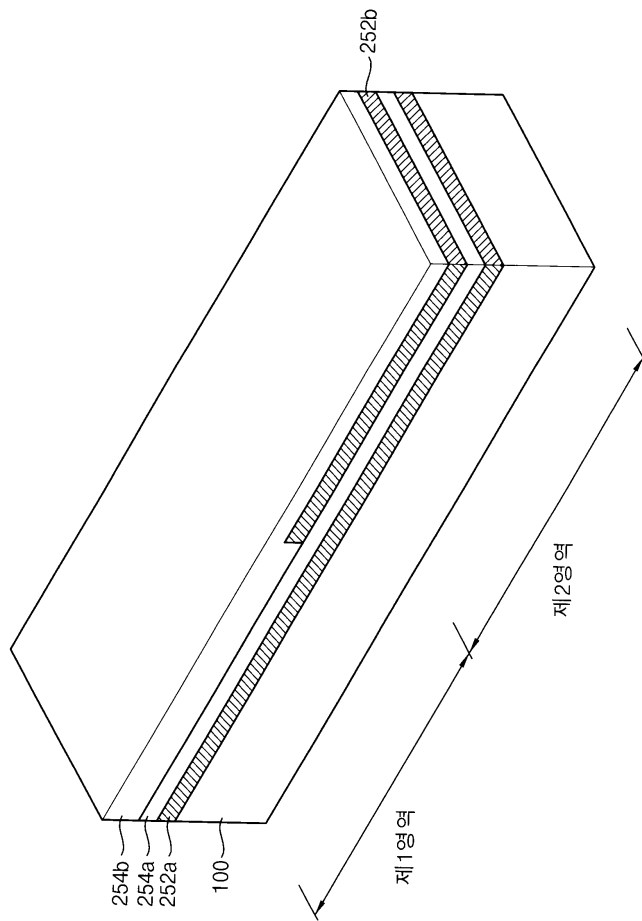
도면11



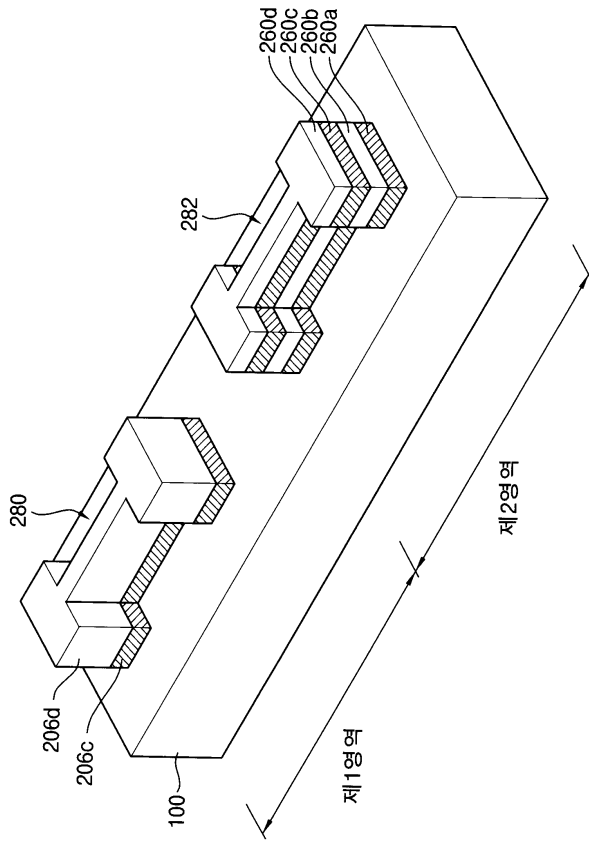
도면12a



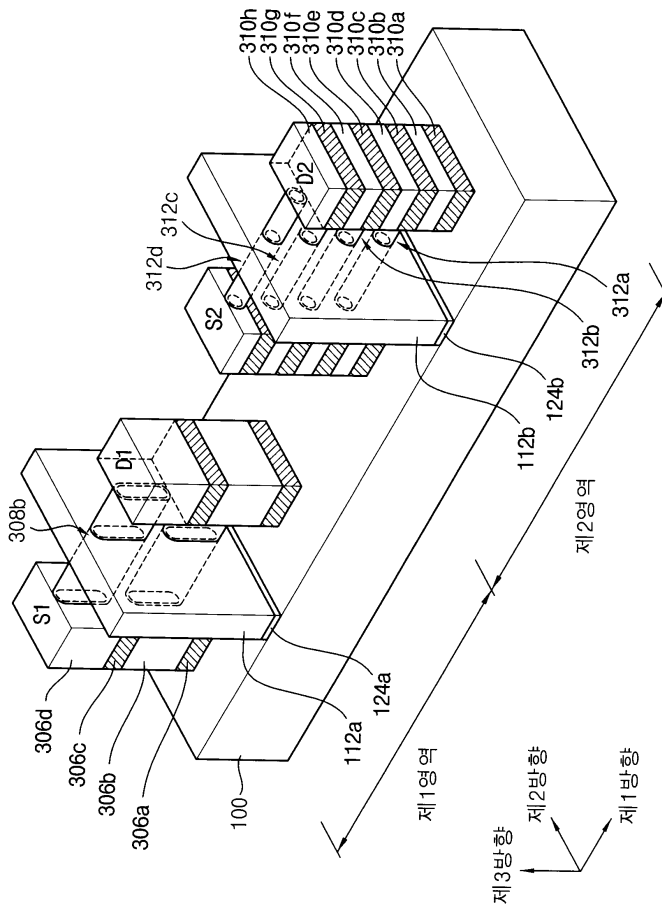
도면12b



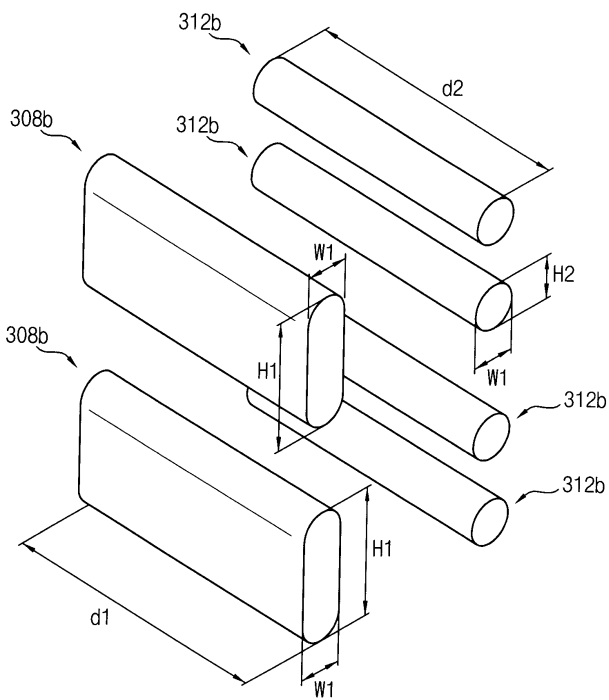
도면12c



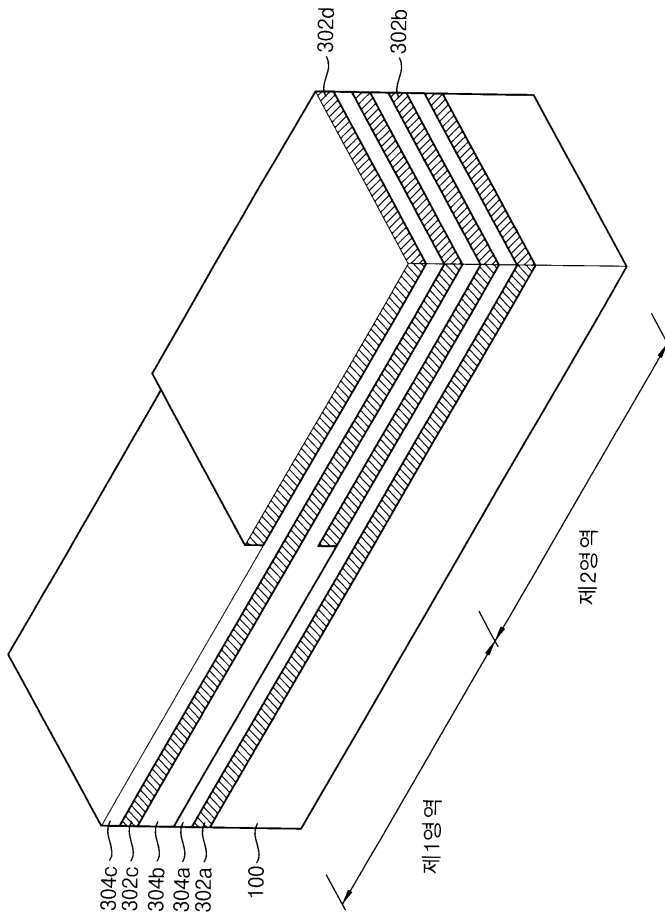
도면13



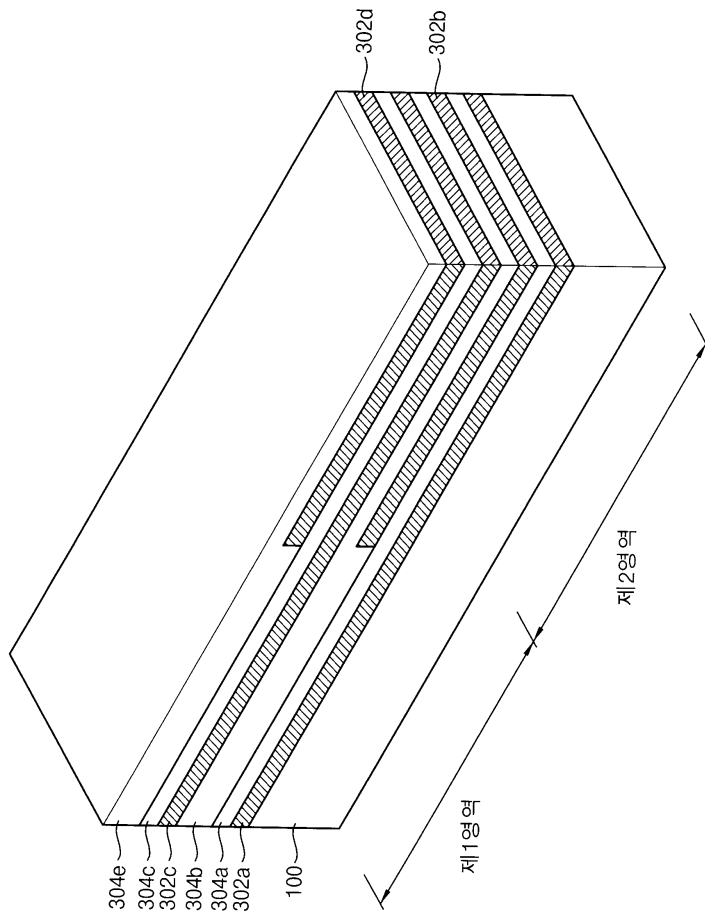
도면14



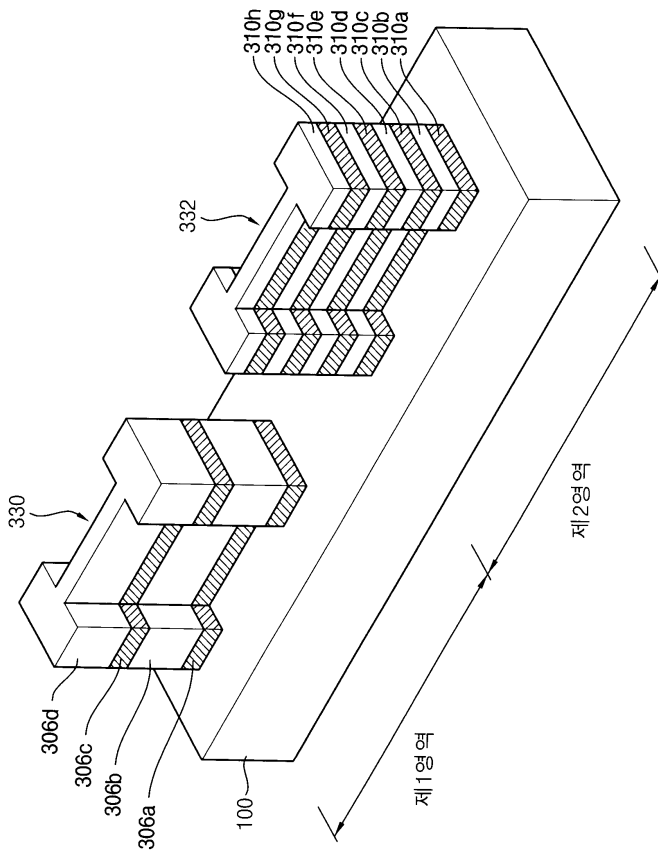
도면15a



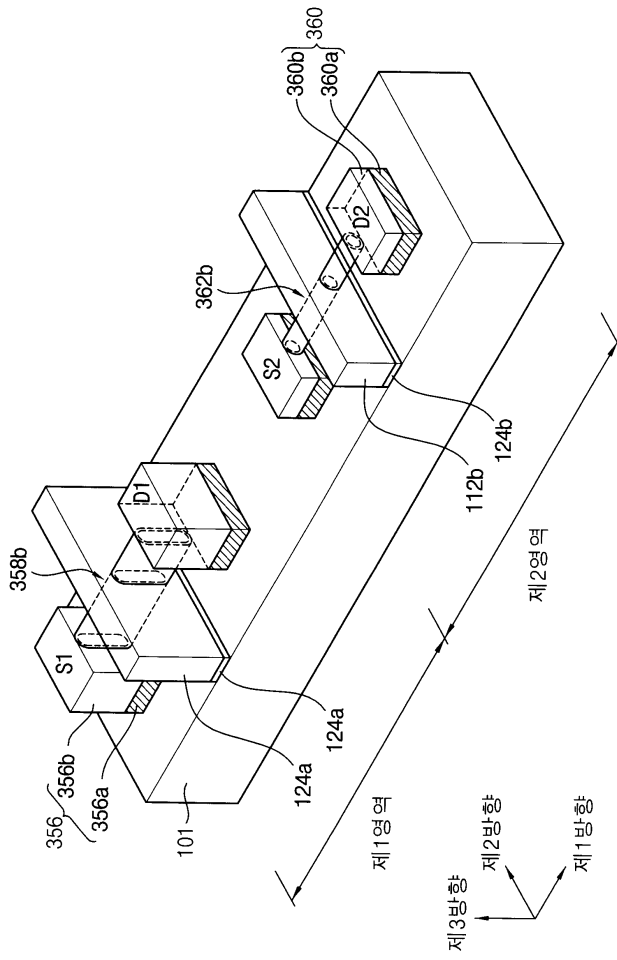
도면15b



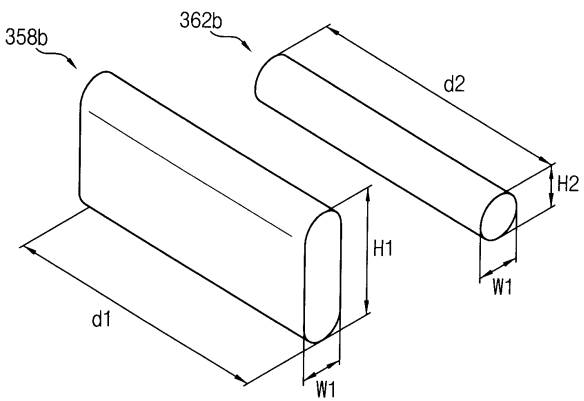
도면15c



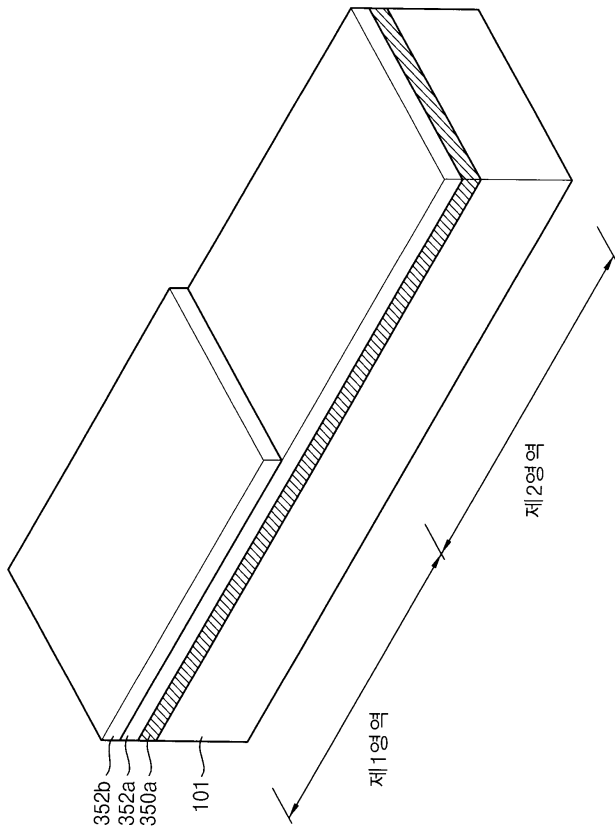
도면16



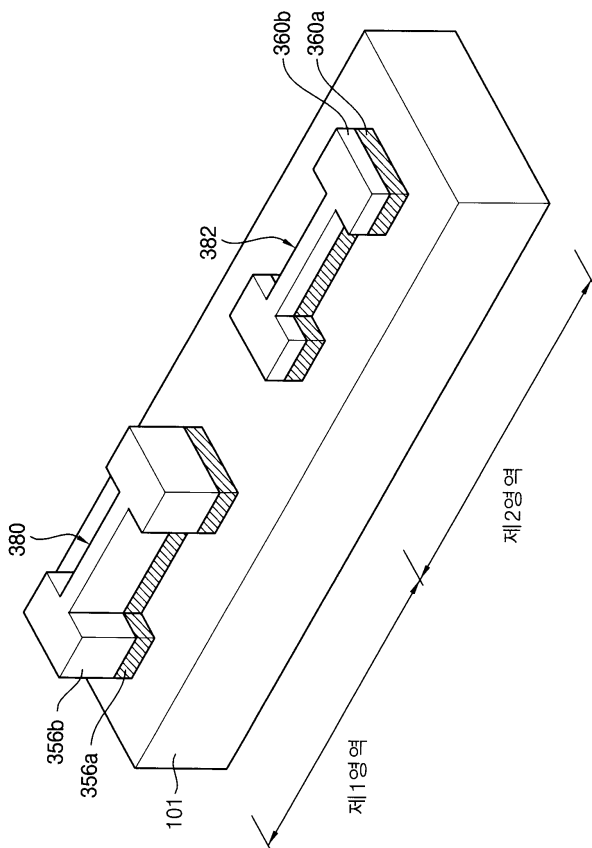
도면17



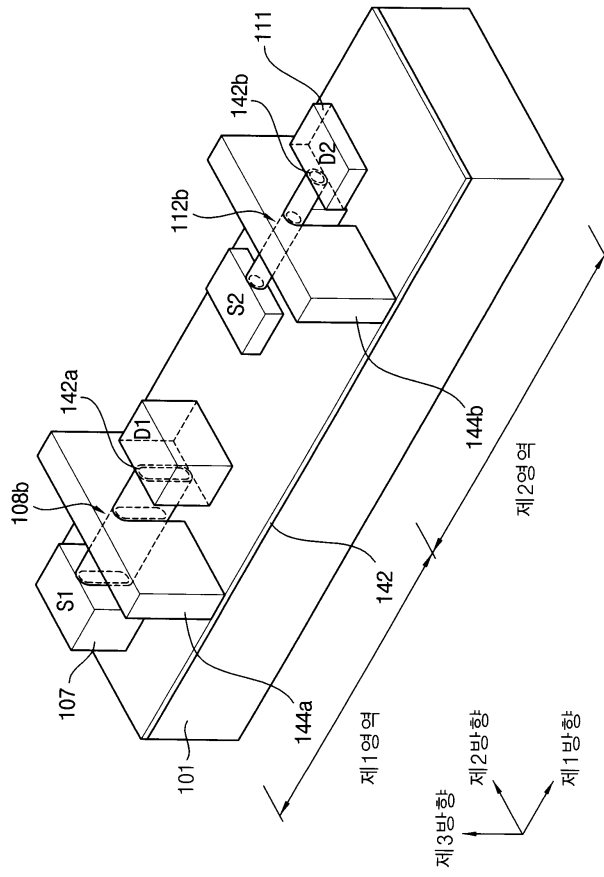
도면18a



도면18b



도면19



도면20

