



(12)发明专利

(10)授权公告号 CN 104424888 B

(45)授权公告日 2019.03.08

(21)申请号 201410419677.9

(22)申请日 2014.08.22

(65)同一申请的已公布的文献号
申请公布号 CN 104424888 A

(43)申请公布日 2015.03.18

(30)优先权数据
2013-177535 2013.08.29 JP

(73)专利权人 索尼公司
地址 日本东京

(72)发明人 铃木秀幸 宫岛良文 鹰觜和邦
斋藤清浩

(74)专利代理机构 北京康信知识产权代理有限
责任公司 11240
代理人 余刚 吴孟秋

(51)Int.Cl.
G09G 3/32(2016.01)

(56)对比文件

US 2010/0110097 A1,2010.05.06,说明书
第[0010]、[0012]-[0072]、[0127]段,附图1-2、
5.

US 2010/0110097 A1,2010.05.06,说明书
第[0010]、[0012]-[0072]、[0127]段,附图1-2、
5.

US 2012/0081349 A1,2012.04.05,说明书
第[0029]-[0045]段段,附图1-2、5-6.

US 2011/0043493 A1,2011.02.24,说明书
第[0018]-[0023]段,附图1-4.

CN 101283391 A,2008.10.08,全文.

US 2011/0181558 A1,2011.07.28,说明书
第[0007]-[0014]段,附图4.

US 6288699 B1,2001.09.11,全文.

CN 1707588 A,2005.12.14,全文.

审查员 陈煌琼

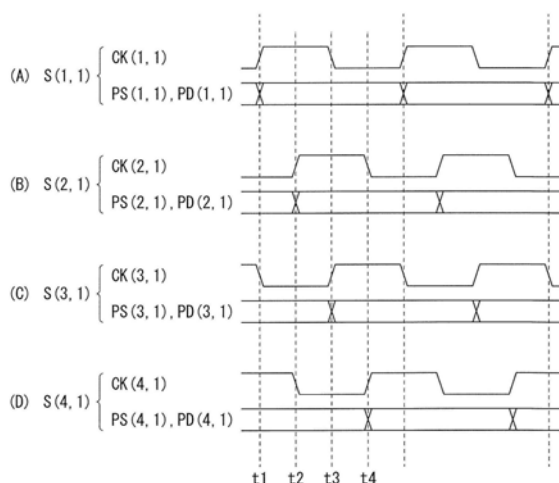
权利要求书3页 说明书19页 附图25页

(54)发明名称

显示面板及其驱动方法、以及电子设备

(57)摘要

一种显示面板及其驱动方法、以及电子设备,所述显示面板包括:包括多个单位像素的显示部;以及被配置为生成多个时钟信号并且将时钟信号提供到显示部的显示驱动部,时钟信号包括具有彼此不同的相位的两个以上时钟信号。



1. 一种显示面板,包括:

包括多个单位像素的显示部,被配置为显示图像,每个所述单位像素包括显示元件,所述显示元件是LED或者有机EL装置;以及

被配置为生成多个时钟信号并且将所述时钟信号提供到所述单位像素的显示驱动部,所述多个时钟信号包括两个以上的具有彼此不同的相位的时钟信号,其中

所述多个单位像素被分组成多个单位像素组,每个组具有预定数量的单位像素,所述多个单位像素组对应于各个多个时钟信号设置,

每个所述单位像素包括时钟输入端、以及时钟输出端,

所述多个时钟信号中的一个被从所述显示驱动部提供到所述预定数量的单位像素中的第一单位像素的所述时钟输入端,以及

所述预定数量的单位像素中的除所述第一单位像素以外的一个单位像素的时钟输入端连接至所述预定数量的单位像素中的另一单位像素的时钟输出端。

2. 根据权利要求1所述的显示面板,其中

所述显示驱动部包括被配置为生成彼此相位不同的两个以上的基准时钟信号的多相时钟生成部;以及

所述多个时钟信号中的每个对应于所述两个以上的基准时钟信号中的一个。

3. 根据权利要求1所述的显示面板,其中,所述预定数量的单位像素中的一个或多个包括设置在从所述时钟输入端到所述时钟输出端的信号路径上的延迟电路,所述延迟电路被配置为允许改变延迟量。

4. 根据权利要求3所述的显示面板,其中

所述显示驱动部还生成对应于所述多个时钟信号的多个数据信号,

每个所述单位像素还包括数据输入端和数据输出端,

所述多个数据信号中的一个被从所述显示驱动部提供到所述第一单位像素的所述数据输入端,以及

所述预定数量的单位像素中的除所述第一单位像素以外的一个单位像素的数据输入端连接至所述预定数量的单位像素中的另一单位像素的数据输出端。

5. 根据权利要求4所述的显示面板,其中,每个数据信号包括亮度数据和延迟数据,所述亮度数据被配置为定义所述显示元件的亮度,所述延迟数据被配置为定义所述延迟电路的延迟量。

6. 根据权利要求5所述的显示面板,进一步包括相位比较部,所述相位比较部被配置为将从各个第二单位像素的各个时钟输出端输出的时钟信号的相位彼此比较,每个所述第二单位像素是所述多个单位像素组中的对应的一个的末级。

7. 根据权利要求6所述的显示面板,其中,所述相位比较部基于比较结果确定所述延迟数据。

8. 根据权利要求5所述的显示面板,进一步包括外部端,所述外部端被配置为允许外部单元检测从各个第二单位像素的各个时钟输出端输出的时钟信号,每个所述第二单位像素是所述多个单位像素组中的对应一个的末级。

9. 根据权利要求8所述的显示面板,其中,所述显示驱动部包括存储延迟数据的存储器。

10. 根据权利要求1所述的显示面板,其中

所述多个单位像素被分组成多个单位像素组,每个组都具有预定数量的单位像素,所述多个单位像素组对应于各个多个时钟信号设置;

每个单位像素包括时钟输入端,以及

每个所述单位像素组中的各个单位像素的时钟输入端被提供有所述多个时钟信号中的对应的一个。

11. 根据权利要求1所述的显示面板,其中

每个时钟信号是由第一时钟信号和第二时钟信号构成的差分信号,

所述时钟输入端由对应于所述第一时钟信号的第一时钟输入端和对应于所述第二时钟信号的第二时钟输入端构成,以及

所述时钟输出端由对应于所述第一时钟信号的第一时钟输出端和对应于所述第二时钟信号的第二时钟输出端构成。

12. 根据权利要求4所述的显示面板,其中,每个数据信号是数字信号。

13. 根据权利要求1所述的显示面板,其中,所述显示驱动部包括被配置为定义两个以上的时钟信号之间的相位差的一个或多个延迟电路。

14. 一种驱动方法,包括:

生成多个时钟信号,所述时钟信号包括具有彼此不同的相位的两个以上的时钟信号;以及

将所述多个时钟信号提供到被配置为显示图像的显示部的多个单位像素,每个所述单位像素包括显示元件,所述显示元件是LED或者有机EL装置,其中

所述多个单位像素被分组成多个单位像素组,每个组具有预定数量的单位像素,所述多个单位像素组对应于各个多个时钟信号设置,

每个所述单位像素包括时钟输入端、以及时钟输出端,

所述多个时钟信号中的一个被从显示驱动部提供到所述预定数量的单位像素中的第一单位像素的所述时钟输入端,以及

所述预定数量的单位像素中的除所述第一单位像素以外的一个单位像素的时钟输入端连接至所述预定数量的单位像素中的另一单位像素的时钟输出端。

15. 一种电子设备,设置有显示面板和控制部,所述控制部被配置为对所述显示面板执行操作控制,所述显示面板包括:

包括多个单位像素的显示部,被配置为显示图像,每个所述单位像素包括显示元件,所述显示元件是LED或者有机EL装置;以及

被配置为生成多个时钟信号并且将所述时钟信号提供到所述单位像素的显示驱动部,所述时钟信号包括两个以上的具有彼此不同的相位的时钟信号,

所述多个单位像素被分组成多个单位像素组,每个组具有预定数量的单位像素,所述多个单位像素组对应于各个多个时钟信号设置,

每个所述单位像素包括时钟输入端、以及时钟输出端,

所述多个时钟信号中的一个被从所述显示驱动部提供到所述预定数量的单位像素中的第一单位像素的所述时钟输入端,以及

所述预定数量的单位像素中的除所述第一单位像素以外的一个单位像素的时钟输入

端连接至所述预定数量的单位像素中的另一单位像素的时钟输出端。

16. 根据权利要求15所述的电子设备, 其中

所述显示驱动部包括生成两个以上的彼此相位不同的基准时钟信号的多相时钟生成部; 以及

所述多个时钟信号分别对应于所述两个以上的基准时钟信号中的一个。

显示面板及其驱动方法、以及电子设备

[0001] 相关申请的交叉参考

[0002] 本申请要求于2013年8月29日提交的日本优先权专利申请JP2013-177535的优先权,将其其全部内容通过引用结合于此。

技术领域

[0003] 本公开涉及显示图像的显示面板、驱动这种显示面板的方法、以及包括这种显示面板的电子设备。

背景技术

[0004] 近来,在显示图像的显示面板领域,显示面板(有机EL(电致发光)显示面板)使用具有可以根据流过的电流值改变的发光亮度的电流驱动型光学装置作为发光装置,例如,已经开发了有机EL装置用于商业化。不同于液晶装置等,有机EL装置是自发光装置;因此,在有机EL装置中,不需要光源(背光)。因此,相比于需要光源的液晶显示面板,有机EL显示面板具有诸如装置的更高的图像可见性、更低的功耗、以及更高的响应速度的特征。

[0005] 例如,日本未审查专利申请公开No. 2012-32828公开了一种所谓的有源矩阵显示面板,其中,薄膜晶体管(TFT)被设置到每个像素用于控制每个像素中的有机EL装置的发光。该显示面板包括沿水平方向延伸的多个栅极线以及沿垂直方向延伸的多条数据线,并且各个像素都布置在栅极线和数据线的各个交叉部分周围。然后,基于栅极线信号逐行选择每行中的像素,并且将模拟像素电压写入所选择的像素。

发明内容

[0006] 通常,理想地,显示面板具有高图像质量,并且期望进一步提高图像质量。

[0007] 理想的是提供一种能够提高图像质量的显示面板、驱动方法、以及电子设备。

[0008] 根据本公开的实施例,提供了一种显示面板,包括:包括多个单位像素的显示部;以及被配置为生成多个时钟信号并且将时钟信号提供到显示部的显示驱动部,时钟信号包括具有彼此不同的相位的两个以上的时钟信号。

[0009] 根据本公开实施例,提供了一种驱动方法,包括:生成多个时钟信号,时钟信号包括具有彼此不同的相位的两个以上的时钟信号;将多个时钟信号提供到包括多个单位像素的显示部。

[0010] 根据本公开实施例,提供了一种设置有显示面板和控制部的电子设备,控制部被配置为在显示面板上执行操作控制,显示面板包括:包括多个单位像素的显示部;以及被配置为生成多个时钟信号并且将时钟信号提供到显示部的显示驱动部,时钟信号包括具有彼此不同的相位的两个以上的时钟信号。例如,电子设备可以对应于电视、数码相机、个人计算机、摄像机、诸如手机的移动端单元等等。

[0011] 在根据本公开实施例的显示面板、驱动方法、以及电子设备中,通过显示驱动部生成了多个时钟信号,并且将多个时钟信号提供到显示部。多个时钟信号包括具有彼此不同

的相位的两个以上的时钟信号。

[0012] 在根据本公开实施例的显示面板、驱动方法、以及电子设备中,生成了包括具有彼此不同的相位的两个以上的时钟信号的多个时钟信号;因此,允许提高图像质量。

[0013] 应当理解,上面的一般描述和下面的详细描述仅仅是示例性的,目的在于提供对所要求的技术的进一步说明。

附图说明

[0014] 包括了附图以提供对本技术的进一步理解,附图被纳入并构成本说明书的一部分。附图示出了实施例,并且与说明书一起用于解释本技术的原理。

[0015] 图1是示出根据本公开第一实施例的显示单元的配置实例的框图。

[0016] 图2是示出图1中示出的显示驱动部和显示部的配置实例的框图。

[0017] 图3是图2中示出的显示驱动部的操作实例的定时波形图。

[0018] 图4是示出数据信号的配置实例的说明图。

[0019] 图5是示出图2中示出的像素的配置实例的框图。

[0020] 图6是示出图2中示出的控制部的操作实例的状态转换图。

[0021] 图7是示出图2中示出的每个像素的操作实例的说明图。

[0022] 图8是示出图2中示出的每个像素的操作实例的定时波形图。

[0023] 图9是示出根据第一实施例的修改例的显示驱动部和显示部的配置实例的框图。

[0024] 图10是示出图9中示出的显示驱动部的操作实例的定时波形图。

[0025] 图11是示出根据第一实施例的另一修改例的显示驱动部的操作实例的定时波形图。

[0026] 图12是示出根据第一实施例的又另一修改例的显示驱动部的操作实例的定时波形图。

[0027] 图13是示出根据第一实施例的进一步修改例的显示驱动部的操作实例的定时波形图。

[0028] 图14是示出根据第一实施例的又进一步修改例的显示驱动部和显示部的配置实例的框图。

[0029] 图15是示出图14中示出的显示驱动部的操作实例的定时波形图。

[0030] 图16是示出图14中示出的像素的配置实例的框图。

[0031] 图17是示出根据第一实施例的又一修改例的像素的配置实例的框图。

[0032] 图18是示出根据第二实施例的显示单元的配置实例的框图。

[0033] 图19是示出图18中示出的显示驱动部和显示部的配置实例的框图。

[0034] 图20是示出数据信号的配置实例的说明图。

[0035] 图21是示出图19中示出的像素的配置实例的框图。

[0036] 图22是示出图19中示出的相位比较部的操作实例的定时波形图。

[0037] 图23是示出根据第二实施例的修改例的像素的配置实例的框图。

[0038] 图24是示出根据第二实施例的另一修改例的显示驱动部和显示部的配置实例的框图。

[0039] 图25是示出根据第二实施例的又另一修改例的像素的配置实例的框图。

- [0040] 图26A是示出根据第二实施例的又另一修改例的数据信号的配置实例的说明图。
- [0041] 图26B是示出根据第二实施例的又另一修改例的数据信号的另一配置实例的说明图。
- [0042] 图27是示出根据修改例的显示驱动部和显示部的配置实例的框图。
- [0043] 图28是示出根据另一修改例的显示驱动部和显示部的配置实例的框图。

具体实施方式

[0044] 以下将参照附图详细描述本公开的一些实施例。值得注意的是,将以如下顺序进行描述。

[0045] 1. 第一实施例

[0046] 2. 第二实施例

[0047] (1. 第一实施例)

[0048] [配置实例]

[0049] 图1示出了根据第一实施例的显示单元的配置实例。显示装置1是包括使用LED(发光二极管)作为显示元件的显示面板的电视。值得注意的是,根据本公开实施例的显示面板及其驱动方法通过该实施例体现,并且也将在下面描述。

[0050] 显示装置1包括RF(射频)部11、解调部12、解复用器部13、解码器部14、信号转换部15、以及显示面板16。

[0051] RF部11被配置为执行对天线9接收的广播波(RF信号)进行诸如下转换的处理。解调部12被配置为对从RF部11提供的信号执行解调处理。解复用器部13被配置为将从解调部12提供并且通过复用视频信号和音频信号而获得的信号(流)分离成视频信号和音频信号。

[0052] 解码器部14被配置为将从解复用器部13提供的信号(视频信号和音频信号)解码。更具体地,在该实例中,从解复用器部13提供的信号是以MPEG2(活动图像专家组阶段2)编码的信号,并且解码器部14被配置为对信号执行解码。

[0053] 信号转换部15被配置为执行信号的格式转换。更具体地,在该实例中,从解码器部14提供的信号是YUV格式信号,并且信号转换部15被配置为将信号的格式转换成RGB格式。然后,信号转换部15被配置为输出进行了格式转换的信号作为图像信号Sdisp。

[0054] 显示面板16是使用LED作为显示元件的有源矩阵显示面板。显示面板16包括显示驱动部20和显示部30。显示驱动部20被配置为基于从信号转换部15提供的图像信号Sdisp驱动显示部30。显示部30被配置为基于通过显示驱动部20驱动显示图像。显示部30包括排列成矩阵形式的多个像素P。更具体地,如将在后面描述的,像素P排列成M个像素宽(水平)乘以N个像素高(垂直)的矩阵。

[0055] 图2示出了显示驱动部20和显示部30的配置实例。

[0056] 显示元件部20包括信号生成部21、时钟生成部22、以及多个输出电路23(1)至23(M)。信号生成部21被配置为基于图像信号Sdisp生成并输出多个信号SIG1(1)至SIG1(M)。各个信号SIG1(1)至SIG1(M)对应于显示部30的相应M个像素列,并且包括属于各个像素列的像素P的亮度数据ID(将在后面描述)。在该实例中,时钟生成部22被配置为生成四个相位的时钟信号CKA至CKD。时钟信号CKA和CKB彼此异相大约 90° ,时钟信号CKC和CKD彼此异相大约 90° ,并且时钟信号CKD和CKA彼此异相大约 90° 。输出电路23(1)至23(M)被配置为基于信

号SIG1 (1) 至SIG1 (M) 和时钟信号CKA至CKD生成信号S (1, 1) 至S (M, 1) 。对应于显示部30的各个M个像素列, 设置了各个的输出电路23 (1) 至23 (M) 。换句话说, 分别对应于信号SIG1 (1) 至SIG1 (M) 设置了输出电路23 (1) 至23 (M) 。

[0057] 信号生成部21分别将信号SIG1 (1) 至SIG1 (M) 提供到对应的输出电路23 (1) 至23 (M) 。然后, 时钟生成部22将时钟信号CKA至CKD中的一个提供到输出电路23 (1) 至23 (M) 中的每个。在该实例中, 时钟生成部22将时钟信号CKA提供到输出电路23 (1) 、23 (5) 、23 (9) 等等、将时钟信号CKB提供到输出电路23 (2) 、23 (6) 、23 (10) 等等、将时钟信号CKC提供到输出电路23 (3) 、23 (7) 、23 (11) 等等并且将时钟信号CKD提供到输出电路23 (4) 、23 (8) 、23 (12) 等等。

[0058] 因此, 例如, 基于信号SIG1 (1) 和时钟信号CKA, 输出电路23 (1) 可以与时钟信号CKA同步地生成并输出数据信号PS (1, 1) 和PD (1, 1) , 并且可以输出时钟信号CKA作为时钟信号CK (1, 1) , 然后将数据信号PS (1, 1) 和PD (1, 1) 和时钟信号CK (1, 1) 作为信号S (1, 1) 提供到显示部30。此外, 例如, 基于信号SIG1 (2) 和时钟信号CKB, 输出电路23 (2) 可以与时钟信号CKB同步地生成并输出数据信号PS (2, 1) 和PD (2, 1) , 并且可以输出时钟信号CKB作为时钟信号CK (2, 1) , 然后将数据信号PS (2, 1) 和PD (2, 1) 和时钟信号CK (2, 1) 作为信号S (2, 1) 提供到显示部30。此外, 例如, 基于信号SIG1 (3) 和时钟信号CKC, 输出电路23 (3) 可以与时钟信号CKC同步地生成并输出数据信号PS (3, 1) 和PD (3, 1) , 并且可以输出时钟信号CKC作为时钟信号CK (3, 1) , 然后将数据信号PS (3, 1) 和PD (3, 1) 和时钟信号CK (3, 1) 作为信号S (3, 1) 提供到显示部30。此外, 基于信号SIG1 (4) 和时钟信号CKD, 输出电路23 (4) 可以与时钟信号CKD同步地生成并输出数据信号PS (4, 1) 和PD (4, 1) , 并且可以输出时钟信号CKD作为时钟信号CK (4, 1) , 然后将数据信号PS (4, 1) 和PD (4, 1) 和时钟信号CK (4, 1) 作为信号S (4, 1) 提供到显示部30。

[0059] 图3示出了来自输出电路23 (1) 至23 (4) 的输出信号的定时图, 其中, 部分 (A) 、(B) 、(C) 和 (D) 分别示出了来自输出电路23 (1) 的输出信号S (1, 1) 的波形, 来自输出电路23 (2) 的输出信号S (2, 1) 的波形、来自输出电路23 (3) 的输出信号S (3, 1) 的波形以及来自输出电路23 (4) 的输出信号S (4, 1) 的波形。在该实例中, 输出电路23 (1) 至23 (4) 基于四个相位的时钟信号CKA至CKD操作; 因此, 信号S (1, 1) 中的时钟信号CK (1, 1) 与信号S (2, 1) 中的时钟信号CK (2, 1) 异相大约 90° , 信号S (2, 1) 中的时钟信号CK (2, 1) 与信号S (3, 1) 中的时钟信号CK (3, 1) 异相大约 90° , 信号S (3, 1) 中的时钟信号CK (3, 1) 与信号S (4, 1) 中的时钟信号CK (4, 1) 异相大约 90° , 并且信号S (4, 1) 中的时钟信号CK (4, 1) 与信号S (1, 1) 中的时钟信号CK (1, 1) 异相大约 90° 。然后, 输出电路23 (1) 在时钟信号CK (1, 1) 的上升沿转换数据信号PS (1, 1) 和PD (1, 1) (参照图3的部分 (A)) , 输出电路23 (2) 在时钟信号CK (2, 1) 的上升沿转换数据信号PS (2, 1) 和PD (2, 1) (参照图3的部分 (B)) , 输出电路23 (3) 在时钟信号CK (3, 1) 的上升沿转换数据信号PS (3, 1) 和PD (3, 1) (参照图3的部分 (C)) , 并且输出电路23 (4) 在时钟信号CK (4, 1) 的上升沿转换数据信号PS (4, 1) 和PD (4, 1) (参照图3的部分 (D)) 。

[0060] 由于输出电路23 (1) 至23 (4) 以这种方式基于四个相位的时钟信号CKA至CKD操作, 数据信号PS (1, 1) 和PD (1, 1) 的转换定时 t_1 (参照图3中的部分 (A)) 、数据信号PS (2, 1) 和PD (2, 1) 的转换定时 t_2 (参照图3中的部分 (B)) 、数据信号PS (3, 1) 和PD (3, 1) 的转换定时 t_3 (参照图3中的部分 (C)) 以及数据信号PS (4, 1) 和PD (4, 1) 的转换定时 t_4 (参照图3中的部分 (D)) 彼此不同。因此, 在显示装置1中, 如后面将要描述的, 允许通过扩展转换定时减小每个像素

P的故障的可能性,并且允许减小图像质量的劣化。

[0061] 显示部30包括排列成矩阵形式的多个像素P(像素P(1,1)至P(M,N))。换句话说,像素P排列成M个像素宽(水平)乘以N个像素高(垂直)的矩阵。在垂直方向并排排列并且配置每个像素列的N个像素P(例如,像素P(1,1)、P(1,2)、...、P(1,N))以所谓的菊花链方式连接。更具体地,例如,显示驱动部20可以将信号S(1,1)(数据信号PS(1,1)和PD(1,1)以及时钟信号CK(1,1))提供到最左像素列的第一阶中的像素P(1,1)。基于信号S(1,1),像素P(1,1)生成信号S(1,2)(数据信号PS(1,2)和PD(1,2)以及时钟信号CK(1,2)),并且将信号S(1,2)提供到像素P(1,1)后面的像素P(1,2)。基于信号S(1,2),后面的像素P(1,2)生成信号S(1,3)(数据信号PS(1,3)和PD(1,3)以及时钟信号CK(1,3)),并且将信号S(1,3)提供到像素P(1,2)后面的像素P(1,3)。后面的像素P(1,3)至P(1,N-1)以类似的方式操作。然后,末级中的像素(1,N)接收像素(1,N)之前的像素(1,N-1)生成的信号S(1,N)(数据信号PS(1,N)和PD(1,N)和时钟信号CK(1,N))。

[0062] 以下,将术语“信号S”适当地用作信号S(1,1)至S(M,N)中的一个任意信号,将术语“数据信号PS”适当地用作数据信号PS(1,1)至PS(M,N)中的一个任意信号,将术语“数据信号PD”适当地用作数据信号PD(1,1)至PD(M,N)中的一个任意信号,并且将术语“时钟信号CK”适当地用作时钟信号CK(1,1)至CK(M,N)中的一个任意信号。

[0063] 图4示出了数据信号PS和PD的配置实例。图4示出了一个像素P的数据信号PS和PD。换句话说,显示驱动部21将由图4中示出的N个信号配置的数据信号PS和数据信号PD提供到以菊花链方式连接的N个像素P。以下,一个像素P的数据信号PD也可以被称为“像素包PCT”。

[0064] 数据信号PD包括亮度数据ID、旗标RST、旗标PL。亮度数据ID被配置为定义每个像素P中的发光亮度。亮度数据ID包括指示红色(R)发光亮度的亮度数据IDR、指示绿色(G)发光亮度的亮度数据IDG以及指示蓝色(B)发光亮度的亮度数据IDB。在该实例中,每个亮度数据IDR、IDG、和IDB都是12比特的码。旗标RST被配置为指示像素包PCT是否是每帧中的第一个像素包PCT。更具体地,旗标RST在每帧的第一个像素包PCT中是“1”,在该帧的其他像素包中是“0”。旗标PL被配置为指示像素包PCT中的亮度数据ID是否已经被任一个像素P读取。更具体地,旗标PL在亮度数据ID还没有被任意像素P读取的情况下变成“0”,并且在亮度数据ID已经被任一个像素P读取的情况下变成“1”。在该实例中,旗标RST、旗标RL、和亮度数据ID以这种规则排列在像素包PCT中。

[0065] 数据信号PS是在数据信号PD指示旗标RST的情况下变成“1”并且在其他情况下变成“0”的信号。换句话说,数据信号PS是在每个像素包PCT的开始变成“1”的信号。

[0066] 每个像素P都从它前面的像素P接收数据信号PS和PD以及时钟信号CK,并且将数据信号PS和PD和时钟信号CK提供到其后面的像素P。然后,每个像素P都从数据信号PD读取该像素P的亮度数据IC,并且发出具有根据亮度数据ID的发光亮度的光。

[0067] 图5示出了像素P的配置实例。像素P包括触发器42和44、控制部41、选择器部53、缓冲器45、存储器部46、驱动部50、发光部48。值得注意的是,为了便于描述,以下将描述像素P(1,1)作为实例;然而,其他像素与像素P(1,1)类似。

[0068] 基于信号S(1,1),像素P(1,1)生成并输出信号S(1,2)。更具体地,基于输入到其输入端PSIN的数据信号PS(1,1)、输入到其输入端PDIN的数据信号PD(1,1)以及输入到其输入端CKIN的时钟信号CK(1,1),像素P(1,1)生成信号PS(1,2)和PD(1,2)以及时钟信号CK(1,

2)。然后,像素P(1,1)分别从其输出端PSOUT、输出端PDOUT、以及输出端CKOUT输出数据信号PS(1,2)、数据信号PD(1,2)以及时钟信号CK(1,2)。

[0069] 触发器42基于时钟信号CK(1,1)执行数据信号PS(1,1)的采样,以输出采样结果作为数据信号PSA,并且基于时钟信号CK(1,1)执行数据信号PD(1,1)的采样,以输出采样结果作为数据信号PDA。例如,触发器42可以由用于对PS(1,1)采样的D型触发器电路以及用于对数据信号PD(1,1)采样的D型触发器电路配置。

[0070] 控制部41是状态机,被配置为基于数据信号PSA和PDA以及时钟信号CK(1,1)设置像素P(1,1)的状态,并且生成信号LD、PLT、和CKEN。信号LD和信号PLT是用于重写数据信号PDA中包括的旗标PL的信号。更具体地,信号LD是通过重写被转换成旗标PL的信号,并且信号PLT是指示重写的定时的控制信号。此外,信号CKEN是指示在存储器部46中存储亮度数据ID的定时的控制信号。此外,控制部41还具有将控制信号提供到驱动部50的功能。

[0071] 选择器部43被配置为基于数据信号PDA和信号LD和PLT生成数据信号PDB。选择器部43包括选择器43A和43B。值“0”被输入到选择器43A的第一输入端,值“1”被输入到选择器43A的第二输入端,并且信号LD被输入到选择器43A的控制输入端。当信号LD是“0”时,选择器43A输出输入至第一输入端的“0”,并且当信号LD是“1”时,输出输入至第二输入端的“1”。数据信号PDA被输入到选择器43B的第一输入端,来自选择器43A的输出信号被输入到选择器43B的第二输入端,并且信号PLT被输入到选择器43B的控制输入端。当信号PLT是“0”时,选择器43B输出输入至第一输入端的数据信号PDA,并且当信号PLT是“1”时,输出从选择器43A输入至第二输入端的输出信号。选择器部43被配置为将来自选择器43B的输出信号作为数据信号PDB提供到触发器44。

[0072] 通过这种配置,选择器部43在其中信号PLT为“0”的周期内没有变化地输出数据信号PDA作为数据信号PDB,并且在其中信号PLT是“1”的周期内输出信号LD作为数据信号PDB。信号PLT是在其中数据信号PDA指示旗标PL的周期内变成“1”并且在其他周期内变成“0”的信号。换句话说,选择器部43通过用信号LD代替对应于数据信号PDA的旗标PL的部分来生成数据信号PDB。

[0073] 触发器44基于时钟信号CK(1,1)执行数据信号PSA的采样以输出采样结果作为数据信号PS(1,2),并且基于时钟信号CK(1,1)执行数据信号PDB的采样以输出采样结果作为数据信号PD(1,2)。如同触发器42,触发器44可以由例如两个D型触发器电路配置。

[0074] 缓冲器45被配置为对时钟信号CK(1,1)执行波形整形,以输出波形整形的时钟信号CK(1,1)作为时钟信号CK(1,2)。

[0075] 存储器部46被配置为保持亮度数据ID。存储器部46包括与电路46A和移位寄存器46B。与电路46A被配置为确定其第一输入端的信号和其第二输入端的信号之间的逻辑与。从控制部41提供的信号CKEN被输入到与电路46A的第一输入端,并且时钟信号CK(1,1)被输入到与电路46的第二输入端。在该实例中,移位寄存器46B是36位移位寄存器。数据信号PDA被输入到移位寄存器46B的数据输入端,并且来自与电路46A的输出信号被输入到移位寄存器46B的时钟输入端。

[0076] 通过这种配置,存储器部46在其中信号CKEN是“1”的周期内保持数据信号PDA中包括的数据。信号CKEN是在其中数据信号PDA指示像素P(1,1)的36比特像素数据ID的周期内变成“1”并且在其他周期内变成“0”的信号。因此,与电路46A在其中数据信号PDA指示像素P

(1,1)的36比特像素数据ID的周期内将时钟信号提供到移位寄存器46B。因此,移位寄存器46B保持像素(1,1)的36比特的像素数据ID。此时,移位寄存器46B的最后12比特的部分保持亮度数据IDR、移位寄存器46B的中间部分的12比特保持亮度数据IDG并且移位寄存器36B的前12比特的部分保持亮度数据IDB。

[0077] 驱动部50被配置为基于存储器部46中存储的亮度数据ID驱动发光部48。驱动部50包括寄存器51R、51G、和51B、DAC(D/A转换器)52R、52G和52B以及可变电流源53R、53G和53B。

[0078] 寄存器51R、51G和51B被配置为基于从控制部41提供的控制信号保持12比特的数据。更具体地,寄存器51R被配置为保持移位寄存器46B的最后12比特的部分中存储的亮度数据IDR,寄存器51G被配置为保持移位寄存器46B的中间部分的12比特中存储的亮度数据IDG、寄存器51B被配置为保持移位寄存器46B的前12比特的部分中存储的亮度数据IDB。

[0079] DAC52R、52G和52B被配置为将寄存器51R、51G和51B中存储的12比特的数字码分别转换成模拟电压。

[0080] 可变电流源53R、53G和53B被配置为分别根据从DAC52R、52G和52B提供的模拟电压生成驱动电流。

[0081] 发光部48被配置为基于从驱动部50提供的驱动电流发光。发光部48包括发光装置48R、48G和48B。发光装置48R、48G和48B是每个都使用LED配置的发光装置,并且分别被配置为发出红光(R)、绿光(G)和蓝光(B)。

[0082] 通过该配置,DAC52R基于寄存器51R中存储的亮度数据IDR生成模拟电压。然后,可变电流源53R基于模拟电压生成驱动电流,以经由开关54R将驱动电流提供到发光部48的发光装置48R。发光装置48R发射具有根据驱动电流的发光亮度的光。类似地,DAC52G基于寄存器51G中存储的亮度数据IDG生成模拟电压,可变电流源53G基于模拟电压生成驱动电流,以经由开关54G将驱动电流提供到发光部48的发光装置48G,并且发光装置48G发出具有根据驱动电流的发光亮度的光。此外,DAC52B基于寄存器51B中存储的亮度数据IDB生成模拟电压,可变电流源53B基于模拟电压生成驱动电流,以经由开关54B将驱动电流提供到发光部48的发光装置48B,并且发光装置48B发出具有根据驱动电流的发光亮度的光。

[0083] 值得注意的是,开关54R、54G和54B被配置为通过从控制部41提供的控制信号进行开/关控制;因此,在像素P中,允许在维持红色(R)、绿色(G)和蓝色(B)的发光亮度的平衡的同时,调节发光亮度。

[0084] 配置发光部48以外的每个像素P的块集成在一个芯片上。换句话说,在显示面板16中,(M×N)个芯片和(M×N)个发光部48被排列成矩阵形式。

[0085] 像素P对应于本公开实施例中的“单位像素”的具体实例。时钟信号CK(1,1)至CK(M,1)对应于本公开实施例中的“多个时钟信号”的具体实例。时钟生成部22对应于本公开实施例中的“多相时钟生成部”的具体实例。时钟信号CKA至CKD对应于本公开实施例中的“基准时钟信号”的具体实例。像素P(1,1)至P(M,1)对应于本公开实施例中的“第一单位像素”的具体实例。像素P(1,1)至P(1,N)配置的组对应于本公开实施例中的“单位像素组”的具体实例。

[0086] [操作和功能]

[0087] 以下,将描述根据该实施例的显示装置1的操作和功能。

[0088] (整体操作概要)

[0089] 首先,以下将参照图1等描述显示装置1的整体操作的概要。RF部11对天线19接收的广播波(RF信号)执行诸如如下转换的处理。解调部12对从RF部11提供的信号执行解调处理。解复用部13将从解调部12提供并且通过复用视频信号和音频信号获得的信号(流)分成视频信号和音频信号。解码器部14将从解复用器部13提供的信号(视频信号和音频信号)解码。信号转换部15执行信号的格式转换,并且输出格式转换的信号作为图像信号Sdisp。

[0090] 在显示面板16中,基于从信号转换部15提供的图像信号Sdisp,显示驱动部20驱动显示部30。更具体地,显示驱动部20将信号S(1,1)至S(M,1)提供到显示部30中的像素P的各个像素列。每个像素P都从其前面的像素P接收信号S(数据信号PS和PD以及时钟信号CK),并且将信号S提供到其后面的像素P。然后,每个像素P都从数据信号PD读取该像素P的亮度数据ID,并且发出具有根据该亮度数据ID的发光亮度的光。

[0091] (像素P的具体操作)

[0092] 在像素P中,控制部41充当状态机,并且控制像素P的操作。首先,以下将详细描述控制部41的操作。

[0093] 图6示出了控制部41的状态转换图。如图6所示,像素P具有三个状态S0至S2。

[0094] 状态S0指示其中像素P不读取亮度数据ID的状态(未加载)。在该状态S0中,控制部41将信号LD设置为“0”。因此,像素P用“0”代替输入信号PD的旗标PL。此外,控制部41将信号CKEN设置成“0”。

[0095] 状态S1指示其中像素P正读取亮度数据ID的状态(加载中)。在该状态S1中,控制部41将信号LD设置成“0”。因此,像素P用“0”代替输入信号PD的旗标PL。此外,控制部41在其中信号PDA指示亮度数据ID的周期中将信号CKEN设置成“1”,并且在其他周期中将信号CKEN设置成“0”。因此,亮度数据ID被存储在存储器部46中。

[0096] 状态S2指示其中像素P已经读取了亮度数据ID的状态(已加载)。在状态S2中,控制部41将信号LD设置成“1”。因此,像素P用“1”替换输入信号PD的旗标PL。此外,控制部41将信号CKEN设置成“0”。

[0097] 基于数据信号PDA(数据信号PD)中包括的旗标RST和PL,执行这三个状态S0至S2的转换。首先,当输入“1”作为旗标RST时,控制部41将像素P设置成状态S0(未加载)。在状态S0(未加载)中输入“1”作为旗标RST(RST=1)的情况下,或者在状态S0(未加载)中输入“0”作为旗标PL(P=0)的情况下,像素P的状态保持在状态S0(未加载)。

[0098] 在状态S0(未加载)中输入“0”作为旗标RST和输入“1”作为旗标PL(RST=0且PL=1)的情况下,像素P的状态从状态S0(未加载)转换到状态S1(加载中)。在状态S1(加载中)中输入“1”作为旗标RST(RST=1)的情况下,像素P的状态从状态S1(加载中)转换到状态S0(未加载)。

[0099] 此外,在状态S1(加载中)中输入“0”作为旗标RST的情况下,像素P的状态从状态S1(加载中)转换到状态S2(已加载)。在状态S2(已加载)中输入“0”作为旗标RST(RST=0)的情况下,像素P的状态保持在状态S2(已加载)。然后,在状态S2(已加载)中输入“1”作为旗标RST(RST=1)的情况下,像素P的状态从状态S2(已加载)转换到状态S0(未加载)。

[0100] 图7示出了在一帧周期(1F)中的最左侧像素列的像素P(1,1)至P(1,N)的状态。值得注意的是,其他像素列的像素P与最左像素列的像素P类似。当一帧周期(1F)开始时,将“1”输入到第一中阶的像素P(1,1)作为旗标RST,并且将像素P(1,1)的状态设置成状态S0

(未加载)。之后,在一帧周期(1F)中,顺序地将像素P(1,1)至P(1,N)设置到状态S0(未加载)。此时,相邻像素P中的状态S0(未加载)的周期的开始定时彼此相差触发器42和44中的延迟(时钟信号CK的2个脉冲)。然后,将像素P(1,1)至P(1,N)的状态顺序地从状态S0(未加载)转换到状态S1(加载中)。在状态S1(加载中)中,像素P(1,1)至P(1,N)顺序地读取亮度数据ID。之后,将像素P(1,1)至P(1,N)的状态顺序地从状态S1(加载中)转换到状态S2(已加载)。在状态S2(已加载)中,像素P(1,1)至P(1,N)发出具有根据读取亮度数据ID的发光亮度的光。

[0101] 在显示装置1中,像素P以菊花链方式连接。因此,每个像素P都从其前面的像素P接收数据信号PS和PD以及时钟信号CK,并且将这三个信号提供到其后面的像素P。然后,每个像素P都读取该像素P的亮度数据ID,并且发出具有根据该亮度数据ID的发光亮度的光。在显示装置1中,像素P以这种方式以菊花链形式连接;因此,允许提高图像质量。

[0102] 换句话说,例如,在日本未审查专利申请公开No.2012-32828中描述的显示装置中,驱动部通过栅极线或数据线驱动每个像素。栅极线或数据线是连接至属于一个像素列的多个像素或者属于一个像素行的多个像素的所谓的全局配线。因此,例如,为了实现大屏幕显示装置,增大了这些配线的长度;因此,可能会增大这些配线的电阻或寄生电容,并且因此可能不允许充分地驱动每个像素。此外,例如,为了实现高分辨率的显示装置,有必要在每帧周期中驱动大量的线;因此,分配到一个水平周期(1H)的时间可能会减小,并且因此可能不允许充分地驱动每个像素。此外,例如,为了增大帧率,可以减小分配给一个水平周期(1H)的时间,并且因此可能不允许充分地驱动每个像素。

[0103] 另一方面,在根据该实施例的显示装置1中,像素以菊花链方式连接。换句话说,每个像素P不是通过上述的全局配线,而是通过像素之间的局部配线来驱动其后面的像素P。因此,允许每个像素P通过这种短配线相对容易地驱动其后面的像素P,并且允许实现大屏幕显示装置。此外,由于配线短,因此允许每个像素P相对容易地增加数据信号PS、PD等的传输速度,并且允许实现高分辨率显示装置或具有高帧率的显示装置。

[0104] 此外,由于像素P以这种方式以菊花链形式连接,允许简化显示装置1的配置。换句话说,在日本未审查专利申请公开No.2012-32828中描述的显示装置中,设置了沿水平方向延伸的多条栅极线、沿垂直方向延伸的多条数据线、连接至栅极线的所谓的栅极驱动器、连接至数据线的所谓的数据驱动器;因此,显示装置的配置可能会复杂。另一方面,在根据该实施例的显示装置1中,像素P以菊花链方式连接;因此,如图2所示,仅需要在沿水平方向延伸的像素P和显示驱动部20之间设置配线。因此,没有必要设置沿水平方向延伸的配线和用于驱动配线的驱动部,并且允许简化显示装置1的配置。

[0105] 此外,在显示装置1中,使用数字信号(数据信号PS和PD和时钟信号CK)来控制每个像素P的发光;因此,允许减小噪声对图像质量的影响。例如,在日本未审查专利申请公开No.2012-32828的显示装置中,使用了模拟信号;因此,噪声可能会引起图像质量的劣化。此外,特别是在大屏显示装置、高分辨率显示装置以及具有高帧率的显示装置中,噪声对图像质量的影响可能进一步增加。另外,在根据该实施例的显示装置1中,使用了数字信号;因此,允许减小噪声对图像质量的影响。

[0106] 此外,由于以这种方式使用了数字信号,因此允许减小辐射。换句话说,例如,在使用模拟信号的情况下,关于灰度表现、抗噪声性等等,可以增大信号幅度,并且在该情况下,

辐射可能增加。另一方面,在根据该实施例的显示装置1中,使用了数字信号,因此,允许减小信号幅度,从而减小辐射。

[0107] 此外,在显示装置1中,每个像素P都包括触发器42和44以及缓冲器45;因此,允许减小数据信号PS和PD等等的信号振幅。换句话说,在没有设置触发器42和44以及缓冲器45的情况下,信号振幅可能会随着到显示驱动部的距离的增大而减弱。在该情况下,有必要使显示驱动部生成具有大信号振幅的数据信号PS和PD。另一方面,在显示装置1中,通过每当在数据信号PS和PD以及时钟信号CK通过像素P时对这些信号执行波形整形来维持信号振幅。换句话说,允许减小信号振幅减弱的可能性;因此,允许减小数据信号PS和PD的信号振幅。因此,在允许减小上述辐射的同时,允许减小电源电压,并且允许减小功耗。

[0108] 此外,在显示装置1中,由于将存储器部46设置到每个像素P,例如,在显示静态图像的情况下,没有必要执行数据传输,并且相应地允许减小功耗。

[0109] 此外,在显示装置1中,由于将基于时钟信号CK执行数据信号PS和PD的采样的触发器42和44设置到每个像素,因此允许维持数据信号PS和PD以及时钟信号CK之间的相对相位关系。

[0110] (关于数据信号PS和PD的转换定时)

[0111] 在显示装置1中,显示驱动部20将信号S(1,1)至S(M,1)提供至显示部30中的像素P的各个像素列。此时,在显示驱动部20中,输出电路23(1)至23(M)基于四个相位的时钟信号CKA至CKD操作。因此,在显示装置1中,允许减小每个像素P出现故障的可能性,相应地允许减小图像质量的劣化。以下给出了关于这的具体描述。

[0112] 图8示出了显示部30的每个像素P的操作的定时图,其中,部分(A)指示信号S(1,1)的波形,部分(B)指示信号S(1,N)的波形,部分(C)指示信号S(2,1)的波形,部分(D)指示信号S(2,N)的波形,部分(E)指示信号S(3,1)的波形,部分(F)指示信号S(3,N)的波形,部分(G)指示信号S(4,1)的波形,并且部分(H)指示信号S(4,N)的波形。值得注意的是,在该实例中,示出了从显示部30的左边的四个像素列的信号S(1,1)至S(4,N);然而,其他信号S(5,1)和S(M,N)与信号S(1,1)至S(4,N)类似。

[0113] 在显示部30的每个像素列中,像素P以菊花链方式连接;因此,每当时钟信号CK通过像素P时,输入到每个像素P中的时钟信号CK都被像素P中的缓冲器45延迟,并且数据信号PS和PD也被相应地延迟。换句话说,每当信号S通过像素P时,信号S被缓冲器45延迟。因此,例如,在最左侧像素列中,如图8中的部分(A)所示,当在定时t1转换第一像素P(1,1)的输入信号S(1,1)时,像素列的各个像素P逐渐延迟信号S,并且如图8的部分(B)所示,在定时t11转换末级中的像素P(1,N)的输入信号S(1,N)。换句话说,信号S(1,1)至S(1,N)的转换定时分布在从定时t1至定时t11的周期TA中。类似地,在从左边的第二像素列中,当在定时t2转换第一阶中的像素P(2,1)的输入信号S(2,1)时,在定时t12转换末级中的像素P(2,N)的输入信号S(2,N)(参照图8的部分(C)和(D)),并且信号S(2,1)至S(2,N)的转换定时分布在从定时t2至定时t12的周期TB中。类似地,在从左边的第三像素列中,当在定时t3转换第一阶中的像素P(3,1)的输入信号S(3,1)时,在定时t13转换末级中的像素P(3,N)的输入信号S(3,N)(参照图8的部分(E)和(F)),并且信号S(3,1)至S(3,N)的转换定时分布在从定时t3至定时t13的周期TC中。然后,在从左边的第四像素列中,当在定时t4转换第一阶中的像素P(4,1)的输入信号S(4,1)时,在定时t14转换末级中的像素P(4,N)的输入信号S(4,N)(参照

图8的部分(G)和(H)),并且信号S(4,1)至S(4,N)的转换定时分布在从定时 t_4 至定时 t_{14} 的周期TD中。

[0114] 因此,在显示装置1中,显示驱动部20基于四个相位的时钟信号CKA至CKD生成信号S(1,1)至S(M,1),显示部30中的像素P的各像素列基于信号S(1,1)至S(M,1)操作;因此,将各个信号S的转换定时设置为分布在四个周期TA至TD中;因此,允许减小像素P的电源电压电平或地电平的波动。换句话说,例如,如果显示驱动部20不是基于四个相位的时钟信号CKA至CKD而是基于单个时钟信号来生成信号S(1,1)至S(M,1),则将各信号S的转换定时设置为例如仅分布在一个周期TA中,并且像素P的电源电压电平和地电平的波动可能增大。因此,在电源电压电平或地电平的波动大的情况下,像素P可能会出现故障,导致显示装置1的图像质量的劣化。另一方面,在显示装置1中,显示驱动部20基于四个相位的时钟信号CKA至CKD生成信号S(1,1)至S(M,1);因此,如图8所示,将各信号S的转换定时设置为分布在四个周期TA至PD中;因此,允许减小像素P的电源电压电平或地电平的波动。因此,允许减小像素P出现故障的可能性,并且允许减小显示装置1的图像质量劣化的可能性。此外,允许减小像素P的电源电压电平或地电平的波动;因此,可以将电源电平和地之间的解耦合电容减小至像素P不出现故障的程度。在该情况下,允许减少显示部30中的部件,并且允许提高诸如显示装置30中的部件的布局的设计灵活性。

[0115] [效果]

[0116] 如上所述,在该实施例中,显示驱动部基于四个相位的时钟信号生成信号;因此,允许减小像素出现故障的可能性,允许减小显示装置的图像质量劣化的可能性,并且允许提高诸如部件的布局的设计灵活性。

[0117] [修改例1-1]

[0118] 在上述实施例中,虽然时钟生成部22生成四个相位的时钟信号CKA至CKD,但是相位的数量不限于此。可选地,可以生成两个相位、三个相位、或者五个或更多个相位的时钟信号。以下将详细描述包括生成两个相位的时钟信号CKA和CKC的显示驱动部20A的显示装置1A。

[0119] 图9示出了显示驱动部20A的配置实例。显示驱动部20A包括时钟生成部22A。时钟生成部22A被配置为生成两个相位的时钟信号CKA和CKC。时钟信号CKA和CKC彼此异相大约 180° 。然后,时钟生成部22A将时钟信号CKA和CKC中的一个提供到输出电路23(1)至23(M)中的每个。更具体地,在该实例中,时钟生成部22A将时钟信号CKA提供到第奇数个输出电路23(1)、23(3)、23(5)等等,并且将时钟信号CKC提供到第偶数个输出电路23(2)、23(4)、23(6)等等。

[0120] 图10示出了来自输出电路23(1)和23(2)的输出信号的定时图,其中部分(A)指示来自输出电路23(1)的输出信号S(1,1)的波形,部分(B)指示来自输出电路23(2)的输出信号S(2,1)的波形。即使在该情况下,输出电路23(1)和23(2)基于两个相位的时钟信号CKA和CKC操作;因此,允许数据信号PS(1,1)和PD(1,1)的转换定时 t_{21} (参照图10的部分(A))和数据信号PS(2,1)和PD(2,1)的转换定时 t_{22} (参照图10的部分(B))彼此不同。因此,在显示装置1A中,如同显示装置1,允许减小每个像素P出现故障的可能性,并且允许减小图像质量的劣化。

[0121] [修改例1-2]

[0122] 在上述实施例中,时钟信号CKA至CKD(时钟信号CK(1,1)至CK(4,1))的相邻时钟信号之间的相差大约是 90° ;然而,该相差不限于此。例如,如图11所示,相差可以不同于大约 90° 。类似地,例如,在根据修改例1-1的显示装置1A中,时钟信号CKA和CKC(时钟信号CK(1,1)和CK(2,1))之间的相差大约是 180° ;然而,该相差不限于此,并且可以是不同于大约 180° 。

[0123] [修改例1-3]

[0124] 在上述实施例中,时钟信号CK的循环等于数据信号PS和PD中的一个比特的脉冲宽度;然而,时钟信号CK的循环不限于此。可选地,如图13所示,例如,时钟信号CK的循环可以等于数据信号PS和PD中的两个比特的脉冲宽度。在该情况下,例如,允许每个像素P的触发器42和44使用在上升沿和下降沿操作的电路。

[0125] [修改例1-4]

[0126] 在上述实施例中,将时钟信号CK提供到每个像素P;然而,被提供到每个像素P的信号不限于此。可选地,例如,可以将差分时钟信号提供到每个像素。以下将详细描述根据该修改例的显示装置1B。

[0127] 图14示出了显示装置1B中的显示驱动部20B和显示部30B的配置实例。显示驱动部20B包括多个输出电路23B(1)至23B(M)。输出电路23B(1)至23B(M)被配置为基于信号SIG1(1)至SIG1(M)和时钟信号CKA至CKD生成信号SB(1,1)至SB(M,1)。

[0128] 时钟生成部22将时钟信号CKA和CKC或者时钟信号CKB和CKD提供到输出电路23B(1)至23B(M)中的每个。更特别地,在该实例中,时钟生成部22将由时钟信号CKA和CKC配置的差分时钟信号CKAC提供到输出电路23B(1)、23B(5)、23B(9)等等,并且将由时钟信号CKB和CKD配置的差分时钟信号CKBD提供到输出电路23B(2)、23B(6)、23B(10)等等。时钟生成部22将由时钟信号CKC和CKA配置的差分时钟信号CKCA(即,与差分时钟信号CKAC异相大约 180° 的信号)提供到输出电路23B(3)、23B(7)、23B(11)等等,并且将由时钟信号CKD和CKB配置的差分时钟信号CKDB(即,与差分时钟信号CKBD异相大约 180° 的信号)提供到输出电路23B(4)、23B(8)、23B(12)等等。

[0129] 因此,例如,基于信号SIG1(1)和差分时钟信号CKAC,输出电路23B(1)与差分时钟信号CKAC(时钟信号CKA和CKC)同步地生成并输出数据信号PS(1,1)和PD(1,1),并且分别输出时钟信号CKA和CKC作为时钟信号CKP(1,1)和CKN(1,1),以将这些信号作为信号SB(1,1)提供到显示部30B。此外,例如,基于信号SIG1(2)和差分时钟信号CKBD,输出电路23B(2)与差分时钟信号CKBD(时钟信号CKB和CKD)同步地生成并输出数据信号PS(2,1)和PD(2,1),并且分别输出时钟信号CKB和CKD作为时钟信号CKP(2,1)和CKN(2,1),以将这些信号作为信号SB(2,1)提供到显示部30B。此外,例如,基于信号SIG1(3)和差分时钟信号CKCA,输出电路23B(3)与差分时钟信号CKCA(时钟信号CKC和CKA)同步地生成并输出数据信号PS(3,1)和PD(3,1),并且分别输出时钟信号CKC和CKA作为时钟信号CKP(3,1)和CKN(3,1),以将这些信号作为信号SB(3,1)提供到显示部30B。此外,例如,基于信号SIG1(4)和差分时钟信号CKDB,输出电路23B(4)与差分时钟信号CKDB(时钟信号CKD和CKB)同步地生成并输出数据信号PS(4,1)和PD(4,1),并且分别输出时钟信号CKD和CKB作为时钟信号CKP(4,1)和CKN(4,1),以将这些信号作为信号SB(4,1)提供到显示部30B。

[0130] 图15示出了来自输出电路23B(1)至23B(4)的输出信号的定时图,其中,部分(A)指

示来自输出电路23B(1)的输出信号SB(1,1)的波形,部分(B)指示来自输出电路23B(2)的输出信号SB(2,1)的波形,部分(C)指示来自输出电路23B(3)的输出信号SB(3,1)的波形,以及部分(D)指示来自输出电路23B(4)的输出信号SB(4,1)的波形。即使在该情况下,输出电路23B(1)至23B(4)基于由四个相位的时钟信号CKA至CKD配置的四个相位的差分信号操作;因此,允许数据信号PS和PD的转换定时彼此不同。

[0131] 显示部30被配置为基于通过显示驱动部20B驱动来显示图像。显示部30B包括排列成矩阵形式的多个像素PB。

[0132] 图16示出了像素PB的配置实例。像素PB包括缓冲器61、64、65、68和69以及反相器66和67。值得注意的是,为了便于描述,将描述像素PB(1,1)作为实例;然而,其他像素PB与像素PB(1,1)类似。

[0133] 基于数据信号PS(1,1)和PD(1,1)、输入到其输入端CKPIN的时钟信号CKP(1,1)以及输入到其输入端CKNIN的时钟信号CKN(1,1),像素PB(1,1)生成数据信号PS(1,2)和PD(1,2)以及时钟信号CKP(1,2)和CKN(1,2)。然后,像素PB(1,1)分别从其输出端PSOUT、输出端PDOUT、输出端CKPOUT以及输出端CKNOUT输出数据信号PS(1,2)、数据信号PD(1,2)、时钟信号CKP(1,2)以及时钟信号CKN(1,2)。

[0134] 缓冲器61是被配置为将差分信号转换成单端信号的电路。更具体地,缓冲器61将由时钟信号CKP(1,1)和CKN(1,1)配置的差分信号转换成是单端信号的时钟信号CKS。控制部41、触发器42和44以及存储器部46基于时钟信号CKS操作。

[0135] 缓冲器64和65被配置为对输入信号执行波形整形,以输出波形整形的信号。更具体地,缓冲器64对时钟信号CKP(1,1)执行波形整形,并且缓冲器65对时钟信号CKN(1,1)执行波形整形。

[0136] 反相器66和67是被配置为将输入信号反相以输出反相信号的反相电路。反相器66的输入端连接至反相器67的输出端和缓冲器65的输出端,并且反相器66的输出端连接至反相器67的输入端和缓冲器64的输出端。此外,反相器67的输入端连接至反相器66的输出端和缓冲器64的输出端,并且反相器67的输出端连接至反相器66的输入端和缓冲器65的输出端。通过这种配置,反相器66和67配置锁存电路。

[0137] 缓冲器68被配置为对来自缓冲器64的输出信号执行波形整形,以输出波形整形的信号作为时钟信号CKP(1,2)。缓冲器69被配置为对来自缓冲器65的输出信号执行波形整形,以输出波形整形的信号作为时钟信号CKN(1,2)。

[0138] 如上所述,使用了差分时钟信号CKP和CKN;因此,允许减小时钟信号的波形因传输而劣化的可能性。换句话说,在将单端时钟信号CK如上述实施例使用的情况下,例如,时钟信号CK的占空比可以在时钟信号CK通过多个缓冲器45之后改变。例如,在配置缓冲器45的晶体管的特征改变的情况下,可能会出现这种现象。在占空比以这种方式改变的情况下,例如,可能不允许适当地执行时钟传输,或者像素P的触发器42中的采样定时可能偏移,并且像素P可能无法适当操作。另一方面,在根据修改例的像素PB中,当反相器66和67执行锁存操作时,允许减小占空比的变化。

[0139] [修改例1-5]

[0140] 在上述实施例中,使用DAC52R、52G和52B配置驱动部50;然而,驱动部不限于此。可选地,例如,可以使用计数器配置驱动部。以下将详细描述根据该修改例的像素PC。

[0141] 图17示出了像素PC的配置实例。像素PC包括控制部41C和驱动部50C。控制部41C具有与根据上述实施例的控制部41类似的功能,并且控制部41C被配置为充当状态机并且向驱动部50C提供控制信号。

[0142] 驱动部50C包括计数器55R、55G和55B、电流源56R、56G和56B以及开关57R、57G和57B。计数器55R、55G和55B是被配置为通过使用控制信号作为参考对从控制部41C提供的控制信号(计数器的时钟信号)的时钟脉冲进行计数而生成脉冲信号的计数器,该脉冲信号具有根据寄存器51R、51G和51B中存储的亮度数据IDR、IDG和IDB的脉冲宽度。电流源56R、56G和56B中的每个都被配置为生成特定驱动电流。开关57R、57G和57B被配置为响应于从计数器55R、55G和55B提供的脉冲信号打开或关闭。

[0143] 通过这种配置,例如,计数器55R生成具有根据寄存器51R中存储的亮度数据IDR的脉冲宽度的脉冲信号。然后,开关57R响应与脉冲信号打开或关闭,以将电流源56R生成的驱动电流提供到发光装置48R。

[0144] 因此,允许像素PC通过改变发光时间改变发光亮度。换句话说,在根据上述实施例的像素P通过改变亮度I改变发光亮度(亮度 \times 时间)的同时,允许根据该修改例的像素PC通过改变发光的持续时间来改变发光亮度(亮度 \times 时间)。

[0145] (2. 第二实施例)

[0146] 接下来,下面将描述根据第二实施例的显示装置2。根据该实施例的显示装置2被配置为使得允许调节每个像素中的延迟量。值得注意的是,与根据上述第一实施例的显示装置1相同的部件用相同的标号表示,并且将不会进一步地描述。

[0147] 图18示出了显示装置2的配置实例。该显示装置2包括显示面板17。显示面板17包括显示驱动部70、包括排列成矩阵形式的多个像素Q的显示部80以及相位比较部90。

[0148] 图19示出了显示面板17的配置实例。显示驱动部70包括信号生成部71。信号生成部71被配置为基于图像信号Sdisp和控制信号CTL生成和输出多个信号SIG2(1)至SIG2(M)。各个信号SIG2(1)至SIG2(M)对应于显示部的各个M个像素列,并且每个包括属于各个像素列的像素Q的亮度数据ID和延迟数据DD(将在后面描述)。显示驱动部70基于四个相位的时钟信号CKA至CKD操作;因此,如同上述第一实施例(参照图3),例如,信号S(1,1)中的时钟信号CK(1,1)与信号S(2,1)中的时钟信号CK(2,1)异相大约 90° ,信号S(2,1)中的时钟信号CK(2,1)与信号S(3,1)中的时钟信号CK(3,1)异相大约 90° ,信号S(3,1)中的时钟信号CK(3,1)与信号S(4,1)中的时钟信号CK(4,1)异相大约 90° ,并且信号S(4,1)中的时钟信号CK(4,1)与信号S(1,1)中的时钟信号CK(1,1)异相大约 90° 。

[0149] 显示部80的每个像素Q都从它前面的像素Q接收数据信号PS和PD以及时钟信号CK,并且将这些信号提供到其后面的像素Q。然后,每个像素Q都从该数据信号PD读取该像素Q的亮度数据ID和延迟数据DD(将在后面描述),并且发射具有根据亮度数据ID的发光亮度的光,并且将数据信号PS和PD和时钟信号CK延迟根据延迟数据DD的延迟量,以输出延迟的信号。然后,末级中的像素Q从其输出端CKOUT输出时钟信号CKO(CKO(1)至CKO(M))。

[0150] 相位比较部90被配置为相互比较时钟信号CKO(1)至CKO(M)的相位,并且控制每个像素Q中的延迟量,以在其之间具有期望的相位差。更具体地,如后面将要描述的,例如,相位比较部90可以生成每个像素Q的延迟数据DD,以允许时钟信号CKO(1)与时钟信号CKO(2)异相大约 90° ,允许时钟信号CKO(2)与时钟信号CKO(3)异相大约 90° ,允许时钟信号CKO(3)

与时钟信号CK0(4)异相大约 90° ，以及允许时钟信号CK0(4)与时钟信号CK0(1)异相大约 90° 。换句话说，相位比较部90生成延迟数据DD，以允许输入到显示部30的时钟信号CK(1,1)至CK(M,1)之间的相位关系分别等于从对应于CK(1,1)至CK(M,1)的显示部输出的时钟信号CK0(1)至CK0(M)之间的相位关系。换句话说，相位比较部90生成延迟数据DD，以允许各个像素列的延迟量彼此相等。然后，相位比较部90使用控制信号CTL将生成的每个像素Q的延迟数据DD提供到信号生成部71。

[0151] 图20示出了根据该实施例的数据信号PD的配置实例。除了旗标RST、旗标PL以及亮度数据ID，一个像素Q的像素包PCT2还包括延迟数据DD。延迟数据DD被配置为定义每个像素Q中的延迟量。在该实例中，延迟数据DD是1比特的数据。在该实例中，将延迟数据DD布置在像素包PCT2中的亮度数据ID的后面。

[0152] 图21示出了像素Q的配置实例。值得注意的是，为了便于描述，以下将描述像素Q(1,1)作为实例；然而，其他像素Q与该像素Q(1,1)类似。像素Q包括存储器部86、控制部84以及延迟电路81至83。

[0153] 存储器部86包括移位寄存器86B。在该实例中，移位寄存器86B是37比特移位寄存器，并且被配置为保持36比特的亮度数据ID和1比特的延迟数据DD。更具体地，移位寄存器86B被配置为从其末尾部分保持12比特的亮度数据IDR、12比特的亮度数据IDG、12比特的亮度数据IDB以及1比特的延迟数据DD。

[0154] 控制部84具有类似于根据上述第一实施例的控制部41的功能。控制部84被配置为生成信号CKEN2。信号CKEN2是在其中数据信号PDA指示像素Q(1,1)的36比特的亮度数据ID和1比特的延迟数据DD的总共37比特的周期中变成“1”并且在其他周期中变成“0”的信号。

[0155] 延迟电路81至83中的每个都是被配置为将输入信号延迟根据移位寄存器86B中存储的延迟数据DD的延迟量并且输出延迟信号的电路。更具体地，例如，延迟电路81至83中的每个在延迟数据DD是“1”的情况下增大延迟量，并且可以在延迟数据DD是“0”的情况下减小延迟量。延迟电路81延迟从触发器42提供的数据信号DPA，以输出延迟的数据信号DPA作为数据信号PDA2，然后将数据信号PDA2提供到选择器部43。延迟电路82延迟从触发器42提供的数据信号PSA，以输出延迟的数据信号PSA作为数据信号PSA2，然后将数据信号PSA2提供到触发器44。延迟电路83延迟输入到其输入端CKIN的时钟信号CK，以输出延迟的时钟信号CK作为时钟信号CK2，然后将时钟信号CK2提供到缓冲器45。触发器44被配置为基于从延迟电路83输出的时钟信号CK2操作。

[0156] 像素Q对应于本公开实施例中的“单位像素”的具体实例。像素Q(1,1)至Q(M,1)对应于本公开实施例中的“第一单位像素”的具体实例，并且像素Q(1,N)至Q(M,N)对应于本公开实施例中的“第二单位像素”的具体实例。

[0157] 图22示出了相位比较部90的操作实例，其中，部分(A)至(D)分别指示时钟信号CK0(1)至CK0(4)的波形。值得注意的是，以下将描述时钟信号CK0(1)至CK0(4)作为实例；然而，其他时钟信号CK0(5)至CK0(M)与时钟信号CK0(1)至CK0(4)类似。首先，相位比较部90将时钟信号CK0(1)至CK0(M)的相位彼此比较。然后，例如，如图22的部分(B)所示，当时钟信号CK0(1)和CK0(2)之间的相位差是大约 90° 或更少时，相位比较部设置每个像素Q的延迟数据DD，以延迟时钟信号CK0(2)。此外，例如，如图22的部分(C)所示，当时钟信号CK0(1)和CK0(3)之间的相位差是大约 180° 或更多时，相位比较部90设置每个像素Q的延迟数据DD，以上

移时钟信号CK0 (3) 的相位。此外,例如,如图22的部分 (D) 所示,当时钟信号CK0 (1) 和CK0 (4) 之间的相位差是大约 270° 或以下时,相位比较部90设置每个像素Q的延迟数据DD,以延迟时钟信号CK0 (4) 的相位。因此,相位比较部90生成了每个像素Q的延迟数据DD,以允许时钟信号CK0 (1) 与时钟信号CK0 (2) 异相大约 90° ,以允许时钟信号CK0 (2) 与时钟信号CK0 (3) 异相大约 90° ,以允许时钟信号CK0 (3) 与时钟信号CK0 (4) 异相大约 90° ,以允许时钟信号CK0 (4) 与时钟信号CK0 (1) 异相大约 90° 。然后,相位比较部90使用控制信号CTL将这些延迟数据DD提供到信号生成部71。

[0158] 因此,在显示装置2中,将时钟信号CK0 (1) 至CK0 (M) 的相位彼此比较,并且基于比较结果设置延迟数据DD;因此,例如,即使在由于由制造工艺引起显示部80中的每个像素Q的延迟量的变化的情况下,也允许减小像素Q发生故障的可能性,并且允许减小显示装置2的图像质量劣化的可能性。换句话说,例如,在根据上述第一实施例的显示装置1中,在由制造工艺引起每个像素列中的延迟量的变化的情况下,转换定时的分布可能与图8中示出的不同,并且转换定时可能集中在特定周期。在该情况下,电源电平或地电平的波动可能增大,引起像素P中的故障,从而引起显示装置1的图像质量的劣化。另一方面,在显示装置2中,将时钟信号CK0 (1) 至CK0 (M) 的相位彼此比较,并且基于比较结果设置延迟数据DD;因此,即使由制造工艺引起每个像素列中的延迟量的变化,也允许设置延迟数据DD,以抵消延迟量的变化。因此,在显示装置2中,允许减小转换定时集中在特定周期的可能性;因此,允许减小电源电平或地电平的波动。因此,允许减小像素Q发生故障的可能性,并且相应地允许减小显示装置的图像质量劣化的可能性。

[0159] 如上所述,在该实施例中,允许改变每个像素的延迟量;因此,即使在由制造工艺引起每个像素中的延迟量的变化的情况下,也允许减小像素发生故障的可能性,并且允许减小显示装置的图像质量劣化的可能性。

[0160] [修改例2-1]

[0161] 在上述实施例中,延迟电路81设置在触发器42和触发器44之间,延迟电路82设置在触发器42和选择器部43之间,延迟电路83设置在输入端CKIN和缓冲器45之间;然而,延迟电路的位置不限于此。可选地,例如,在图23中示出的像素QA中,延迟电路81A可以设置在触发器44和输出端PSOUT之间,延迟电路82A可以设置在触发器44和输出端PDOUT之间,并且延迟电路83A可以设置在缓冲器45和输出端CKOUT之间。

[0162] [修改例2-2]

[0163] 在上述实施例中,设置了相位比较部90,并且相位比较部90将时钟信号CK0 (1) 至CK0 (M) 的相位彼此比较,并且基于比较结果设置延迟数据DD;然而,该实施例不限于此,并且可以不设置相位比较部90。以下将详细描述根据该修改例的显示装置2B。

[0164] 图24示出了显示装置2B的显示面板17B的配置实例。显示面板17B包括显示驱动部70B和显示部80B。显示驱动部70B包括了包括存储器72的信号生成部71B。存储器72被配置为保持每个像素Q的延迟数据。显示部80B包括被配置为输出时钟信号CK0 (1) 至CK0 (M) 的输出端T (1) 至T (M)。输出端T (1) 至T (M) 中的每个可以被配置为例如衬垫、连接器等等,并且例如,在制造显示面板17B期间,可以允许连接至外部单元。

[0165] 通过该配置,允许显示面板17B在制造期间设置延迟数据DD。换句话说,在制造期间,显示面板17B操作一次,并且使用诸如测试器的外部单元将时钟信号CK0 (1) 至CK0 (M) 的

相位彼此比较,以基于比较结果确定延迟数据DD,然后提前将延迟数据DD存储在存储器72中。然后,在正常操作期间,基于存储器72中存储的延迟数据DD,显示面板17B的信号生成部71B生成包括亮度数据ID和延迟数据DD的信号SIG2 (1)至SIG2 (M)。

[0166] 因此,在显示装置2B中,即使在由制造工艺引起每个像素中的变化的情况下,也可以在制造期间提前校正该变化。因此,在显示装置2B中,如同上述实施例,允许减小像素Q发生故障的可能性,并且允许减小显示装置2B的图像质量劣化的可能性。

[0167] [修改例2-3]

[0168] 在上述实施例中,除了亮度数据ID,存储器部86还存储延迟数据DD;然而,该实施例不限于此。以下将描述根据该修改例的显示装置2C。

[0169] 图25示出了显示装置2C的像素QC的配置实例。值得注意的是,为了便于描述,以下将描述像素QC (1, 1)作为实例;然而,其他像素与像素QC (1, 1)类似。像素QC包括寄存器89和控制部88。寄存器89被配置为保持数据信号PDA中包括的像素QC (1, 1)的1比特的延迟数据DD。控制部88具有与根据上述第一实施例的控制部41类似的功能。控制部88具有生成信号DL的功能。该信号DL是向寄存器89指示保持数据信号PDA中包括的像素QC (1, 1)的延迟数据DD的定时的信号。

[0170] 图26A和26B示出了显示装置2C中的显示驱动部70C生成的数据信号PS和PD的配置实例,并且图26A示出了用于将亮度数据ID传输到每个像素QC的亮度数据包PCTI,图26B示出了用于将延迟数据DD传输到每个像素QC的延迟数据包PCTD。亮度数据包PCTI与根据上述第一实施例的像素包PCT类似。延迟数据包PCTD包括旗标RST、旗标PL以及延迟数据DD。

[0171] 通过该配置,在显示装置2C中,显示驱动部70C在正常操作期间将亮度数据包PCTI提供到像素QC,并且例如在电力激活时、在消隐期间等等将延迟数据包PCTD提供到像素QC。因此,例如,相比于如同上述实施例将像素包PCT2提供到像素Q的情况,允许减小待提供的数据量,并且允许降低操作频率,并且允许减小功耗。

[0172] [修改例2-4]

[0173] 在上述实施例中,为每个像素Q设置了延迟电路81至83;然而,本实施例不限于此。可选地,可以不为所有像素设置延迟电路81至83。更具体地,例如,在每个像素列中,可以交替地布置包括延迟电路81至83的像素Q和不包括延迟电路81至83的像素P。

[0174] [修改例2-5]

[0175] 修改例1-1至1-5中的任一个可以应用于根据上述实施例的显示装置2。

[0176] 虽然参照实施例及其修改例描述了本技术,但是本技术不限于此,并且可以有各种修改。

[0177] 例如,在上述实施例等中,虽然像素P和Q相对于数据信号PS和PD以菊花链方式连接,并且相对于时钟信号CK以菊花链方式连接;然而,本技术不限于此。可选地,例如,如图27所示,像素P和Q可以仅相对于数据信号PS和PD以菊花链方式连接。图27示出了应用于上述第一实施例的修改例。在该情况下,允许显示驱动部20通过例如全局配线向每个像素P提供时钟信号CK。

[0178] 此外,例如,在上述实施例等中,设置了生成多个时钟信号的时钟生成部22;然而,本技术不限于此。可选地,例如,如图28所示,可以设置被配置为生成一个时钟信号CK0的时钟生成部112和多个延迟电路DL (1)至DL (M-1)。在该实例中,时钟生成部112将时钟信号CK0

提供到输出电路23 (M) 和延迟电路DL (M-1)。延迟电路DL (M-1) 将时钟信号CK0延迟预定量, 以将延迟的时钟信号提供到输出电路23 (M-1) 和延迟电路DL (M-2)。延迟电路DL (M-2) 将从延迟电路DL (M-1) 提供的时钟信号延迟预定量, 以将延迟的时钟信号提供到输出电路23 (M-2) 和延迟电路DL (M-3)。这可应用于延迟电路DL (M-3) 至DL (2)。然后, 延迟电路DL (1) 将从延迟电路DL (2) 提供的时钟信号延迟预定量以将延迟的时钟信号提供到输出电路23 (1)。

[0179] 此外, 在上述实施例等中, 将LED用作显示元件; 然而, 本技术不限于此。可选地, 可以使用有机EL装置作为显示元件。

[0180] 此外, 在上述实施例等中, 将本技术应用于电视; 然而, 本技术不限于此, 并且可以应用于显示图像的各种设备。更具体地, 本技术可以应用于足球场、棒球场馆等中安装的大屏显示器。

[0181] 值得注意的是, 本技术可以具有如下配置。

[0182] (1) 一种显示面板, 包括:

[0183] 显示部, 包括多个单位像素; 以及

[0184] 显示驱动部, 被配置为生成多个时钟信号, 并且将时钟信号提供到显示部, 时钟信号包括具有彼此不同的相位的两个以上的时钟信号。

[0185] (2) 根据(1)的显示面板, 其中

[0186] 显示驱动部包括被配置为生成具有彼此不同的相位的两个以上的基准时钟信号的多相时钟生成部; 以及

[0187] 多个时钟信号中的每个都对应于两个以上的基准时钟信号中的一个。

[0188] (3) 根据(1)或(2)的显示面板, 其中

[0189] 多个单位像素被分成多个单位像素组, 每个组都具有预订数量的单位像素, 多个单位像素组对应于各个多个时钟信号设置,

[0190] 每个单位像素包括显示元件、时钟输入端以及时钟输出端,

[0191] 将多个时钟信号中的一个从显示驱动部提供到预订数量的单位像素的第一单位像素的时钟输入端, 以及

[0192] 预订数量的单位像素的除第一单位像素以外的一个单位像素的时钟输入端连接至预订数量的单位像素的另一单位像素的时钟输出端。

[0193] (4) 根据(3)的显示面板, 其中, 预订数量的单位像素中的一个或多个包括设置在从时钟输入端到时钟输出端的信号路径上的延迟电路, 延迟电路被配置为允许延迟量的改变。

[0194] (5) 根据(4)的显示面板, 其中

[0195] 显示驱动部还生成对应于多个时钟信号的多个数据信号,

[0196] 每个单位像素进一步包括数据输入端和数据输出端,

[0197] 将多个数据信号中的一个从显示驱动部提供到第一单位像素的数据输入端, 以及

[0198] 除预订数量的单位像素的第一单位像素以外的一个单位像素的数据输入端连接至预订数量的单位像素的另一单位像素的数据输出端。

[0199] (6) 根据(5)的显示面板, 其中, 每个数据信号都包括亮度数据和延迟数据, 并且亮度数据被配置为定义显示元件的亮度, 并且延迟数据被配置为定义延迟电路的延迟量。

[0200] (7) 根据(6)的显示面板, 进一步包括相位比较部, 被配置为将从各个第二单位像

素的各个时钟输出端输出的时钟信号的相位彼此比较,每个第二单位像素是多个单位像素组的对应的一个的末级。

[0201] (8) 根据(7)的显示面板,其中,相位比较部基于比较结果确定延迟数据。

[0202] (9) 根据(6)的显示面板,进一步包括外部端,被配置为允许外部单元检测从各个第二单位像素的各个时钟输出端输出的时钟信号,每个第二单位像素是多个单位像素组的对应的一个的末级。

[0203] (10) 根据(9)的显示面板,其中,显示驱动部包括被配置为存储延迟数据的存储器。

[0204] (11) 根据(1)或(2)的显示面板,其中

[0205] 多个单位像素被分组成多个单位像素组,每个组都具有预订数量的单位像素,多个单位像素组对应于各个多个时钟信号设置;

[0206] 每个单位像素包括时钟输入端,以及

[0207] 每个单位像素组中的各个单位像素的时钟输入端被提供有多个时钟信号的对应的一个。

[0208] (12) 根据(3)至(11)中任一项的显示面板,其中

[0209] 每个时钟信号是由第一时钟信号和第二时钟信号构成的差分信号,

[0210] 时钟输入端由对应于第一时钟信号的第一时钟输入端和对应于第二时钟信号的第二时钟输入端构成,以及

[0211] 时钟输出端由对应于第一时钟信号的第一时钟输出端和对应于第二时钟信号的第二时钟输出端构成。

[0212] (13) 根据(5)至(12)中任一项的显示面板,其中,每个数据信号是数字信号。

[0213] (14) 根据(3)至(13)中任一项的显示面板,其中,显示元件是LED显示元件。

[0214] (15) 根据(1)的显示面板,其中,显示驱动部包括被配置为定义两个以上的时钟信号之间的相位差的一个或多个延迟电路。

[0215] (16) 一种驱动方法,包括:

[0216] 生成多个时钟信号,时钟信号包括具有彼此不同的相位的两个以上的时钟信号;以及

[0217] 将多个时钟信号提供到包括多个单位像素的显示部。

[0218] (17) 一种电子设备,设置有显示面板和控制部,控制部被配置为对显示面板执行操作控制,显示面板包括:

[0219] 包括多个单位像素的显示部;以及

[0220] 被配置为生成多个时钟信号并且将时钟信号提供到显示部的显示驱动部,时钟信号包括具有彼此不同的相位差的两个以上的时钟信号。

[0221] 本领域普通技术人员应当理解,在所附权利要求及其等同物的范围内,根据设计需求和其他因素,可以有各种修改、合并、子合并和替换。

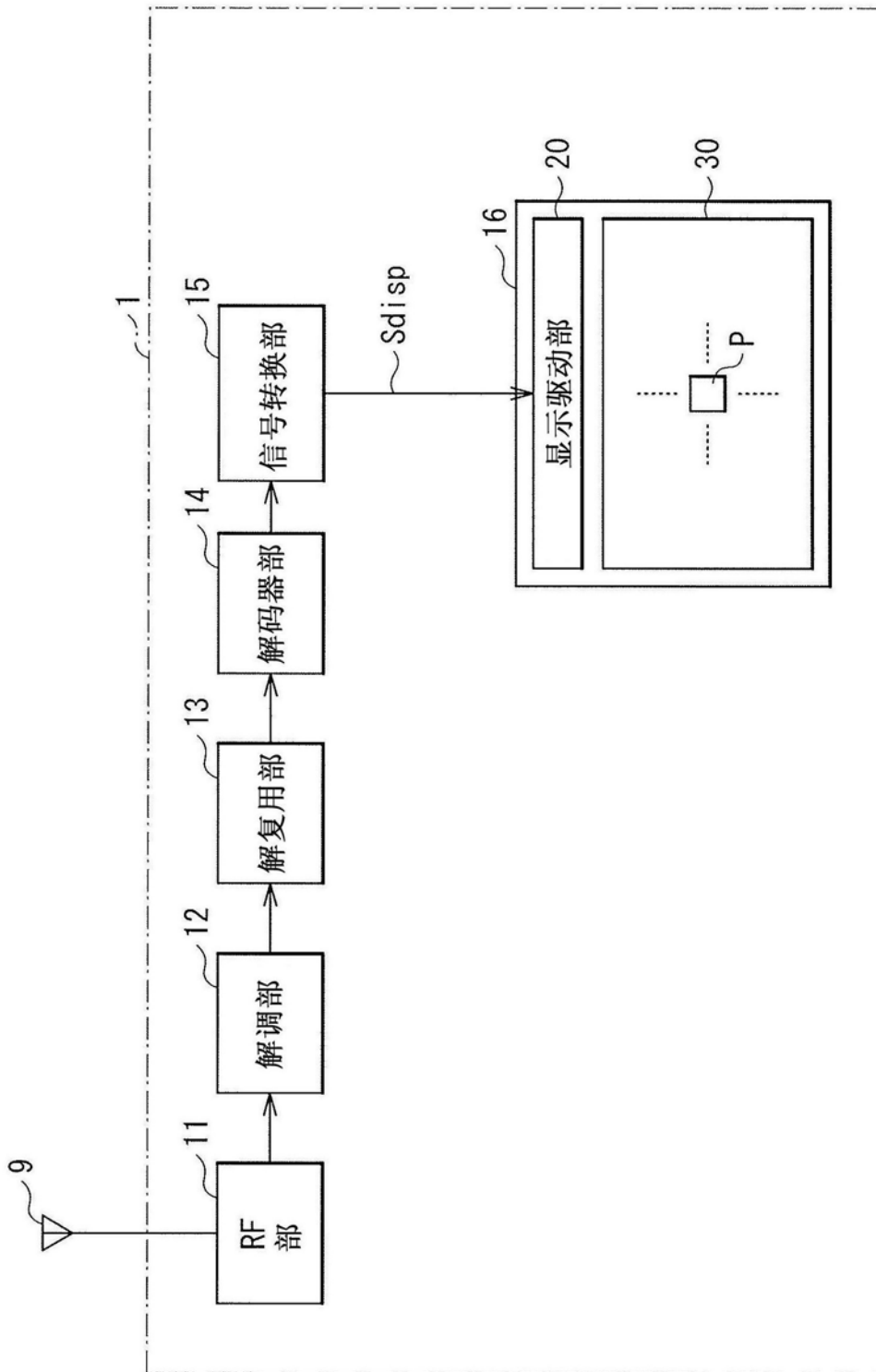


图1

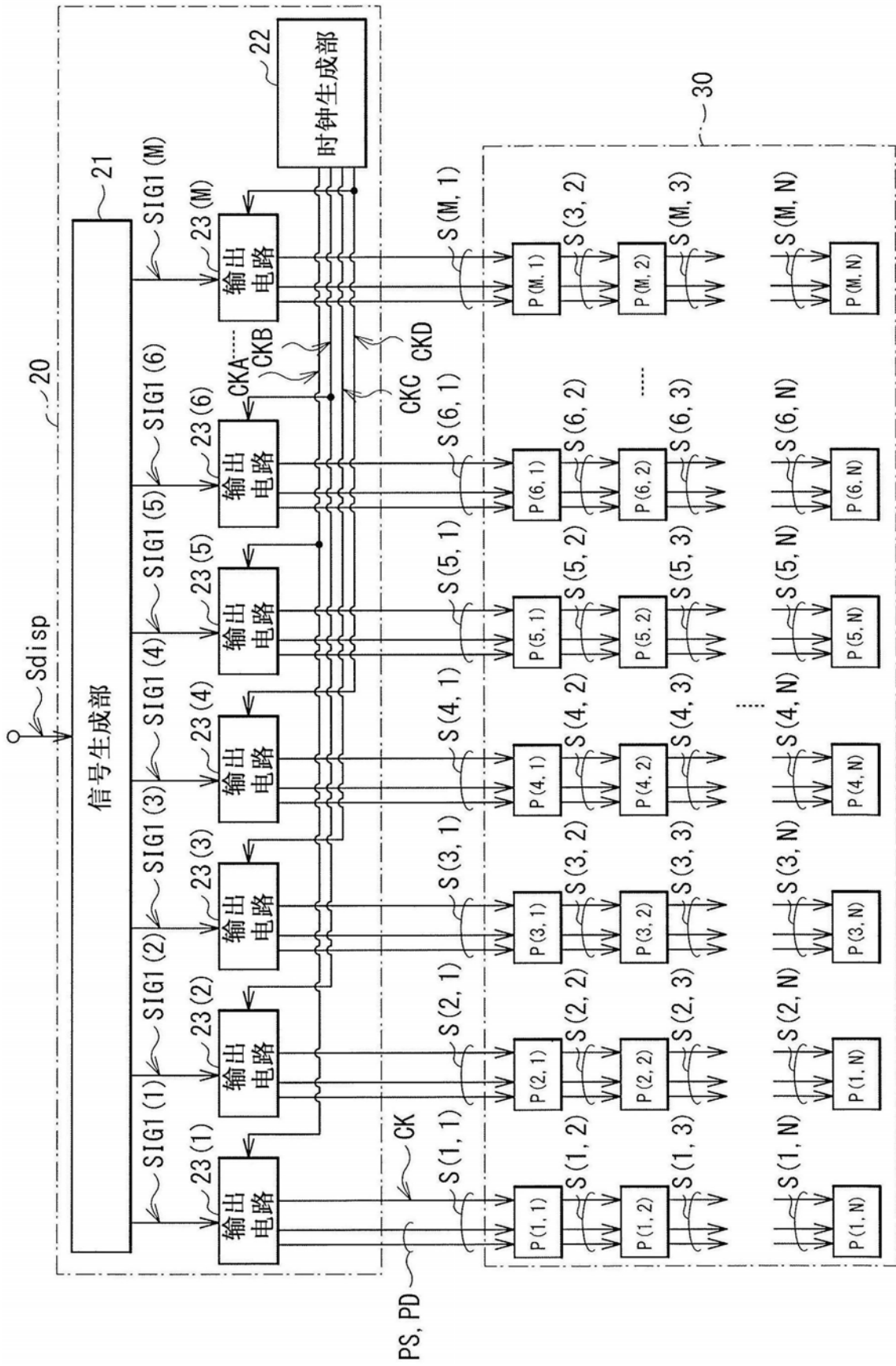


图2

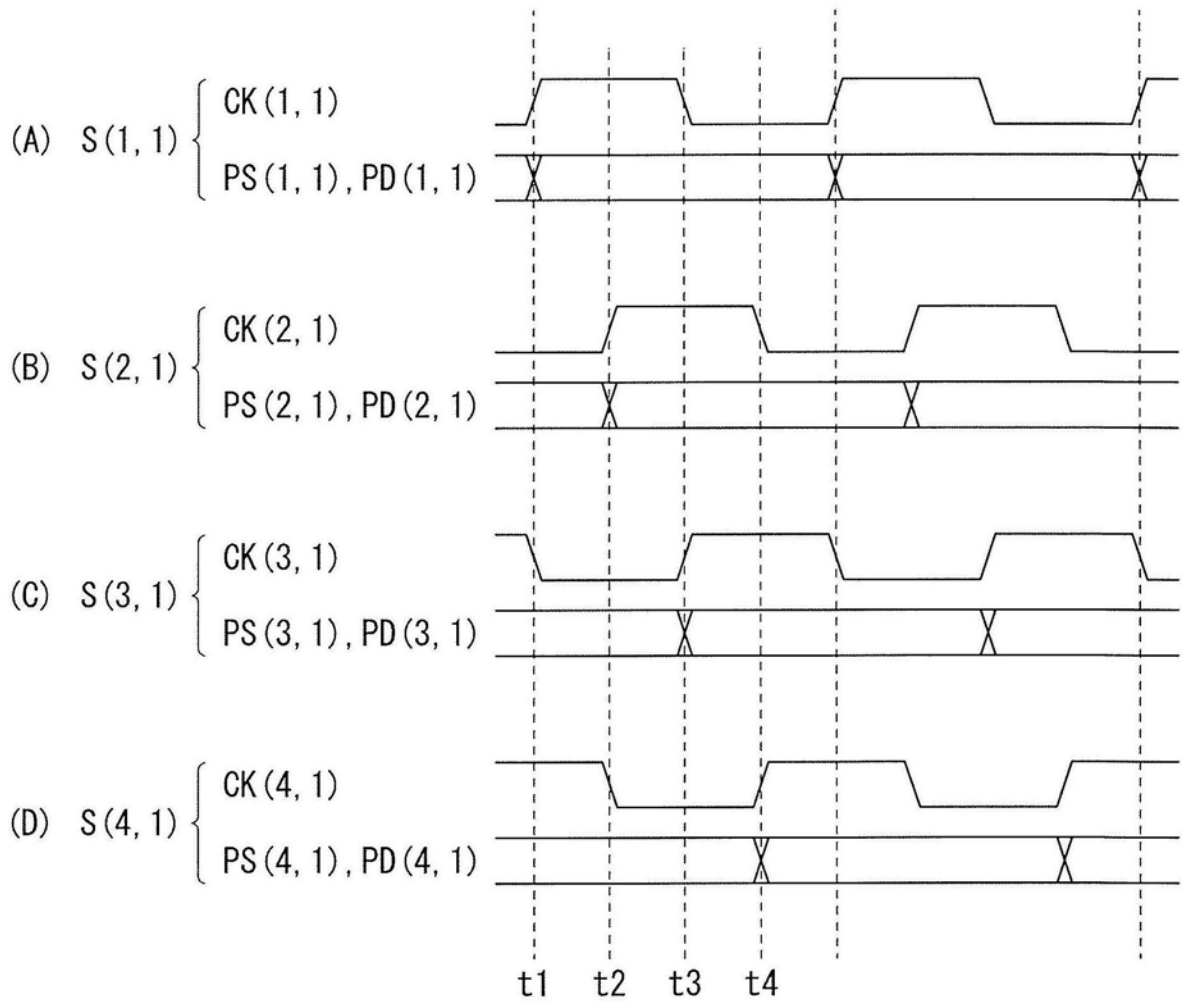


图3

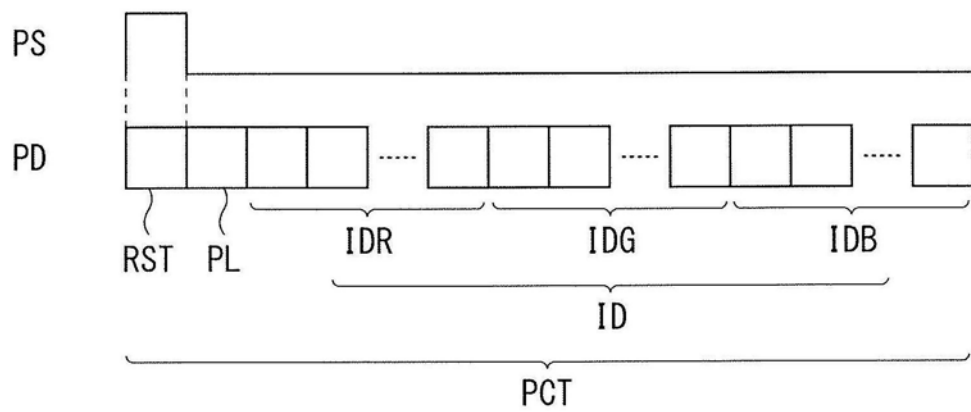


图4

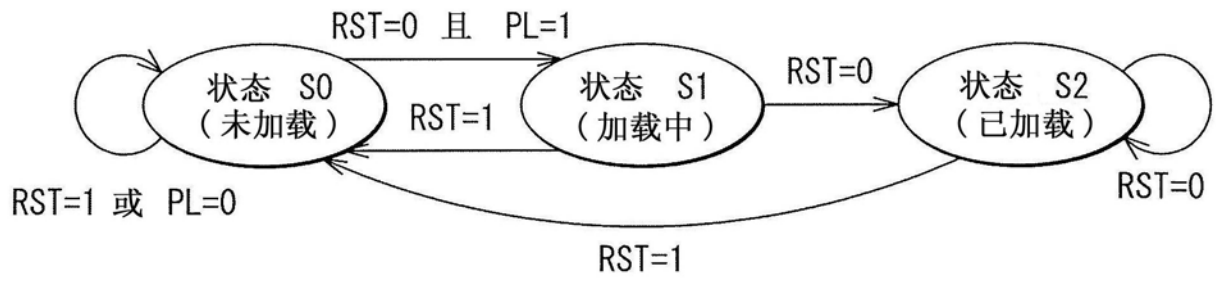


图6

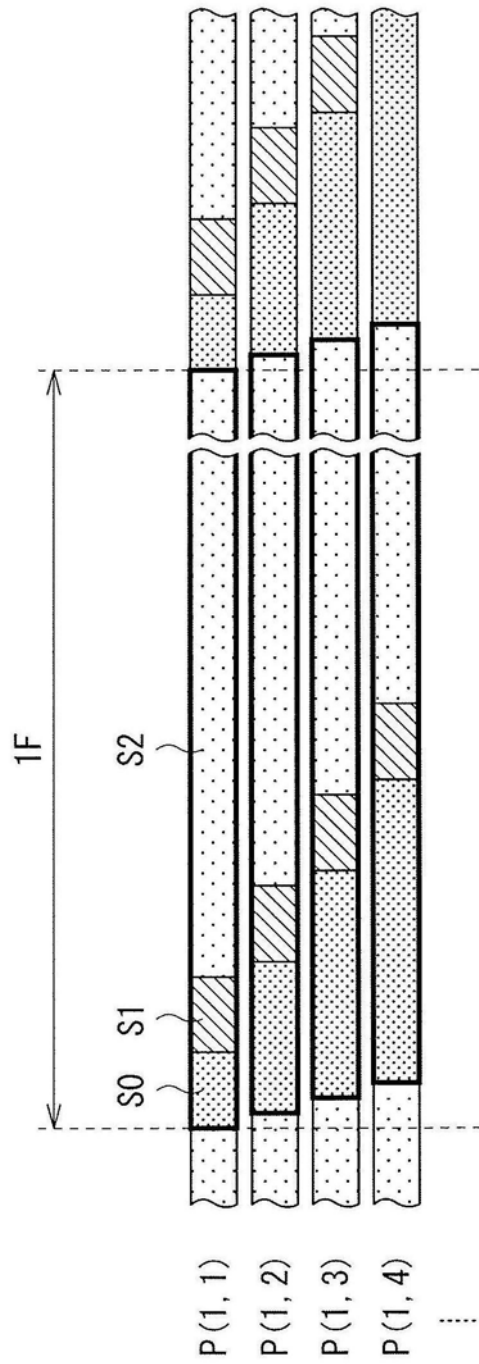


图7

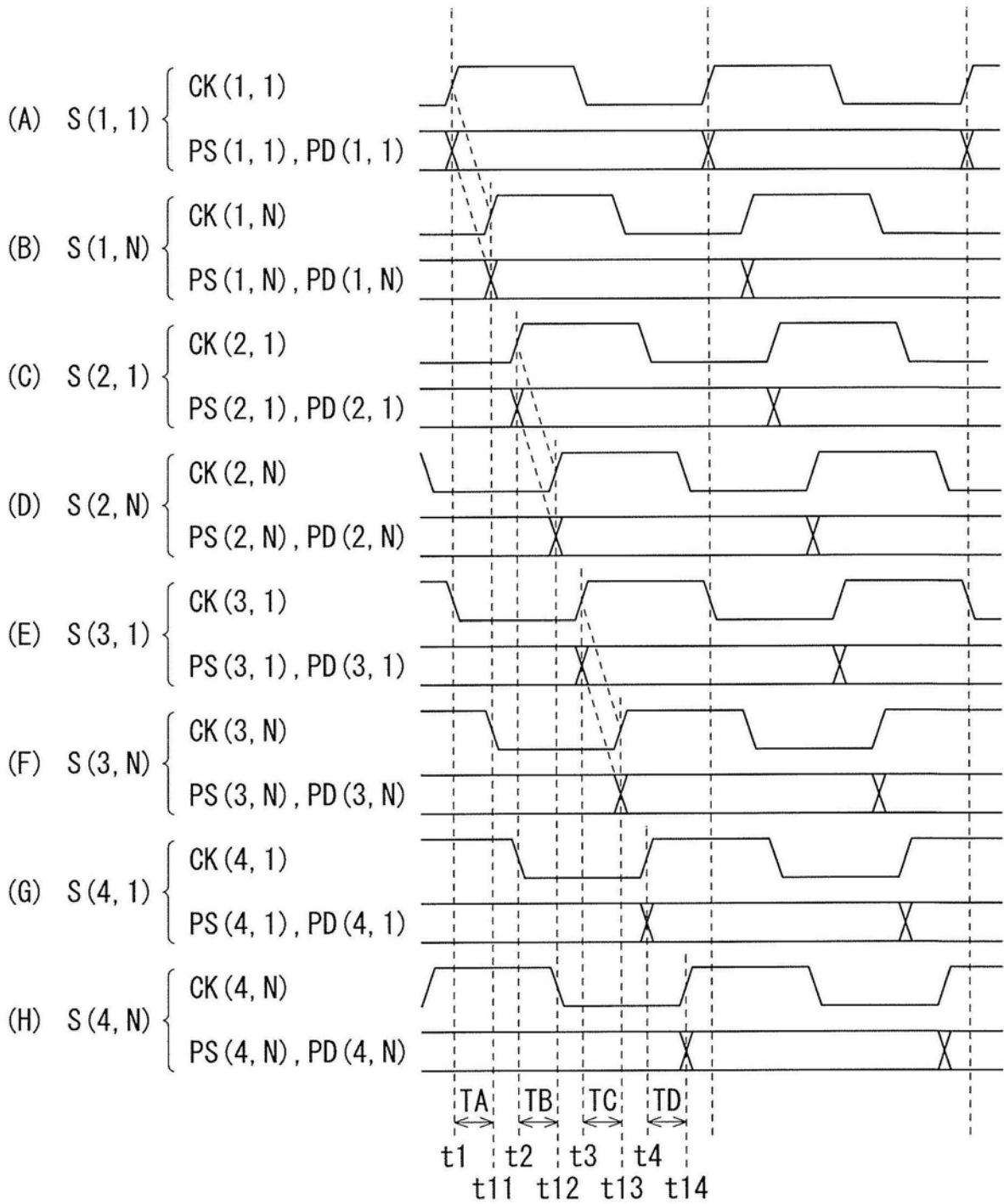


图8

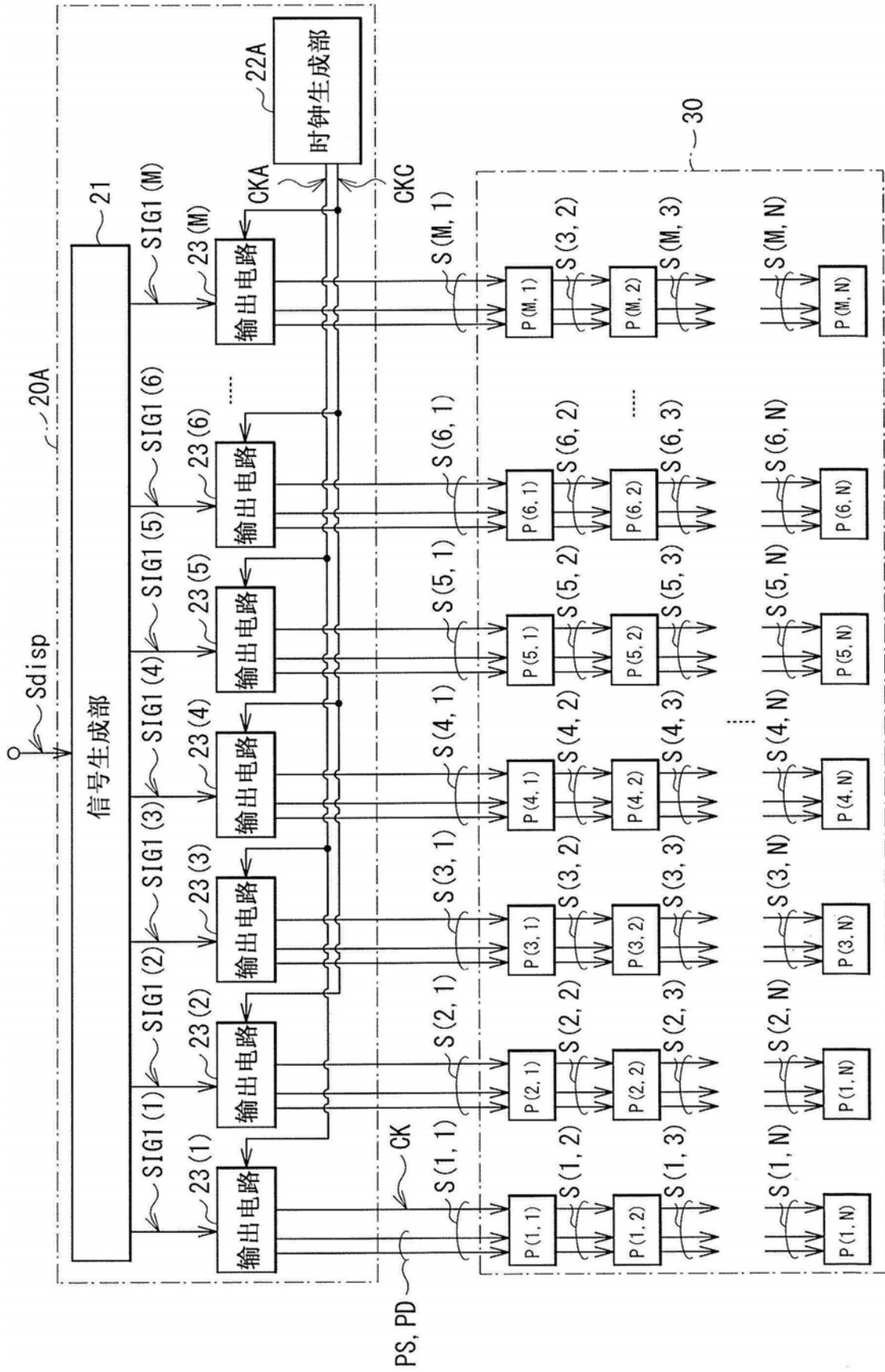


图9

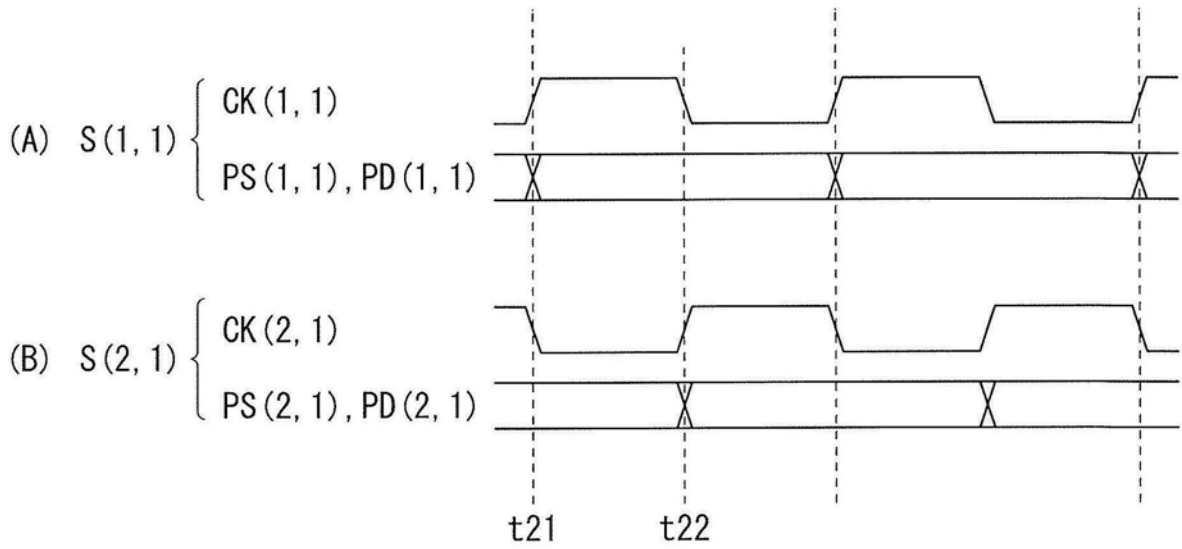


图10

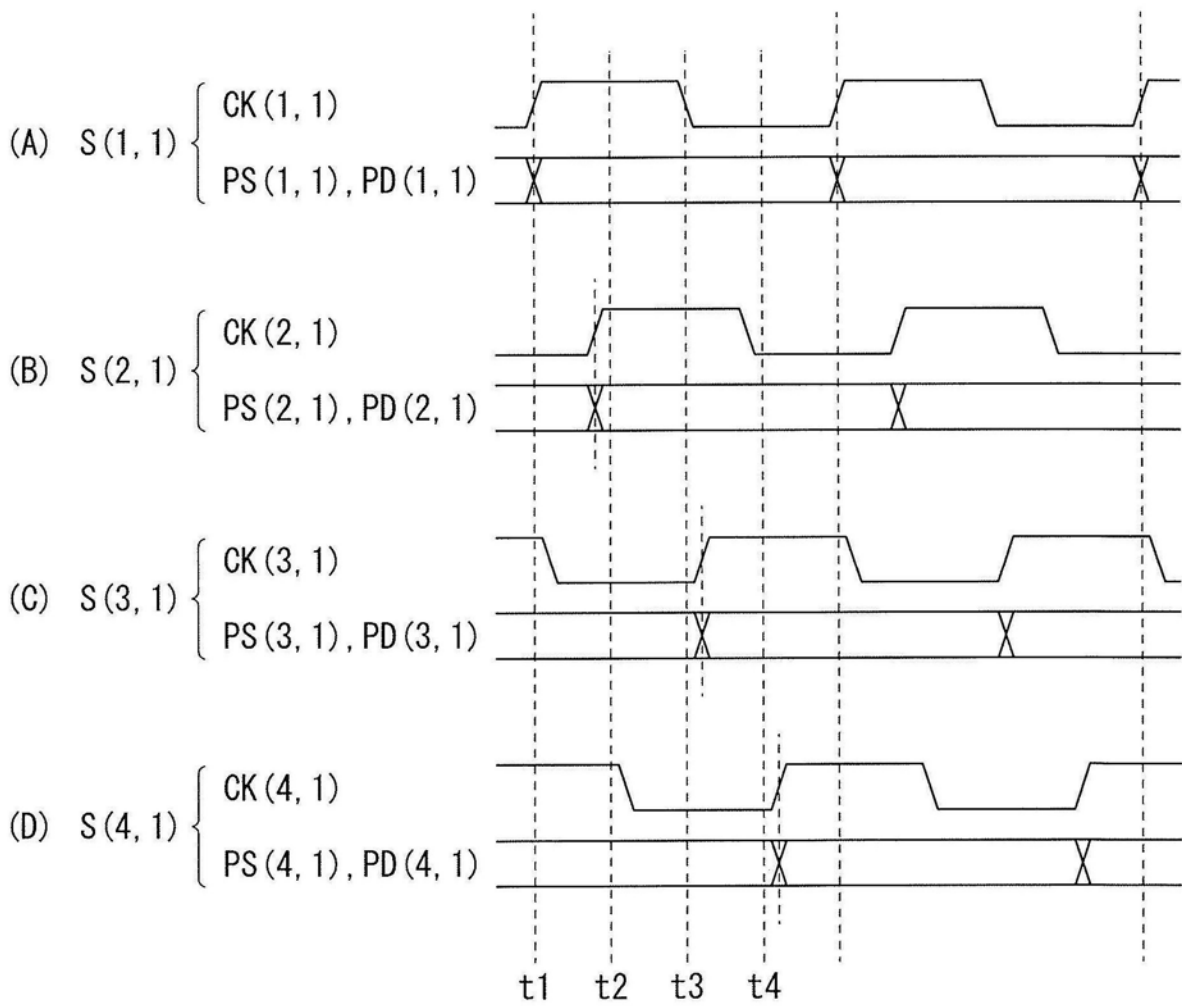


图11

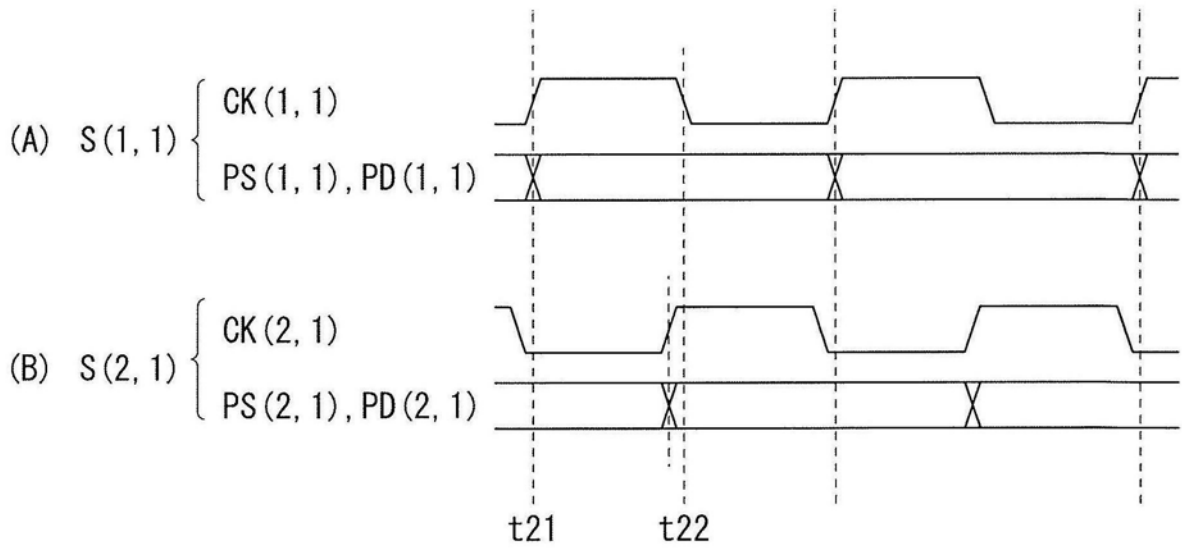


图12

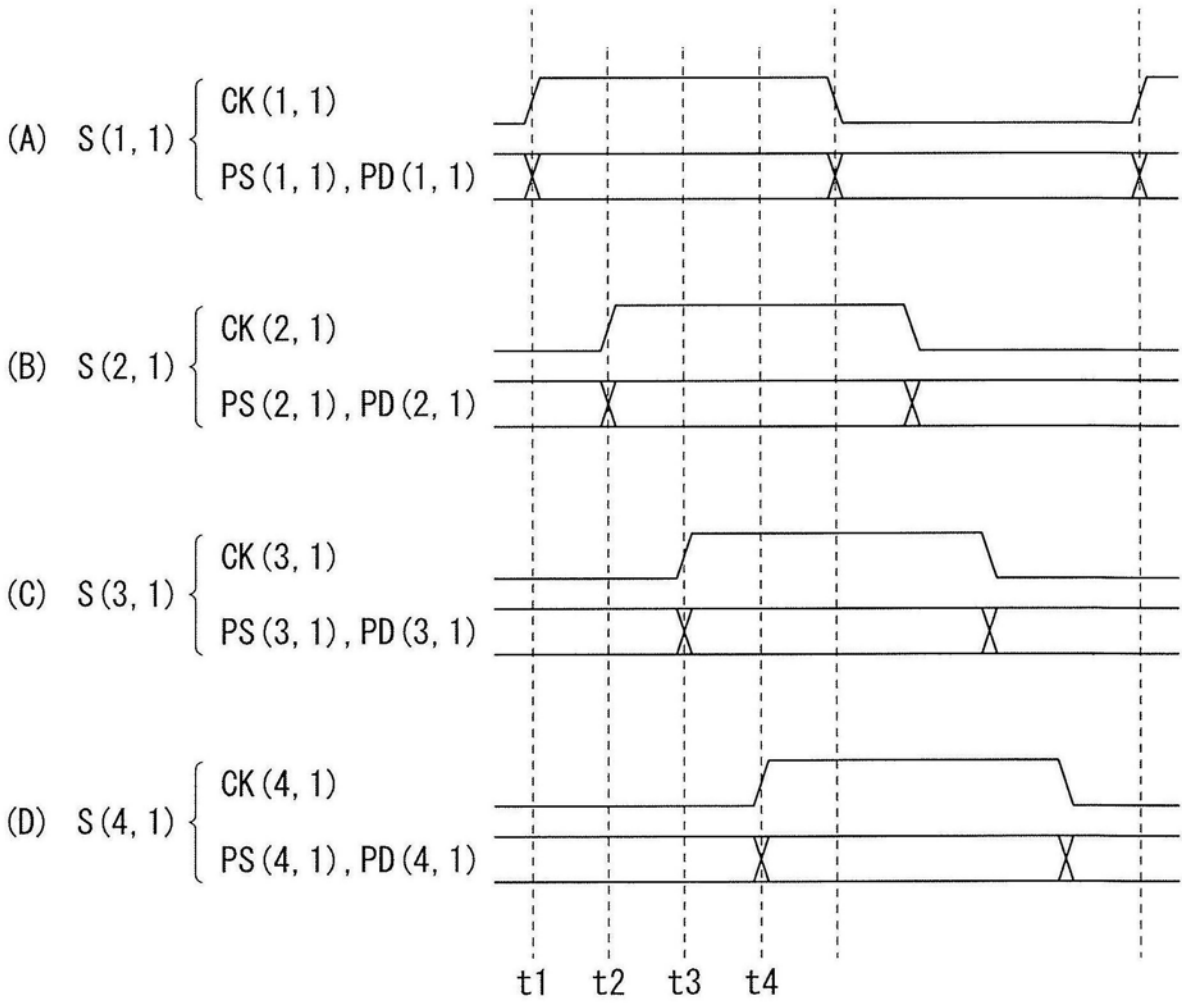


图13

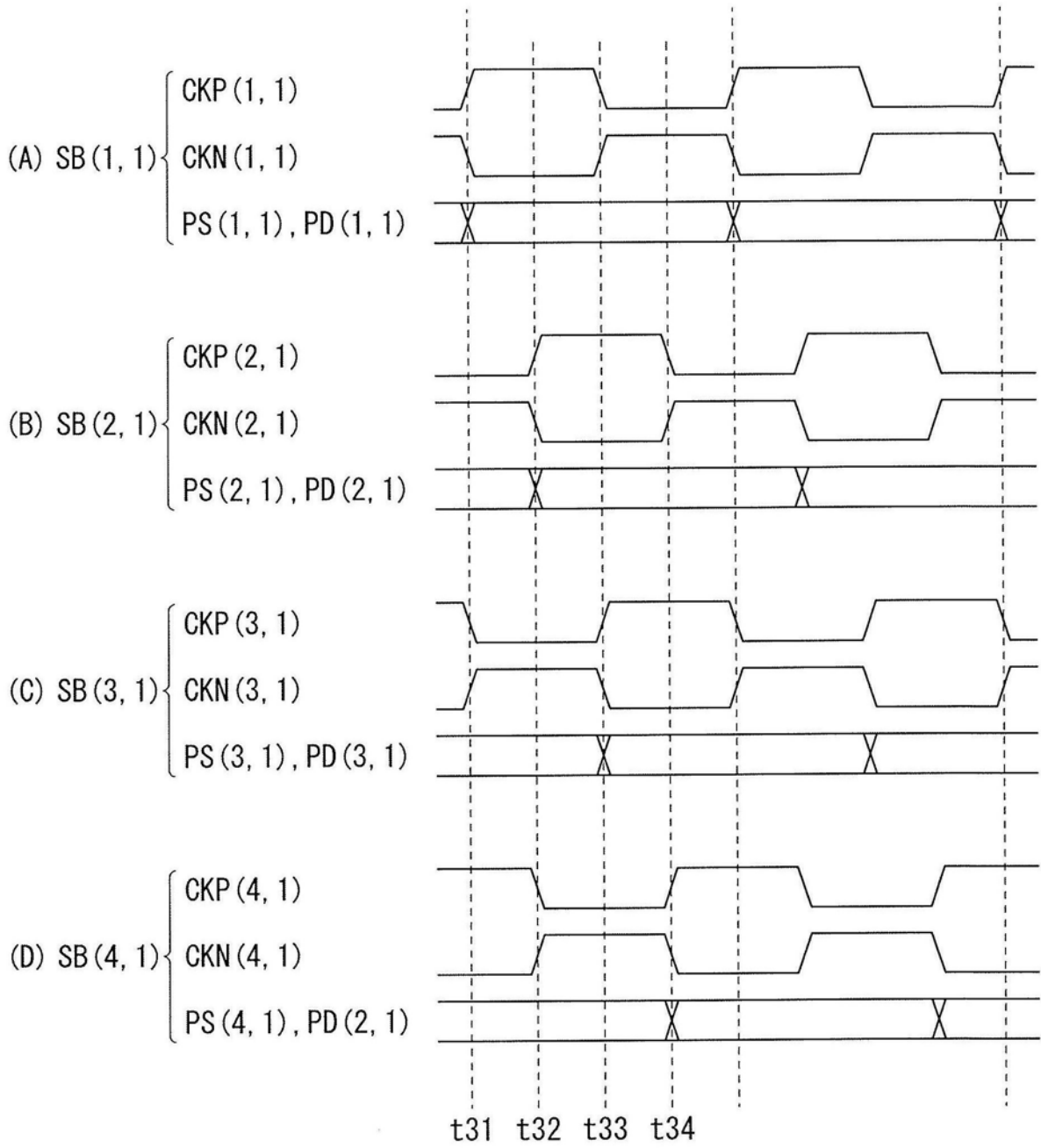


图15

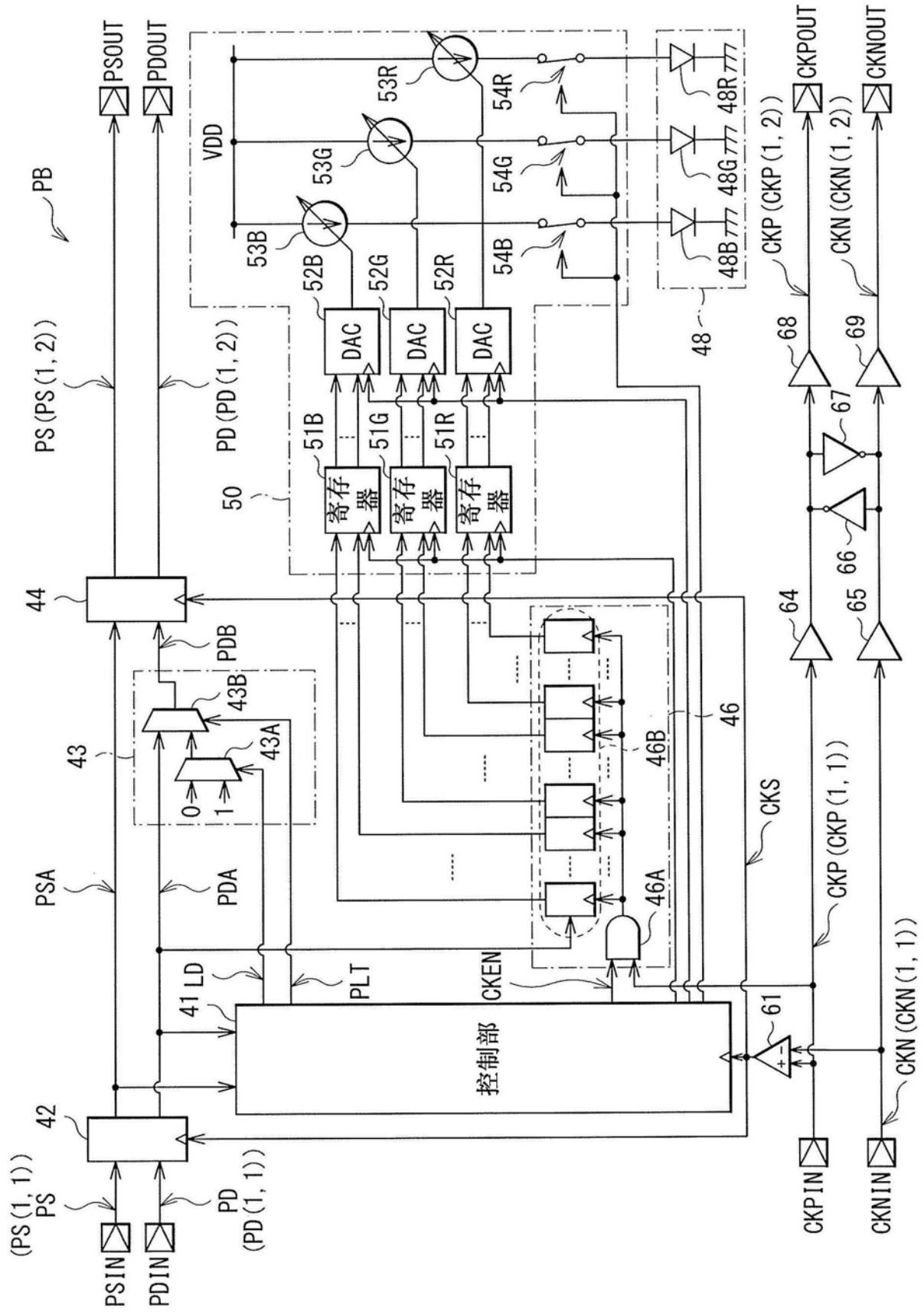


图16

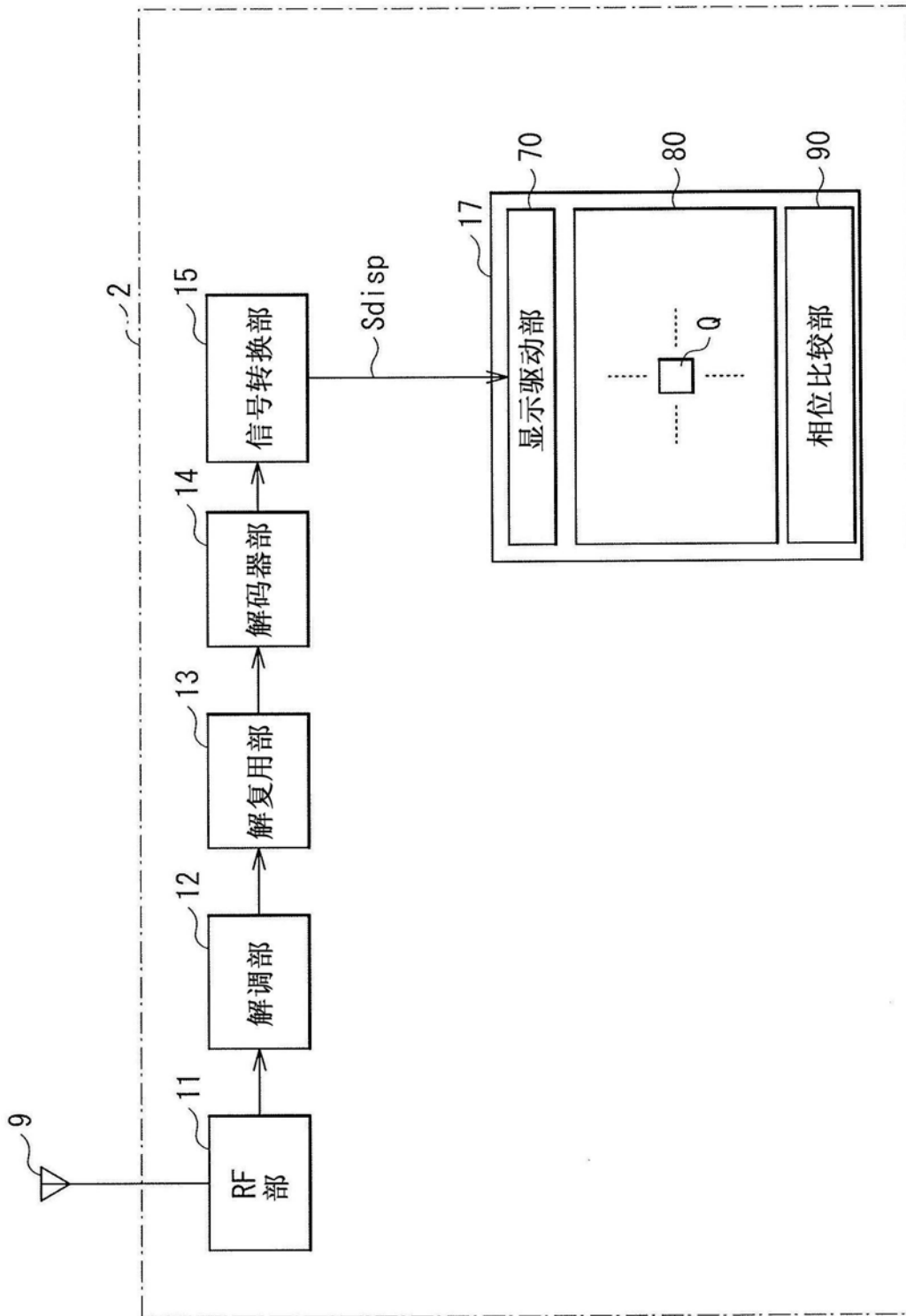


图18

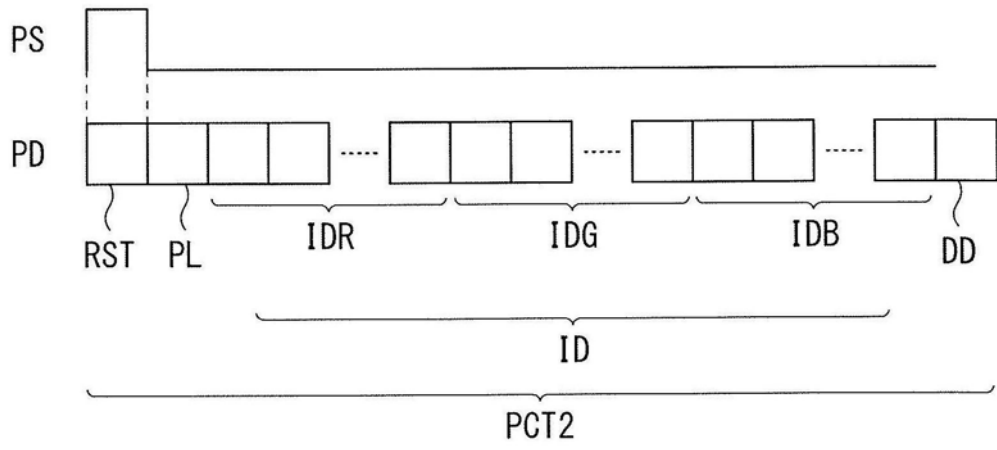


图20

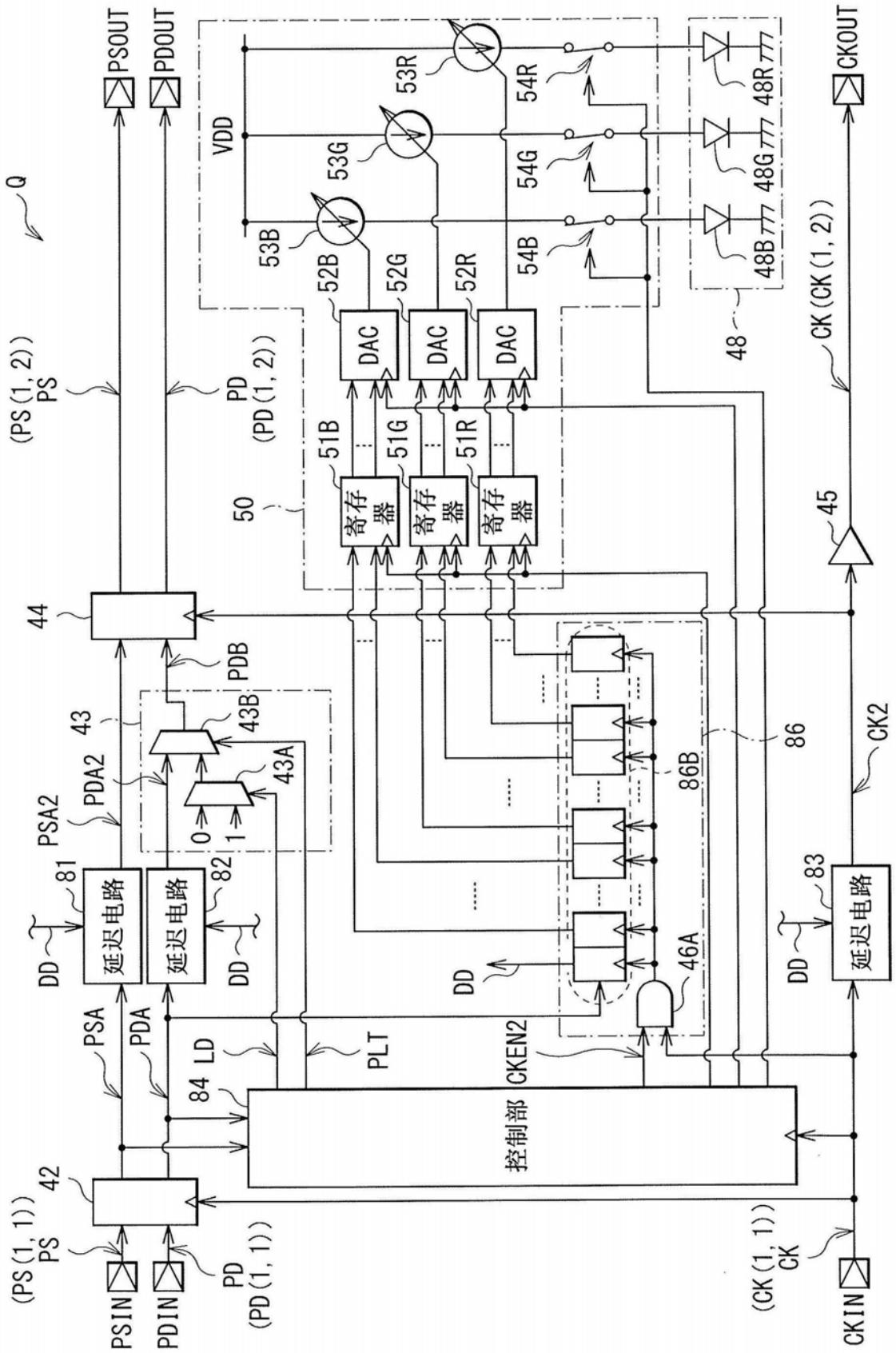


图21

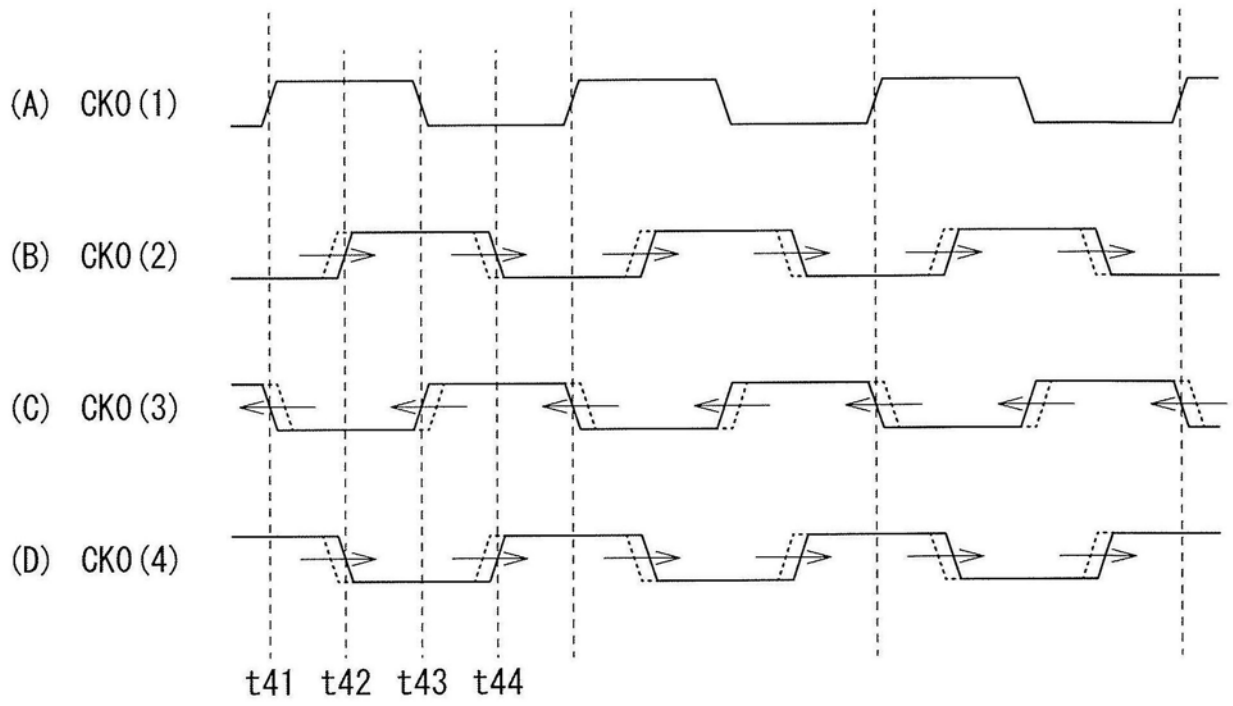


图22

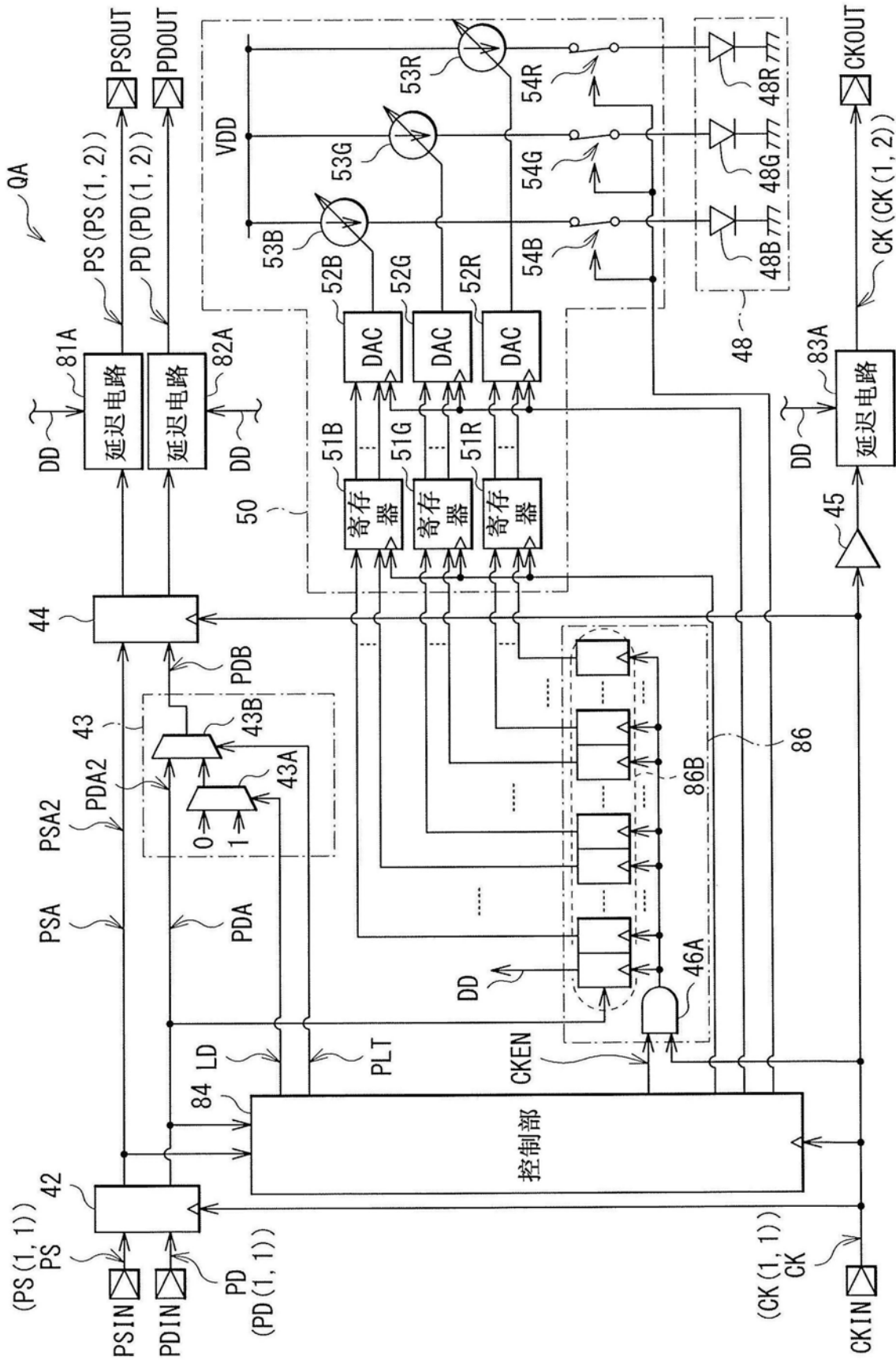


图23

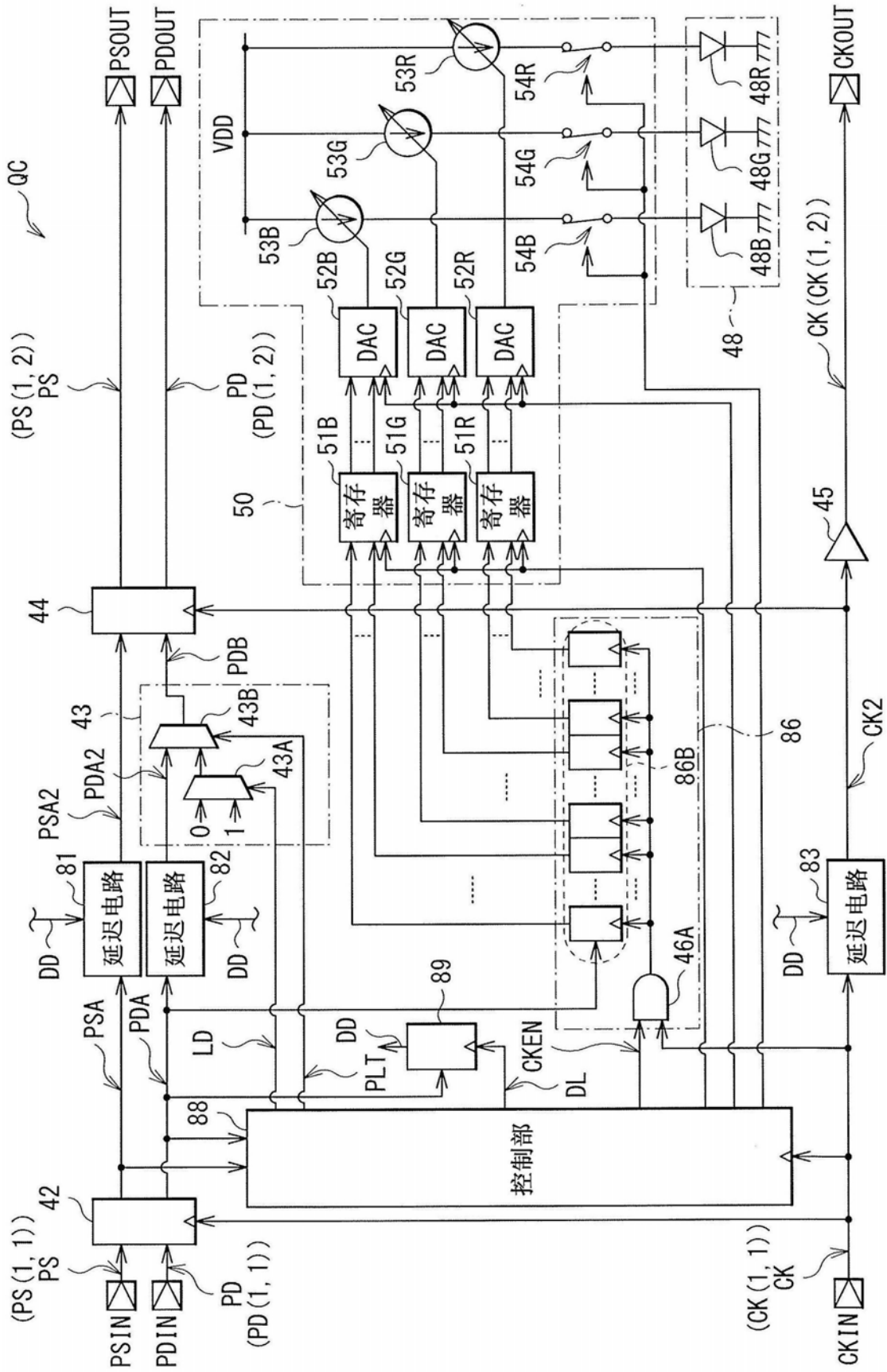


图25

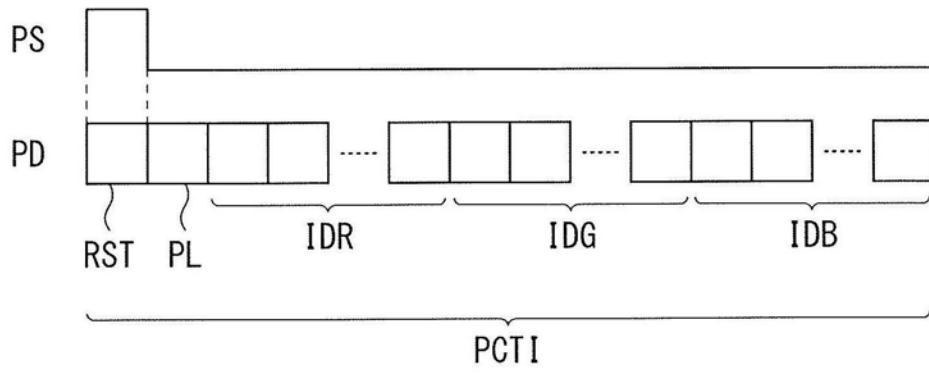


图26A

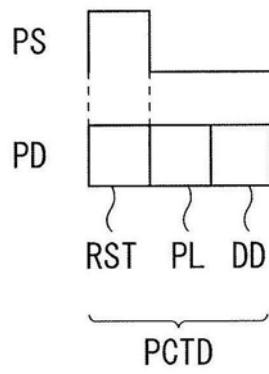


图26B

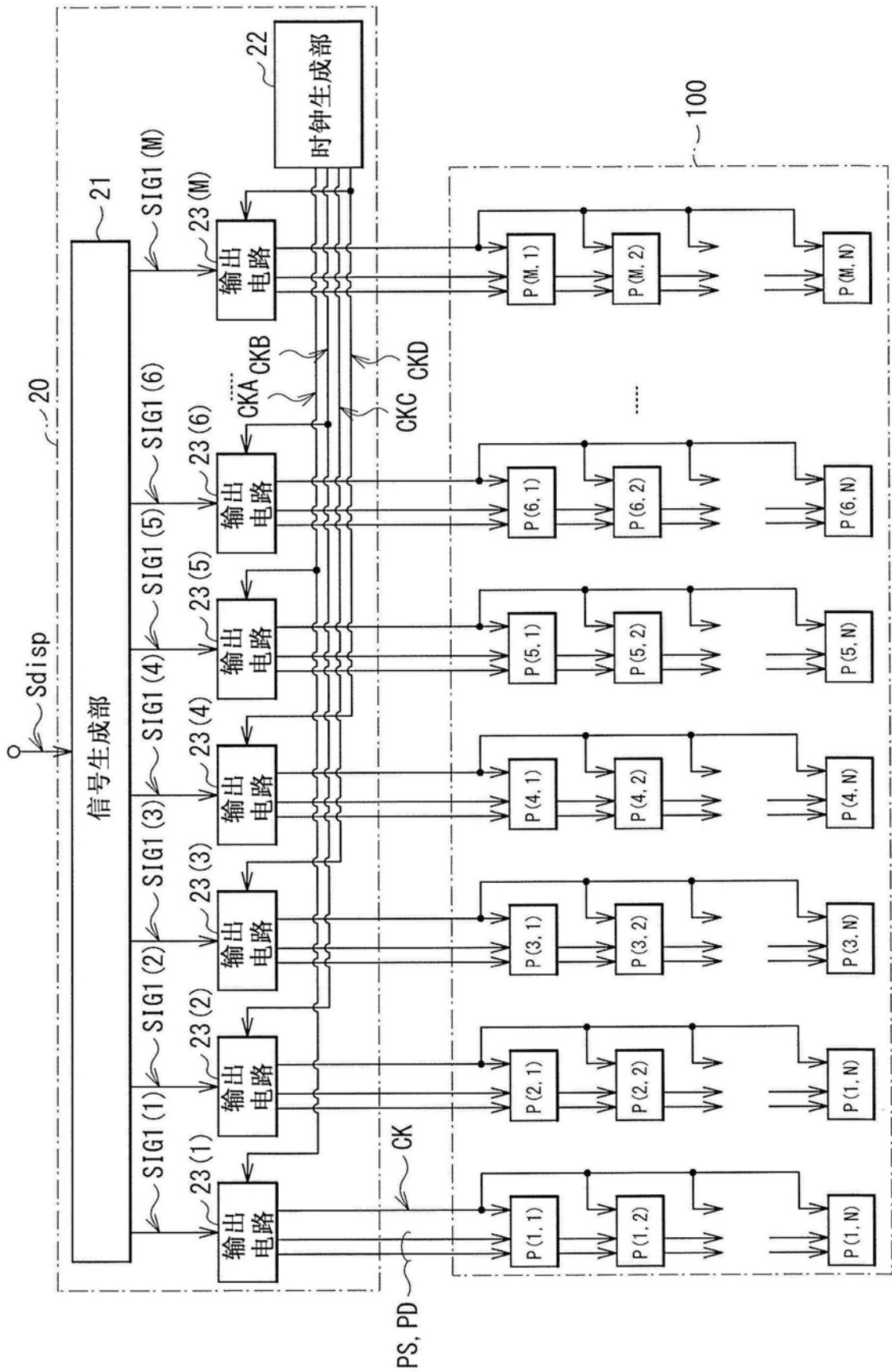


图27

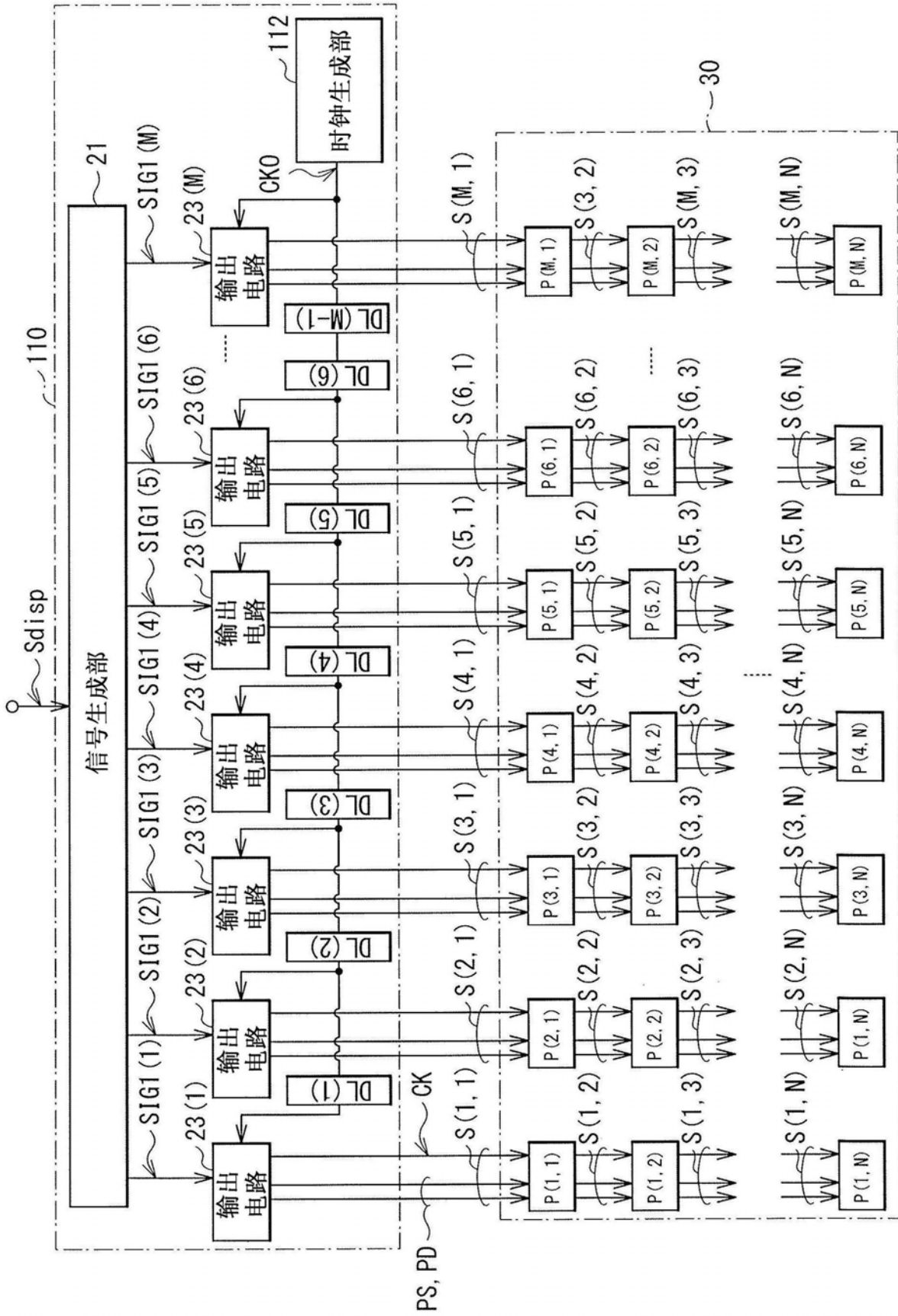


图28