

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3624111号
(P3624111)

(45) 発行日 平成17年3月2日(2005.3.2)

(24) 登録日 平成16年12月3日(2004.12.3)

(51) Int. Cl.⁷

F I

H O 1 J 9/24

H O 1 J 9/24

A

H O 1 J 29/87

H O 1 J 29/87

H O 1 J 31/12

H O 1 J 31/12

C

請求項の数 6 (全 30 頁)

(21) 出願番号	特願平11-49200	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年2月25日(1999.2.25)	(74) 代理人	100065385 弁理士 山下 穰平
(65) 公開番号	特開2000-251709(P2000-251709A)	(72) 発明者	左納 義久 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成12年9月14日(2000.9.14)	(72) 発明者	光武 英明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成15年4月21日(2003.4.21)	審査官	古屋野 浩志
		(56) 参考文献	特開平09-073869(JP, A) 最終頁に続く

(54) 【発明の名称】 画像形成装置

(57) 【特許請求の範囲】

【請求項1】

電子放出素子を有する電子源が配置された電子源領域を有するリアプレートと、前記電子源から放出された電子を照射させるために、前記電子源に真空雰囲気中で対向配置され、前記電子放出素子から放出された電子を加速するための加速電圧が印加される電子照射部材が配置された照射部材領域を有するフェースプレートと、前記リアプレートと前記フェースプレートとの間に配置された支持枠とを備える外囲器、及び、前記外囲器の内部に配置された複数のスペーサを有する画像形成装置において、
前記複数のスペーサのうち、前記リアプレートと前記フェースプレートとの間の距離を d とすると、前記電子源領域と前記電子源領域の外周から $2d$ の範囲にある隣接領域、または前記照射部材領域と前記照射部材領域の外周から $2d$ の範囲にある隣接領域に配置されたスペーサは、導電性であり、上記領域以外の領域に配置されたスペーサは絶縁性であることを特徴とする画像形成装置。

10

【請求項2】

前記照射部材領域の外周から $2d$ の範囲にある隣接領域は、前記電子照射部材の電位に規定されていることを特徴とする請求項1記載の画像形成装置。

【請求項3】

電子源領域の外周から $2d$ の範囲にある隣接領域は、電子源の電位に規定されていることを特徴とする請求項1記載の画像形成装置。

【請求項4】

20

電子源領域の外周から 2 d の範囲にある隣接領域は、電子源を駆動する配線の電位に規定されていることを特徴とする請求項 1 記載の画像形成装置。

【請求項 5】

電子源領域の外周から 2 d の範囲にある隣接領域は、電子源を駆動する配線以外の別の配線によって零電位に規定されていること特徴とする請求項 1 記載の画像形成装置。

【請求項 6】

前記照射部材領域または前記電子源領域のスペーサの表面抵抗が、前記照射部材領域の外周から 2 d の範囲にある隣接領域または前記電子源領域の外周から 2 d の範囲にある隣接領域に配置されたスペーサの表面抵抗より低いことを特徴とする請求項 1 記載の画像形成装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像形成装置に関し、特に、装置の外囲器に加わる大気圧を外囲器内部より支持するために、外囲器内部スペーサを備えた画像形成装置に関する。

【0002】

【従来の技術】

従来、電子放出素子として熱陰極素子と冷陰極素子の 2 種類が知られている。このうち冷陰極素子では、たとえば表面伝導型電子放出素子や、電界放出型素子（以下 FE 型と記す）や、金属/絶縁層/金属型放出素子（以下 MIM 型と記す）、などが知られている。

20

【0003】

表面伝導型電子放出素子としては、たとえば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

【0004】

表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたものの他に、Au 薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)] や、 $\text{In}_2\text{O}_3 / \text{SnO}_2$ 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)] や、カーボン薄膜によるもの [荒木久 他: 真空、第 26 巻、第 1 号、22 (1983)] 等が報告されている。

30

【0005】

これらの表面伝導型電子放出素子の素子構成の典型的な例として、図 20 に前述の M. Hartwell らによる素子の平面図を示す。同図において、3001 は基板で、3004 はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜 3004 は図示のように H 字形の平面形状に形成されている。該導電性薄膜 3004 に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部 3005 が形成される。図中の間隔 L は、0.5 ~ 1 [mm]、W は、0.1 [mm] で設定されている。尚、図示の便宜から、電子放出部 3005 は導電性薄膜 3004 の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

40

【0006】

M. Hartwell らによる素子をはじめとして上述の表面伝導型電子放出素子においては、電子放出を行う前に導電性薄膜 3004 に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部 3005 を形成するのが一般的であった。すなわち、通電フォーミングとは、前記導電性薄膜 3004 の両端に一定の直流電圧、もしくは、例えば 1V / 分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜 3004 を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電

50

子放出部 3005 を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜 3004 の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜 3004 に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0007】

また、FE型の例は、たとえば、W. P. Dyke & W. W. Dolan, "Field emission", *Advance in Electron Physics*, 8, 89 (1956) や、あるいは、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", *J. Appl. Phys.*, 47, 5248 (1976) などが知られている。 10

【0008】

FE型の素子構成の典型的な例として、図21に前述のC. A. Spindtらによる素子の断面図を示す。同図において、3010は基板で、3011は導電材料よりなるエミッタ配線、3012はエミッタコーン、3013は絶縁層、3014はゲート電極である。本素子は、エミッタコーン3012とゲート電極3014の間に適宜の電圧を印加することにより、エミッタコーン3012の先端部より電界放出を起こさせるものである。

【0009】

また、FE型の他の素子構成として、図21のような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。 20

【0010】

また、MIM型の例としては、たとえば、C. A. Mead, "Operation of tunnel-emission Devices", *J. Appl. Phys.*, 32, 646 (1961) などが知られている。MIM型の素子構成の典型的な例を図22に示す。同図は断面図であり、図において、3020は基板で、3021は金属よりなる下電極、3022は厚さ100オングストローム程度の薄い絶縁層、3023は厚さ80~300オングストローム程度の金属よりなる上電極である。

【0011】

MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。 30

【0012】

上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒーターを必要としない。したがって、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶融などの問題が発生しにくい。また、熱陰極素子がヒーターの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。

【0013】

このため、冷陰極素子を応用するための研究が盛んに行われてきている。

【0014】

たとえば、表面伝導型電子放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、たとえば本出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。 40

【0015】

また、表面伝導型電子放出素子の応用については、たとえば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0016】

特に、画像表示装置への応用としては、たとえば本出願人によるUSP 5,066,883や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型電子放出素子と電子ビームの照射により発光する蛍光体とを組み 50

合わせて用いた画像表示装置が研究されている。表面伝導型電子放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。たとえば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0017】

また、FE型を多数個ならべて駆動する方法は、たとえば本出願人によるUSP 4,904,895に開示されている。また、FE型を画像表示装置に応用した例として、たとえば、R. Meyerらにより報告された平板型表示装置が知られている。[R. Meyer: "Recent Development on Microtips Display at LETI", Tech. Digest of 4th Int. Vacuum Microelectronics Conf., Nagahama, pp. 6~9 (1991)]

10

また、MIM型を多数個並べて画像表示装置に応用した例は、たとえば本出願人による特開平3-55738号公報に開示されている。

【0018】

上記のような電子放出素子を用いた画像形成装置のうちで、奥行きが薄い平面型表示装置は省スペースかつ軽量であることから、ブラウン管型の表示装置に置き換わるものとして注目されている。

【0019】

図23は平面型の画像表示装置をなす表示パネル部の一例を示す斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

20

【0020】

図中、3115はリアプレート、3116は側壁、3117はフェースプレートであり、リアプレート3115、側壁3116およびフェースプレート3117により、表示パネルの内部を真空に維持するための外囲器(気密容器)を形成している。

【0021】

リアプレート3115には基板3111が固定されているが、この基板3111上には冷陰極素子3112が、 $n \times m$ 個形成されている。(n、mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。)また、前記 $n \times m$ 個の冷陰極素子3112は、図24に示すとおり、m本の行方向配線3113とn本の列方向配線3114により配線されている。これら基板3111、冷陰極素子3112、行方向配線3113および列方向配線3114によって構成される部分をマルチ電子ビーム源と呼ぶ。また、行方向配線3113と列方向配線3114の少なくとも交差する部分には、両配線間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

30

【0022】

フェースプレート3117の下面には、蛍光体からなる蛍光膜3118が形成されており、赤(R)、緑(G)、青(B)の3原色の蛍光体(不図示)が塗り分けられている。また、蛍光膜3118をなす上記各色蛍光体の間には黒色体(不図示)が設けてあり、さらに蛍光膜3118のリアプレート3115側の面には、Al等からなるメタルバック3119が形成されている。

40

【0023】

$D \times 1 \sim D \times m$ および $Dy1 \sim Dy n$ およびHvは、当該表示パネルと不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。 $D \times 1 \sim D \times m$ はマルチ電子ビーム源の行方向配線3113と、 $Dy1 \sim Dy n$ はマルチ電子ビーム源の列方向配線3114と、Hvはメタルバック3119と各々電氣的に接続している。

【0024】

また、上記気密容器の内部は10のマイナス6乗Torr程度の真空に保持されており、画像表示装置の表示面積が大きくなるにしたがい、気密容器内部と外部の気圧差によるリアプレート3115およびフェースプレート3117の変形あるいは破壊を防止する手段が必要となる。リアプレート3115およびフェースプレート3116を厚くすることに

50

よる方法は、画像表示装置の重量を増加させるのみならず、斜め方向から見たときに画像のゆがみや視差を生ずる。これに対し、図24においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体（スペーサあるいはリブと呼ばれる）3120が設けられている。このようにして、マルチビーム電子源が形成された基板3111と蛍光膜3118が形成されたフェースプレート3116間は通常サブミリないし数ミリに保たれ、前述したように気密容器内部は高真空に保持されている。

【0025】

以上説明した表示パネルを用いた画像表示装置は、容器外端子 $D \times 1$ ないし $D \times m$ 、 $D y$ 1ないし $D y n$ を通じて各冷陰極素子3112に電圧を印加すると、各冷陰極素子3112から電子が放出される。それと同時にメタルバック3119に容器外端子 $H v$ を通じて数百[V]ないし数[kV]の高圧を印加して、上記放出された電子を加速し、フェースプレート3117の内面に衝突させる。これにより、蛍光膜3118をなす各色の蛍光体が励起されて発光し、画像が表示される。

10

【0026】

以上述べた画像形成装置の電子線装置は、装置内の真空雰囲気を維持するための外囲器、電子源、電子照射部材を有するが、さらに外囲器に加わる大気圧を外囲器内部から支持するためのスペーサを外囲器内に配置する。

【0027】

特に前述の表示装置などの画像形成装置においては、画像表示装置の大面積化や装置の薄型化を実現していくためには、外囲器内部へのスペーサ配置は不可欠である。

20

【0028】

【発明が解決しようとする課題】

しかし、画像形成装置にスペーサを配置した場合、電子照射面での電子線の照射位置が設計位置から外れてしまう問題が生じている。この場合は、例えば蛍光体面上での電子線の照射位置や発光形状の設計値からのずれを意味する。特に時にカラー画像のRGBの蛍光体を備える画像形成部材を用いた場合には、電子線の照射位置とあわせて、輝度低下や色ずれの発生も見られる場合もある。本現象は、特に電子源と画像形成部材ならびにその周辺に配置されるスペーサの近傍で起こる。

【0029】

この現象の原因は以下の通りである。

30

【0030】

電子源から放出された電子が照射部材に照射される場合、照射部材で電子の一部が反射される、また電子の照射によってイオンが照射部材から放出されるなどの現象が生じる。放出された電子やイオンは、近傍に絶縁体部材が存在すると絶縁部材の帯電の原因となる。放射電子やイオンの絶縁体への付着や、放射電子の絶縁体への突入による二次電子発生による帯電などがある。

【0031】

絶縁体の帯電が進行すると、周辺の電場の変化が生じ、その後電子源から放出されて電子の軌道のずれを発生させる。その結果、発光するべき蛍光体に電子が入射されなくなる、他の蛍光体を発光させてしまう、などの問題が起きる。

40

【0032】

画像表示領域に配置された絶縁体に限らず、画像表示領域近傍の絶縁体部分にも帯電が生じ、電子軌道のずれを生じさせる。

【0033】

そこで、本発明は、画像形成装置において、電子源の照射部材で生じる電子線の位置ずれを全域で防止し、輝度低下や色ずれを防止することを課題としている。

【0034】

【課題を解決するための手段】

電子放出素子を有する電子源が配置された電子源領域を有するリアプレートと、前記電子源から放出された電子を照射させるために、前記電子源に真空雰囲気中で対向配置され、

50

前記電子放出素子から放出された電子を加速するための加速電圧が印加される電子照射部材が配置された照射部材領域を有するフェースプレートと、前記リアプレートと前記フェースプレートとの間に配置された支持枠とを備える外囲器、及び、前記外囲器の内部に配置された複数のスペーサを有する画像形成装置において、前記複数のスペーサのうち、前記リアプレートと前記フェースプレートとの距離を d とすると、前記電子源領域と前記電子源領域の外周から $2d$ の範囲にある隣接領域、または前記照射部材領域と前記照射部材領域の外周から $2d$ の範囲にある隣接領域に配置されたスペーサは、導電性であり、上記領域以外の領域に配置されたスペーサは絶縁性である。

【0035】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について説明する。

【0036】

図1は、本発明の画像形成装置が備える表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0037】

図中、1015はリアプレート、1016は側壁、1017はフェースプレートであり、1015～1017により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。また、上記気密容器の内部は10のマイナス6乗[Torr]程度の真空に保持されるので、大気圧や不意の衝撃などによる気密容器の破壊を防止する目的で、耐大気圧構造体として、スペーサ1020が設けられている。

【0038】

次に、本発明の画像形成装置に用いることができる電子放出素子基板について説明する。本発明の画像形成装置に用いられる電子源基板は複数の冷陰極素子を基板上に配列することにより形成される。

【0039】

冷陰極素子の配列の方式には、冷陰極素子を並列に配置し、個々の素子の両端を配線で接続するはしご型配置(以下、はしご型配置電子源基板と称する)や、冷陰極素子の一对の素子電極のそれぞれX方向配線、Y方向配線を接続した単純マトリクス配置(以下、マトリクス型配置電子源基板と称する)が挙げられる。なお、はしご型配置電子源基板を有する画像形成装置には、電子放出素子からの電子の飛翔を制御する電極である制御電極(グリッド電極)を必要とする。

【0040】

リアプレート1015には、基板1011が固定されているが、該基板上には冷陰極素子1012が $n \times m$ 個形成されている。(n, mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。たとえば、高品位テレビジョンの表示を目的とした表示装置においては、 $n = 3000$, $m = 1000$ 以上の数を設定することが望ましい。)前記 $n \times m$ 個の冷陰極素子は、m本の行方向配線1013とn本の列方向配線1014により単純マトリクス配線されている。前記、1011～1014によって構成される部分をマルチ電子ビーム源と呼ぶ。

【0041】

本発明の画像表示装置に用いるマルチ電子ビーム源は、冷陰極素子を単純マトリクス配線もしくは、はしご型配置した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。

【0042】

したがって、たとえば表面伝導型電子放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

10

20

30

40

50

【0043】

次に、冷陰極素子として表面伝導型電子放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【0044】

図2に示すのは、図1の表示パネルに用いたマルチ電子ビーム源の平面図である。基板1011上には、表面伝導型電子放出素子が配列され、これらの素子は行方向配線1013と列方向配線1014により単純マトリクス状に配線されている。行方向配線1013と列方向配線1014の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

【0045】

図2のB-B に沿った断面を、図3に示す。

【0046】

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線1013、列方向配線1014、電極間絶縁層（不図示）、および表面伝導型電子放出素子の素子電極と導電性薄膜を形成した後、行方向配線1013および列方向配線1014を介して各素子に給電して通電フォーミング処理（後述）と通電活性化処理（後述）を行うことにより製造した。

【0047】

本実施形態においては、気密容器のリアプレート1015にマルチ電子ビーム源の基板1011を固定する構成としたが、マルチ電子ビーム源の基板1011が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板1011自体を用いてもよい。

【0048】

また、フェースプレート1017の下面には、蛍光膜1018が形成されている。本実施例はカラー表示装置であるため、蛍光膜1018の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図4(a)に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けてある。黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにする事や、外光の反射を防止して表示コストの低下を防ぐ事、電子ビームによる蛍光膜のチャージアップを防止する事などである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0049】

また、3原色の蛍光体の塗り分け方は前記図4(a)に示したストライプ状の配列に限られるものではなく、たとえば図4(b)に示すようなデルタ状配列や、それ以外の配列であってもよい。

【0050】

なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1018に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0051】

また、蛍光膜1018のリアプレート側の面には、CRTの分野では公知のメタルバック1019を設けてある。メタルバック1019を設けた目的は、蛍光膜1018が発する光の一部を鏡面反射して光利用率を向上させる事や、負イオンの衝突から蛍光膜1018を保護する事や、電子ビーム加速電圧を印加するための電極として作用させる事や、蛍光膜1018を励起した電子の導電路として作用させる事などである。メタルバック1019は、蛍光膜1018をフェースプレート基板1017上に形成した後、蛍光膜表面を平滑化処理し、その上にAlを真空蒸着する方法により形成した。なお、蛍光膜1018に低電圧用の蛍光体材料を用いた場合には、メタルバック1019は用いない。

【0052】

また、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板10

10

20

30

40

50

17と蛍光膜1018との間に、たとえばITOを材料とする透明電極を設けてもよい。

【0053】

画像表示領域内に配置されるスペーサについて説明する。図5は図1のA-Aのスペーサ1020を拡大した部位の断面模式図であり、各部の番号は図1に対応している。スペーサ1020Aは絶縁性部材1の表面に帯電防止を目的とした高抵抗膜11を成膜し、かつフェースプレート1017の内側(メタルバック1019等)及び基板1011の表面(行方向配線1013または列方向配線1014)に面したスペーサの当接面3及び接する側面部5に低抵抗膜21を成膜した部材からなるもので、上記目的を達成するのに必要な数だけ、かつ必要な間隔をおいて配置され、フェースプレートの内側および基板1011の表面に接合材1041により固定される。また、高抵抗膜は、絶縁性部材1の表面のうち、少なくとも気密容器内の真空中に露出している面に成膜されており、スペーサ1020A上の低抵抗膜21および接合材1041を介して、フェースプレート1017の内側(メタルバック1019等)及び基板1011の表面(行方向配線1013または列方向配線1014)に電氣的に接続される。ここで説明される態様においては、スペーサ1020の形状は薄板状とし、行方向配線1013に平行に配置され、行方向配線1013に電氣的に接続されている。

10

【0054】

スペーサ1020としては、基板1011上の行方向配線1013および列方向配線1014とフェースプレート1017内面のメタルバック1019との間に印加される高電圧に耐えるだけの絶縁性を有し、かつスペーサ1020の表面への帯電を防止する程度の導電性を有する必要がある。

20

【0055】

スペーサ1020の絶縁性部材1としては、例えば石英ガラス、Na等の不純物含有量を減少したガラス、ソーダライムガラス、アルミナ等のセラミックス部材等が挙げられる。なお、絶縁性部材1はその熱膨張率が気密容器および基板1011を成す部材と近いものが好ましい。

【0056】

スペーサ1020を構成する高抵抗膜11には、高電位側のフェースプレート1017(メタルバック1019等)に印加される加速電圧 V_a を帯電防止膜である高抵抗膜21の抵抗値 R_s で除した電流が流される。そこで、スペーサの抵抗値 R_s は帯電防止および消費電力からその望ましい範囲に設定される。帯電防止の観点から表面抵抗 R/\square は10の12乗以下であることが好ましい。十分な帯電防止効果を得るためには10の11乗以下がさらに好ましい。表面抵抗の下限はスペーサ形状とスペーサ間に印加される電圧により左右されるが、10の5乗以上であることが好ましい。

30

【0057】

絶縁材料上に形成された帯電防止膜の厚み t は10nm~1 μ mの範囲が望ましい。材料の表面エネルギーおよび基板との密着性や基板温度によっても異なるが、一般的に10nm以下の薄膜は島状に形成され、抵抗が不安定で再現性に乏しい。一方、膜厚 t が1 μ m以上では膜応力が大きくなって膜はがれの危険性が高まり、かつ成膜時間が長くなるため生産性が悪い。従って、膜厚は50~500nmであることが望ましい。表面抵抗 R/\square は R_s/t であり、以上に述べた R_s と t の好まし範囲から、帯電防止膜の比抵抗は0.1[Ω cm]乃至10の8乗[Ω cm]が好ましい。さらに表面抵抗と膜厚のより好まし範囲を実現するためには、 R_s は10の2乗乃至10の6乗[Ω cm]とするのが良い。

40

【0058】

スペーサは上述したようにその上に形成した帯電防止膜を電流が流れることにより、あるいはディスプレイ全体が動作中に発熱することによりその温度が上昇する。帯電防止膜の抵抗温度係数が大きな負の値であると温度が上昇した時に抵抗値が減少し、スペーサに流れる電流が増加し、さらに温度上昇をもたらす。そして電流は電源の限界を越えるまで増加しつづける。このような電流の暴走が発生する抵抗温度係数の値は経験的に負の値で絶対値が1%以上である。すなわち、帯電防止膜の抵抗温度係数は-1%未満であることが

50

望ましい。

【0059】

帯電防止特性を有する高抵抗膜11の材料としては、例えば金属酸化物を用いることが出来る。金属酸化物の中でも、クロム、ニッケル、銅の酸化物が好ましい材料である。その理由はこれらの酸化物は二次電子放出効率が比較的小さく、冷陰極素子1012から放出された電子がスペーサ1020に当たった場合においても帯電しにくいと考えられる。金属酸化物以外にも炭素は二次電子放出効率が小さく好ましい材料である。特に、非晶質カーボンは高抵抗であるため、スペーサ抵抗を所望の値に制御しやすい。

【0060】

帯電防止特性を有する高抵抗膜11の他の材料として、アルミと遷移金属合金の窒化物は遷移金属の組成を調整することにより、良伝導体から絶縁体まで広い範囲に抵抗値を制御できるので好適な材料である。さらには後述する表示装置の作製工程において抵抗値の変化が少なく安定な材料である。かつ、その抵抗温度係数が-1%未満であり、実用的に使いやすい材料である。遷移金属元素としてはTi, Cr, Ta等があげられる。

10

【0061】

合金窒化膜はスパッタ、窒素ガス雰囲気中での反応性スパッタ、電子ビーム蒸着、イオンプレーティング、イオンアシスト蒸着法等の薄膜形成手段により絶縁性部材上に形成される。金属酸化膜も同様の薄膜形成法で作製することができるが、この場合窒素ガスに代えて酸素ガスを使用する。その他、CVD法、アルコキシド塗布法でも金属酸化膜を形成できる。カーボン膜は蒸着法、スパッタ法、CVD法、プラズマCVD法で作製され、特に非晶質カーボンを作製する場合には、成膜中の雰囲気に水素が含まれるようにするか、成膜ガスに炭化水素ガスを使用する。

20

【0062】

スペーサ1020Aを構成する低抵抗膜21は、高抵抗膜11を高電位側のフェースプレート1017(メタルバック1019等)及び低電位側の基板1011(配線1013、1014等)と電気的に接続する為に設けられたものであり、以下では、中間電極層(中間層)という名称も用いる。中間電極層(中間層)は以下に列挙する複数の機能を有することが出来る。

【0063】

高抵抗膜11をフェースプレート1017及び基板1011と電気的に接続する。

30

【0064】

既に記載したように、高抵抗膜11はスペーサ1020表面での帯電を防止する目的で設けられたものであるが、高抵抗膜11をフェースプレート1017(メタルバック1019等)及び基板1011(配線1013、1014等)と直接或いは当接材1041を介して接続した場合、接続部界面に大きな接触抵抗が発生し、スペーサ表面に発生した電荷を速やかに除去できなくなる可能性がある。これを避ける為に、フェースプレート1017、基板1011及び当接材1041と接触するスペーサ1020の当接面3或いは側面部5に低抵抗の中間層を設けた。

【0065】

冷陰極素子1012より放出された電子は、フェースプレート1017と基板1011の間に形成された電位分布に従って電子軌道を成す。スペーサ1020の近傍で電子軌道に乱れが生じないようにする為には、高抵抗膜11の電位分布を全域にわたって制御する必要がある。高抵抗膜11をフェースプレート1017(メタルバック1019等)及び基板1011(配線1013、1014等)と直接或いは当接材1041を介して接続した場合、接続部界面の接触抵抗の為に、接続状態のむらが発生し、高抵抗膜11の電位分布が所望の値からずれてしまう可能性がある。これを避ける為に、スペーサ1020がフェースプレート1017及び基板1011と当接するスペーサ端部(当接面3或いは側面部5)の全長域に低抵抗の中間層を設け、この中間層部に所望の電位を印加することによって、高抵抗膜11全体の電位を制御可能とした。

40

【0066】

50

冷陰極素子 1012 より放出された電子は、フェースプレート 1017 と基板 1011 の間に形成された電位分布に従って電子軌道を成す。スペーサ近傍の冷陰極素子から放出された電子に関しては、スペーサを設置することに伴う制約（配線、素子位置の変更等）が生じる場合がある。このような場合、歪みやむらの無い画像を形成する為には、放出された電子の軌道を制御してフェースプレート 1017 上の所望の位置に電子を照射する必要がある。フェースプレート 1017 及び基板 1011 と当接する面の側面部 5 に低抵抗の中間層を設けることにより、スペーサ 1020 近傍の電位分布に所望の特性を持たせ、放出された電子の軌道を制御することが出来る。

【0067】

低抵抗膜 21 は、高抵抗膜 11 に比べ十分に低い抵抗値を有する材料を選択すればよく、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd 等の金属、あるいは合金、及び Pd, Ag, Au, RuO₂, Pd-Ag 等の金属や金属酸化物とガラス等から構成される印刷導体、あるいは In₂O₃-SnO₂ 等の透明導体及びポリシリコン等の半導体材料等より適宜選択される。

【0068】

接合材 1041 はスペーサ 1020 が行方向配線 1013 およびメタルバック 1019 と電氣的に接続するように、導電性をもたせる必要がある。すなわち、導電性接着材や金属粒子や導電性フィラーを添加したフリットガラスが好適である。

【0069】

また、Dx1 ~ Dxm および Dy1 ~ Dym および Hv は、当該表示パネルと不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。Dx1 ~ Dxm はマルチ電子ビーム源の行方向配線 1013 と、Dy1 ~ Dym はマルチ電子ビーム源の列方向配線 1014 と、Hv はフェースプレートのメタルバック 1019 と電氣的に接続している。

【0070】

また、気密容器内部を真空中に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を 10 のマイナス 7 乗 [Torr] 程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえば Ba を主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1 × 10⁻⁵ マイナス 5 乗ないしは 1 × 10⁻⁷ マイナス 7 乗 [Torr] の真空度に維持される。

【0071】

以上説明した表示パネルを用いた画像表示装置は、容器外端子 Dx1 ないし Dxm、Dy1 ないし Dym を通じて各冷陰極素子 1012 に電圧を印加すると、各冷陰極素子 1012 から電子が放出される。それと同時にメタルバック 1019 に容器外端子 Hv を通じて数百 [V] ないし数 [kV] の高圧を印加して、上記放出された電子を加速し、フェースプレート 1017 の内面に衝突させる。これにより、蛍光膜 1018 をなす各色の蛍光体が励起されて発光し、画像が表示される。

【0072】

通常、冷陰極素子である本発明の表面伝導型電子放出素子への 1012 への印加電圧は 12 ~ 16 [V] 程度、メタルバック 1019 と冷陰極素子 1012 との距離 d は 0.1 [mm] から 8 [mm] 程度、メタルバック 1019 と冷陰極素子 1012 間の電圧 0.1 [kV] から 10 [kV] 程度である。

【0073】

以上、本発明の表示パネルの基本構成と製法、および画像表示装置の概要を説明した。

【0074】

次に、前記表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子ビーム源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。したがって、たとえ

10

20

30

40

50

ば表面伝導型電子放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

【0075】

ただし、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型電子放出素子が特に好ましい。すなわち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術を必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型電子放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、発明者らは、表面伝導型電子放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。したがって、高輝度で大画面の画像表示装置のマルチ電子ビーム源に用いるには、最も好適であると言える。そこで、上記実施例の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型電子放出素子を用いた。そこで、まず好適な表面伝導型電子放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

10

【0076】

(表面伝導型電子放出素子の好適な素子構成と製法)

20

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型電子放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0077】

(平面型の表面伝導型電子放出素子)

まず最初に、平面型の表面伝導型電子放出素子の素子構成と製法について説明する。

【0078】

図6に示すのは、平面型の表面伝導型電子放出素子の構成を説明するための平面図(a)および断面図(b)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

30

【0079】

基板1101としては、たとえば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上にたとえば SiO_2 を材料とする絶縁層を積層した基板、などを用いることができる。

【0080】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。たとえば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいは In_2O_3 - SnO_2 をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法(たとえば印刷技術)を用いて形成してもさしつかえない。

40

【0081】

素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔Lは通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値を選んで設計されるが、なかでも表示装置に应用するために好ましいのは数マイクロメートルより数十マイクロメートルの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数マイクロメートルの範囲から適当な数値が選ばれる。

50

【0082】

また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0083】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極1102あるいは1103と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

10

【0084】

また、微粒子膜を形成するのに用いられうる材料としては、たとえば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃, などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

20

【0085】

以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[オーム/sg]の範囲に含まれるよう設定した。

【0086】

なお、導電性薄膜1104と素子電極1102および1103とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図6の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

30

【0087】

また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図6においては模式的に示した。

【0088】

また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

40

【0089】

薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかが、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、300[オングストローム]以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図112においては模式的に示した。また、平面図(a)においては、薄膜1113の一部を除去した素子を図示した。

【0090】

50

以上、好ましい素子の基本構成を述べたが、実施例においては以下のような素子を用いた。

【0091】

すなわち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000[オングストローム]、電極間隔Lは2[マイクロメートル]とした。

【0092】

微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100[オングストローム]、幅Wは100[マイクロメートル]とした。

【0093】

次に、好適な平面型の表面伝導型電子放出素子の製造方法について説明する。

【0094】

図7(a)~(d)は、表面伝導型電子放出素子の製造工程を説明するための断面図で、各部材の表記は前記図6と同一である。

【0095】

1)まず、図7(a)に示すように、基板1101上に素子電極1102および1103を形成する。

【0096】

形成するにあたっては、あらかじめ基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。(堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用いればよい。)その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターンニングし、(a)に示した一对の素子電極(1102と1103)を形成する。

【0097】

2)次に、同図(b)に示すように、導電性薄膜1104を形成する。

【0098】

形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。(具体的には、本実施例では主要元素としてPdを用いた。また、実施例では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピンナー法やスプレー法を用いてもよい。)

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施例で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0099】

3)次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0100】

通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(すなわち電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0101】

通電方法をより詳しく説明するために、図8において、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施例の場合には同図に示したようにパルス

10

20

30

40

50

幅 T_1 の三角波パルスをパルス間隔 T_2 で連続的に印加した。その際には、三角波パルスの波高値 V_{pf} を、順次昇圧した。また、電子放出部 1105 の形成状況をモニターするためのモニターパルス P_m を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計 1111 で計測した。

【0102】

実施例においては、たとえば 10 のマイナス 5 乗 [torr] 程度の真空雰囲気下において、たとえばパルス幅 T_1 を 1 [ミリ秒]、パルス間隔 T_2 を 10 [ミリ秒] とし、波高値 V_{pf} を 1 パルスごとに 0.1 [V] ずつ昇圧した。そして、三角波を 5 パルス印加するたびに 1 回の割りりで、モニターパルス P_m を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧 V_{pm} は 0.1 [V] に設定した。そして、素子電極 1102 と 1103 の間の電気抵抗が 1×10 の 6 乗 [オーム] になった段階、すなわちモニターパルス印加時に電流計 1111 で計測される電流が 1×10 のマイナス 7 乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

10

【0103】

なお、上記の方法は、本実施例の表面伝導型電子放出素子に関する好ましい方法であり、たとえば微粒子膜の材料や膜厚、あるいは素子電極間隔 L など表面伝導型電子放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0104】

4) 次に、図 7 (d) に示すように、活性化用電源 1112 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

20

【0105】

通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部 1105 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1113 として模式的に示した。) なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 100 倍以上に増加させることができる。

【0106】

具体的には、 10 のマイナス 4 乗ないし 10 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下、より好ましくは 300 [オングストローム] 以下である。

30

【0107】

通電方法をより詳しく説明するために、図 9 (a) に、活性化用電源 1112 から印加する適宜の電圧波形の一例を示す。本実施例においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 V_{ac} は 14 [V]、パルス幅 T_3 は 1 [ミリ秒]、パルス間隔 T_4 は 10 [ミリ秒] とした。なお、上述の通電条件は、本実施例の表面伝導型電子放出素子に関する好ましい条件であり、表面伝導型電子放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

40

【0108】

図 7 (d) に示す 1114 は該表面伝導型電子放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源 1115 および電流計 1116 が接続されている。(なお、基板 1101 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1114 として用いる。) 活性化用電源 1112 から電圧を印加する間、電流計 1116 で放出電流 I_e を計測して通電活性化処理の進行状況をモニターし、活性化用電源 1112 の動作を制御する。

【0109】

図 9 (b) には、電流計 1116 で計測された放出電流 I_e の一例を示す。活性化電源 1112 からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加する

50

が、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源 1112 からの電圧印加を停止し、通電活性化処理を終了する。

【0110】

なお、上述の通電条件は、本実施例の表面伝導型電子放出素子に関する好ましい条件であり、表面伝導型電子放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0111】

以上のようにして、図7(e)に示す平面型の表面伝導型電子放出素子を製造した。

【0112】

(垂直型の表面伝導型電子放出素子)

10

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型電子放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型電子放出素子の構成について説明する。

【0113】

図10は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。

【0114】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図6の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高 L_s として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、たとえば SiO_2 のような電氣的に絶縁性の材料を用いる。

20

【0115】

次に、垂直型の表面伝導型電子放出素子の製法について説明する。図11(a)~(f)は、製造工程を説明するための断面図で、各部材の表記は前記図10と同一である。

【0116】

1) まず、図11(a)に示すように、基板1201上に素子電極1203を形成する。

30

【0117】

2) 次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば SiO_2 をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0118】

3) 次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0119】

4) 次に、同図(d)に示すように、絶縁層の一部を、たとえばエッチング法を用いて除去し、素子電極1203を露出させる。

40

【0120】

5) 次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、たとえば塗布法などの成膜技術を用いればよい。

【0121】

6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。(図7(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図7(d)を用いて説明した平面型の通電活性化処理

50

と同様の処理を行えばよい。))

以上のようにして、図 1 1 (f) に示す垂直型の表面伝導型電子放出素子を製造した。

【 0 1 2 2 】

(表示装置に用いた表面伝導型電子放出素子の特性)

以上、平面型と垂直型の表面伝導型電子放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【 0 1 2 3 】

図 1 2 に、表示装置に用いた素子の、(放出電流 I_e) 対(素子印加電圧 V_f) 特性、および(素子電流 I_f) 対(素子印加電圧 V_f) 特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

10

【 0 1 2 4 】

表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【 0 1 2 5 】

第一に、ある電圧(これを閾値電圧 V_{th} と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。

【 0 1 2 6 】

すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

20

【 0 1 2 7 】

第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【 0 1 2 8 】

第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【 0 1 2 9 】

以上のような特性を有するため、表面伝導型電子放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

30

【 0 1 3 0 】

また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

【 0 1 3 1 】

(多数素子を単純マトリクス配線したマルチ電子ビーム源の構造)

次に、上述の表面伝導型電子放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

40

【 0 1 3 2 】

図 2 に示すのは、前記図 1 の表示パネルに用いたマルチ電子ビーム源の平面図である。基板上には、前記図 1 で示したものと同様な表面伝導型電子放出素子が配列され、これらの素子は行方向配線電極 1 0 1 3 と列方向配線電極 1 0 1 4 により単純マトリクス状に配線されている。行方向配線電極 1 0 1 3 と列方向配線電極 1 0 1 4 の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【 0 1 3 3 】

図 2 の B - B に沿った断面を、図 3 に示す。

【 0 1 3 4 】

50

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極 1013、列方向配線電極 1014、電極間絶縁層（不図示）、および表面伝導型電子放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極 1013 および列方向配線電極 1014 を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0135】

（駆動回路構成および駆動方法）

図13は、NTSC方式のテレビ信号に基づいてテレビジョン表示を行う為の駆動回路の概略構成をブロック図で示したものである。同図中、表示パネル1701は前述した表示パネルに相当するもので、前述した様に製造され、動作する。また、走査回路1702は表示ラインを走査し、制御回路1703は走査回路へ入力する信号等を生成する。シフトレジスタ1704は1ライン毎のデータをシフトし、ラインメモリ1705は、シフトレジスタ1704からの1ライン分のデータを変調信号発生器1707に入力する。同期信号分離回路1706はNTSC信号から同期信号を分離する。

10

【0136】

以下、図13の装置各部の機能を詳しく説明する。

【0137】

まず表示パネル1701は、端子 $D \times 1$ ないし $D \times m$ および端子 $D y 1$ ないし $D y n$ 、および高圧端子 $H v$ を介して外部の電気回路と接続されている。このうち、端子 $D \times 1$ ないし $D \times m$ には、表示パネル1701内に設けられているマルチ電子ビーム源、すなわち m 行 n 列の行列状にマトリクス配線された冷陰極素子を1行（ n 素子）ずつ順次駆動してゆく為の走査信号が印加される。一方、端子 $D y 1$ ないし $D y n$ には、前記走査信号により選択された1行分の n 個の各素子の出力電子ビームを制御する為の変調信号が印加される。また、高圧端子 $H v$ には、直流電圧源 $V a$ より、たとえば5[kV]の直流電圧が供給されるが、これはマルチ電子ビーム源より出力される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

20

【0138】

次に、走査回路1702について説明する。同回路は、内部に m 個のスイッチング素子（図中、 $S 1$ ないし $S m$ で模式的に示されている）を備えるもので、各スイッチング素子は、直流電圧源 $V x$ の出力電圧もしくは0[V]（グラウンドレベル）のいずれか一方を選択し、表示パネル1701の端子 $D \times 1$ ないし $D \times m$ と電氣的に接続するものである。 $S 1$ ないし $S m$ の各スイッチング素子は、制御回路1703が出力する制御信号 $T s c a n$ に基づいて動作するものだが、実際にはたとえばFETのようなスイッチング素子を組み合わせる事により容易に構成することが可能である。なお、前記直流電圧源 $V x$ は、図118に例示した電子放出素子の特性に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧 $V t h$ 電圧以下となるよう、一定電圧を出力するよう設定されている。

30

【0139】

また、制御回路1703は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる働きをもつものである。次に説明する同期信号分離回路1706より送られる同期信号 $T s y n c$ に基づいて、各部に対して $T s c a n$ および $T s f t$ および $T m r y$ の各制御信号を発生する。同期信号分離回路1706は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離する為の回路で、良く知られているように周波数分離（フィルタ）回路を用いれば容易に構成できるものである。同期信号分離回路1706により分離された同期信号は、良く知られるように垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上、 $T s y n c$ 信号として図示した。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と表すが、同信号はシフトレジスタ1704に入力される。

40

【0140】

シフトレジスタ1704は、時系列的にシリアルに入力される前記DATA信号を、画像

50

の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路1703より送られる制御信号Tsftに基づいて動作する。すなわち、制御信号Tsftは、シフトレジスタ1704のシフトクロックであると言い換えることもできる。シリアル/パラレル変換された画像1ライン分(電子放出素子n素子分の駆動データに相当する)のデータは、Id1ないしIdnのn個の信号として前記シフトレジスタ1704より出力される。

【0141】

ラインメモリ1705は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路1703より送られる制御信号Tmryにしたがって適宜Id1ないしIdnの内容を記憶する。記憶された内容は、Id1ないしIdnとして出力され、変調信号発生器1707に入力される。

10

【0142】

変調信号発生器1707は、前記画像データId1ないしIdnの各々に応じて、電子放出素子1015の各々を適切に駆動変調する為の信号源で、その出力信号は、端子Doy1ないしDoy nを通じて表示パネル1701内の電子放出素子1015に印加される。

【0143】

図12を用いて説明したように、本発明に関わる表面伝導型電子放出素子は放出電流Ieに対して以下の基本特性を有している。すなわち、電子放出には明確な閾値電圧Vth(後述する実施例の表面伝導型電子放出素子では8[V])があり、閾値Vth以上の電圧を印加された時のみ電子放出が生じる。また、電子放出閾値以上の電圧に対しては、図12のグラフのように電圧の変化に応じて放出電流Ieも変化する。このことから、本素子にパルス状の電圧を印加する場合、たとえば電子放出閾値Vth以下の電圧を印加しても電子放出は生じないが、電子放出閾値Vth以上の電圧を印加する場合には表面伝導型電子放出素子から電子ビームが出力される。その際、パルスの波高値Vmを変化させることにより出力電子ビームの強度を制御することが可能である。また、パルスの幅Pwを変化させることにより出力される電子ビームの電荷の総量を制御することが可能である。

20

【0144】

従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器1707として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。また、パルス幅変調方式を実施するに際しては、変調信号発生器1707として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

30

【0145】

シフトレジスタ1704やラインメモリ1705は、デジタル信号式のものでもアナログ信号式のものでも採用できる。すなわち、画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。

【0146】

デジタル信号式を用いる場合には、同期信号分離回路1706の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路1706の出力部にA/D変換器を設ければよい。これに関連してラインメモリ115の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器に用いられる回路が若干異なったものとなる。すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器1707には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器1707には、例えば高速の発振器および発振器の出力する波数を計数する計数器(カウンタ)および計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

40

50

【0147】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器1707には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてシフトレベル回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路(VOC)を採用でき、必要に応じて電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0148】

このような構成をとりうる本発明の適用可能な画像表示装置においては、各電子放出素子に、容器外端子 $D_o \times 1$ 乃至 $D_o \times m$ 、 $D_o y 1$ 乃至 $D_o y n$ を介して電圧を印加することにより、電子放出が生ずる。高圧端子 H_v を介してメタルバック1019あるいは透明電極(不図示)に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜1018に衝突し、発光が生じて画像が形成される。

10

【0149】

ここで述べた画像表示装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限るものではなく、PAL、SECAM方式など他、これらより多数の走査線からなるTV信号(MUSE方式をはじめとする高品位TV)方式をも採用できる。

【0150】

本発明の画像表示装置においては、表示パネル内に耐大気圧のためのスペーサを配置する。スペーサは、画像表示領域内および領域外に必要な応じた位置に必要な応じて数だけ配置される。

20

【0151】

図14は図1の画像形成装置のAA断面であり、スペーサA(1020A)、スペーサB(1020B)、スペーサC(1020C)およびフェースプレート、リアプレートの電位規定部位を示してある。

【0152】

そこで、パネル内に配置されるスペーサA、B、Cについて説明する。

【0153】

画像表示領域内のスペーサAにはフェースプレート107のメタルバック1019と、リアプレート基板1011のあいだに印加される高電圧に耐え、かつスペーサ1020の表面への帯電を防止するための導電性を付与する。

30

【0154】

一方、画像領域外スペーサCは画像領域内のスペーサより抵抗を高くする。帯電の影響を受けない領域では帯電を緩和する必要がなく、またリーク電流を抑えるため絶縁のスペーサCを使用する。

【0155】

また、画像表示領域外でも、帯電の影響を受ける範囲に配置されたスペーサBでは、スペーサの表面に導電性を与える。フェースプレート1017とリアプレート基板1011の間の距離を d とすると、画像表示領域の外側 $2d$ の距離の範囲で帯電の影響を受けやすいため、帯電を防止するための導電性を持ったスペーサを配置する。

40

【0156】

その場合、導電性を付与されたスペーサの配置されている範囲に電位規定を行う。フェースプレート1017の電位規定部位2000には表面のITO薄膜、メタルバック等と同じ電位とする。またリアプレート基板1011では行方向配線1013、列方向配線1014あるいは、独立した別の配線によって、行方向配線1013の電位、列方向配線の電位、あるいは零電位に規定する。

【0157】

次に、図15を参照して、電位を規定する範囲 $2d$ について説明する。

【0158】

50

メタルバック1019あるいはITO薄膜とリアプレート基板1011に印加される電位差を V_a 、間隔を d とする。電子源から放出された電子の一部が蛍光体で反射したり、蛍光体から陽イオンが放出され、近傍のスペーサ、蛍光体、電子源基板に照射される。蛍光体で反射された電子が、 V_a (e は電子の有する電荷)のエネルギーを持っていた場合、反射後に周辺に飛散する領域は蛍光体の前記反射位置から $2d$ の範囲である。その範囲で、照射された部材が絶縁性の場合帯電が生じる。

【0159】

その領域に配置された部材に、高抵抗膜を施し帯電を防止した。

【0160】

ただし、 $2d$ よりも外側では帯電の影響は小さいため、不要なリーク電流を抑えるため絶縁性のスペーサCを使用した。 10

【0161】

【実施例】

[実施例]

図16は、本発明の画像形成装置の実施例の一部を破断した斜視図であり、図17は図16に示した画像形成装置Y方向から見た断面(AA)を模式的に示した図である。図16、図17においてリアプレート(E11)には、複数の表面伝導型の電子放出素子(E12)がマトリックス上に配列された電子源(E13)が固定されている。電子源(E13)にはガラス基板(E14)の内面に蛍光膜(E15)と加速電極であるメタルバック(E16)が形成された、画像形成部材としてのフェースプレート(E17)が絶縁性材料からなる支持枠(E18)を介して対向配置されており、電子源(E13)とメタルバック(E16)との間には、不図示の電源により高電圧が印加される。これらリアプレート(E11)と支持枠(E18)およびフェースプレート(E17)とで外囲器を構成する。 20

【0162】

図15に示すように、メタルバック(E16)と電子源(E13)との間の距離を d とし、電子源から放出される電子がフェースプレートに入射する範囲をAとする。そのAの範囲に配置されるスペーサA(E19A)、その外郭から $2d$ 外側までの範囲に配置されるスペーサB(E19B)、さらにその外側にスペーサC(E19C)が配置される構成について説明する。 30

【0163】

スペーサ(E19A、E19B)には、表面に導電性を付与し帯電を抑止する。表面に導電膜(E111)として、 SiO_2 を蒸着によって1000程度成膜した。表面抵抗の大きさは、 1.0×10^{10} (Ω)とした。

【0164】

また、電子源(E13)の表面には各電子放出素子(E12)およびそれらを電氣的に接続する配線をのぞく部位の所定の範囲(E112)に金属膜からなる電位規定膜が形成され、この範囲内が電位規定部となっている。本実施例では、Ptのスパッタ膜を2000成膜することにより形成した。この電位規定膜は電子源近接領域(電子源の外周)のみ形成してもよい。 40

【0165】

さらに、フェースプレート(E17)の画像が表示される領域の外側にもITO膜(E110)、メタルバック(E16)などの膜が形成され電位規定されている。本実施例では、ITO(E110)を電位規定に用いた。

【0166】

なお、電位規定されない領域に配置されているスペーサCは、絶縁性の部材を使用した。

【0167】

本実施例では、 d は5mmとした。すなわち電位規定される領域Bは、X方向、Y方向それぞれについて、画像表示領域から外側に約10mmの範囲である。画像表示時には、フェースプレート(E17)、リアプレート(E11)の間に6kVを印加した。素子の駆 50

動のための電圧は15Vとした。

【0168】

電子放出素子(E12)から放出された電子がフェースプレート(E17)で反射されスペースA、スペースBに入射する。スペース表面では入射する電子によって、二次電子放出が生じて帯電が起きる。しかし、フェースプレート(E17)とリアプレート(E11)の電位規定された膜を通じてスペースA、B表面の導電膜に微小電流が流れ、帯電を緩和することができる。

【0169】

また、素子駆動時にスペースA、Bで発生するような帯電はスペースCには発生しないので、素材を絶縁性としリーク電流を抑制することができる。

10

【0170】

その結果、電子源から放出された電子は帯電による影響を最小限に抑えられ、電子の軌道が安定し、発光位置ずれのない良好な画像を形成し、かつ帯電の影響を受けないスペースでリーク電流を抑え消費電力を低減することができるようになった。

【0171】

なお、本実施例では、スペースA、Bの表面抵抗を同じに設定したが、異なる抵抗値でもよい。特にスペースBをAより高い抵抗にすることによりさらに消費電力を抑えることができる。

【0172】

[参考例]

20

本参考例では、画像表示領域内にスペースが配置されるが、表示領域の周辺近傍にはスペースが配置されない構成での説明を行なう。表示領域外の離れた場所にスペースが配置されている。

【0173】

図18は、本発明の画像形成装置の参考例の一部を破断した斜視図であり、図19は図18に示した画像形成装置Y方向から見た断面(AA)を模式的に示した図である。図19においてリアプレート(E21)には、複数の表面伝導型の電子放出素子(E22)がマトリックス上に配列された電子源(E23)が固定されている。電子源(E23)にはガラス基板(E24)の内面に蛍光膜(E25)と加速電極であるメタルバック(E26)が形成された、画像形成部材としてのフェースプレート(E27)が絶縁性材料からなる支持枠(E28)を介して対向配置されており、電子源(E23)とメタルバック(E26)との間には、不図示の電源により高電圧が印加される。これらリアプレート(E21)と支持枠(E28)およびフェースプレート(E27)とで外囲器を構成する。

30

【0174】

電子源から放出される電子がフェースプレートに入射する範囲をAとする。そのAの範囲に配置されるスペースA(E29A)、さらにその外側にスペースC(E29C)が配置される構成について説明する。

【0175】

この領域内に配置されるスペースには、表面に導電膜(E111)をつけ導電性を付与し帯電を抑止する。表面にSiO₂を蒸着によって1000程度成膜した。表面抵抗の大きさは、 1.0×10^{10} (Ω)とした。

40

【0176】

一方、画像表示領域外に配置されているスペースは、絶縁性の部材を使用した。

【0177】

本実施例でも、dは5mmとした。画像表示時には、フェースプレート、リアプレートの間に6kVを印加した。素子の駆動のための電圧は15Vとした。

【0178】

画像表示領域内においては、画像表示時にスペースの表面に帯電が生じたとき、フェースプレートとリアプレートの電位規定された膜を通じてスペース表面に微小電流が流れ、帯電を緩和することができる。画像領域外では、スペースを絶縁とすることにより、リーク

50

電流を抑制できる。

【0179】

【発明の効果】

以上説明した本発明によれば、画像領域内のスペーサの帯電による画質低下をおさえ、良好な画像を形成しつつリーク電流の小さく消費電力の小さい画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の画像形成装置が備える表示パネルの斜視図

【図2】図1の表示パネルに用いたマルチ電子ビーム源の平面図

【図3】図2のマルチ電子ビーム源のB - B'に沿った断面図

10

【図4】蛍光体のレイアウト図

【図5】スペーサの拡大図

【図6】平面型の表面伝導型電子放出素子の平面図及び断面図

【図7】平面型の表面伝導型電子放出素子の製造工程図

【図8】フォーミング電圧の波形図

【図9】活性化処理用電源からの出力電圧の波形図

【図10】垂直型の表面伝導型電子放出素子の断面図

【図11】垂直型の表面伝導型電子放出素子の製造工程図

【図12】実施例で用いた表面伝導型電子放出素子の典型的な特性を示すグラフ

【図13】テレビジョン表示を行うための駆動回路

20

【図14】図1の画像形成装置のA - A'に沿った断面図

【図15】電位を規定する範囲を説明するための電子放出素子付近の拡大断面図

【図16】実施例の斜視図

【図17】図16の実施例のA - A'に沿った断面図

【図18】参考例の斜視図

【図19】図18の参考例のA - A'に沿った断面図

【図20】従来の表面伝導型電子放出素子の平面図

【図21】従来の電界放出型素子の断面図

【図22】従来の金属/絶縁層/金属型電子放出素子の断面図

【図23】従来の平面型表示パネルの斜視図

30

【符号の説明】

1 絶縁性部材

3 当接面

5 側面部

11 高抵抗膜

21 低抵抗膜

22 凸部

31 境界膜

1010 黒色の導電体

1011 基板

40

1012 冷陰極素子

1013 行方向配線

1014 列方向配線

1015 リアプレート

1016 側壁

1017 フェースプレート

1018 蛍光膜

1019 メタルバック

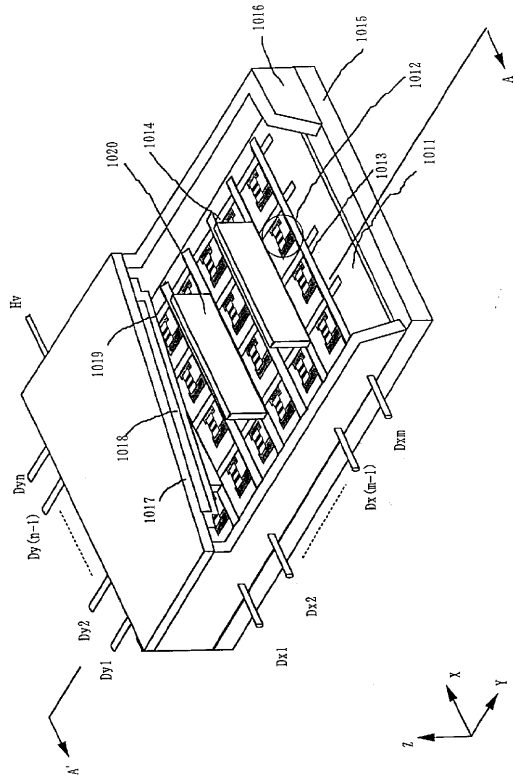
1020 スペーサ

1101 基板

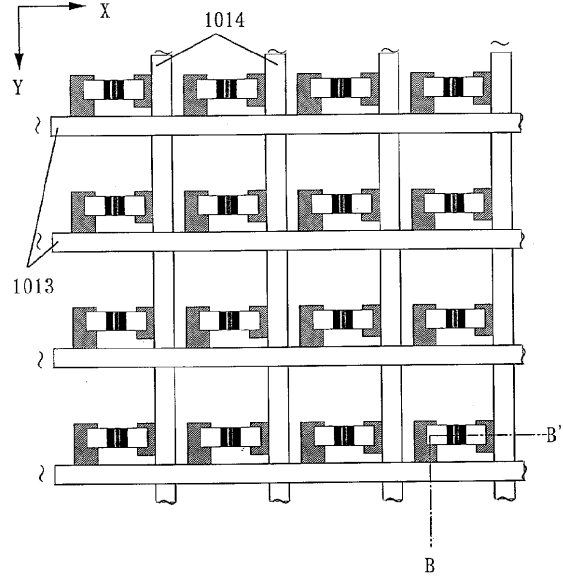
50

1 1 0 2 , 1 1 0 3	素子電極	
1 1 0 4	導電性薄膜	
1 1 0 5	電子放出部	
1 1 1 0	フォーミング用電源	
1 1 1 1	電流計	
1 1 1 2	活性化用電源	
1 1 1 3	通電活性化処理により形成した薄膜	
1 1 1 4	アノード電極	
1 1 1 5	直流高電圧電源	
1 1 1 6	電流計	10
1 2 0 1	基板	
1 2 0 2 , 1 2 0 3	素子電極	
1 2 0 4	導電性薄膜	
1 2 0 5	電子放出部	
1 2 0 6	段差形成部材	
1 2 1 3	通電活性化処理により形成した薄膜	
1 7 0 1	表示パネル	
1 7 0 2	走査回路	
1 7 0 3	制御回路	
1 7 0 4	シフトレジスタ	20
1 7 0 5	ラインメモリ	
1 7 0 6	同期信号分離回路	
1 7 0 7	変調信号発生器	
3 0 0 1	基板	
3 0 0 4	導電性薄膜	
3 0 0 5	電子放出部	
3 0 1 0	基板	
3 0 1 1	エミッタ配線	
3 0 1 2	エミッタコーン	
3 0 1 3	絶縁層	30
3 0 1 4	ゲート電極	
3 0 2 0	基板	
3 0 2 1	下電極	
3 0 2 2	絶縁層	
3 0 2 3	上電極	
3 1 1 1	基板	
3 1 1 2	冷陰極素子	
3 1 1 3	行方向配線	
3 1 1 4	列方向配線	
3 1 1 5	リアプレート	40
3 1 1 6	側壁	
3 1 1 7	フェースプレート	
3 1 1 8	蛍光膜	
3 1 1 9	メタルバック	
3 1 2 0	スペーサ	

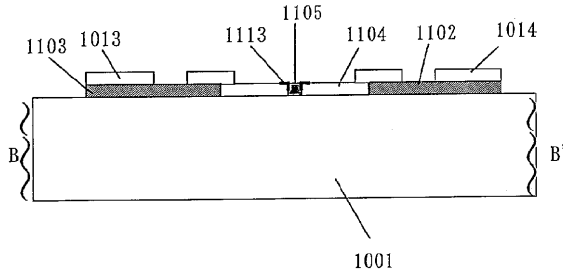
【 図 1 】



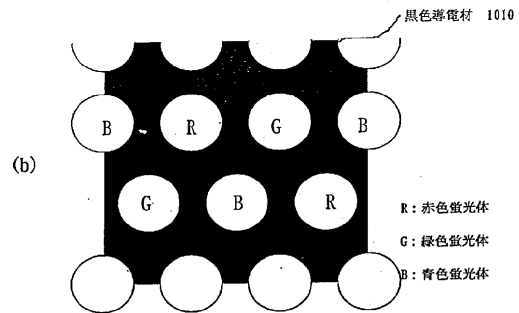
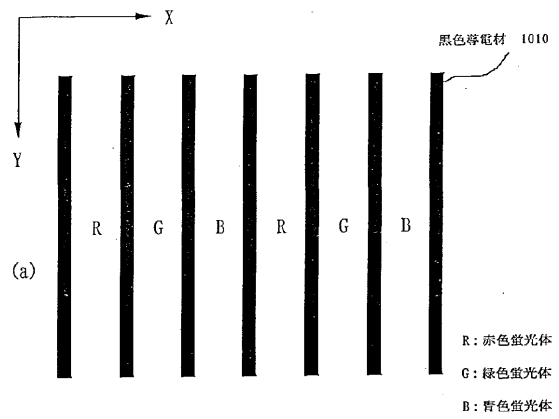
【 図 2 】



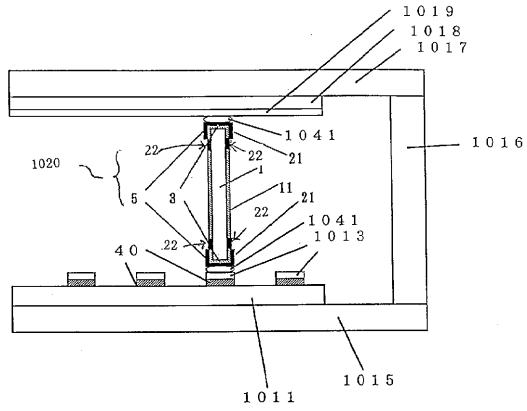
【 図 3 】



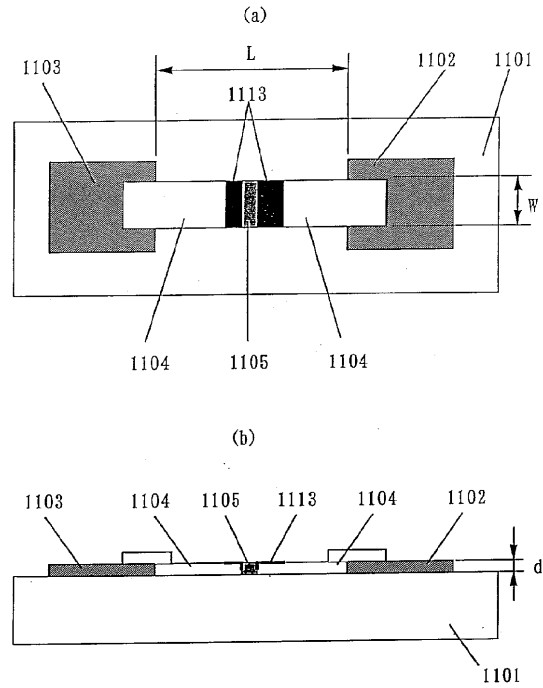
【 図 4 】



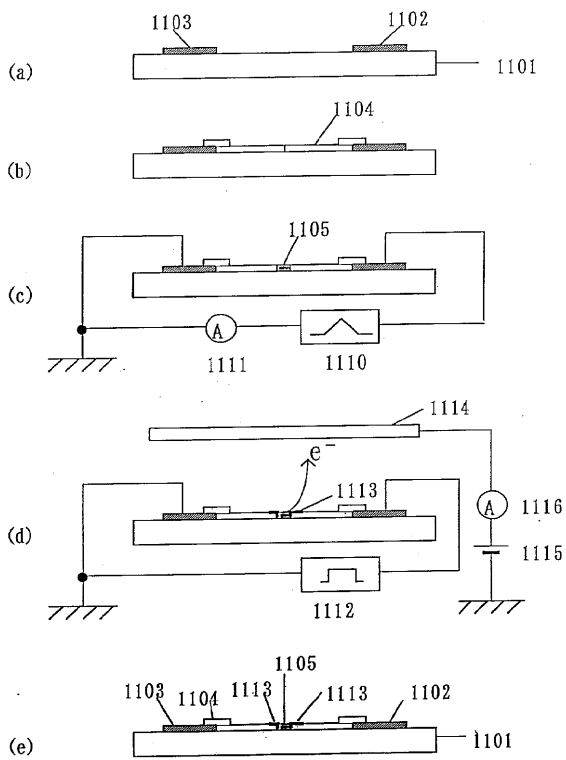
【 図 5 】



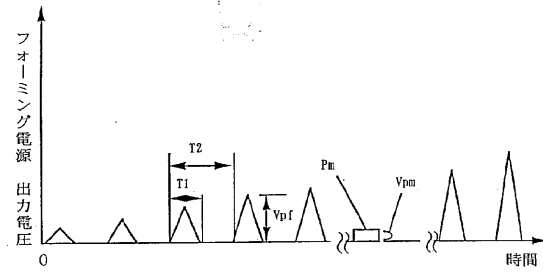
【 図 6 】



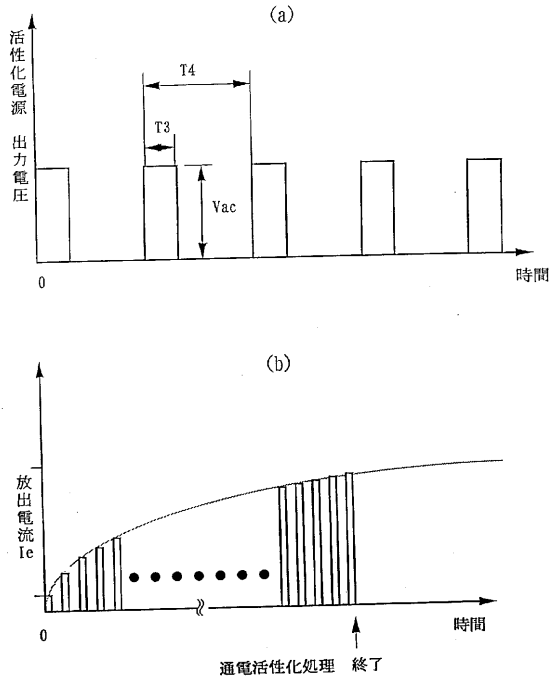
【 図 7 】



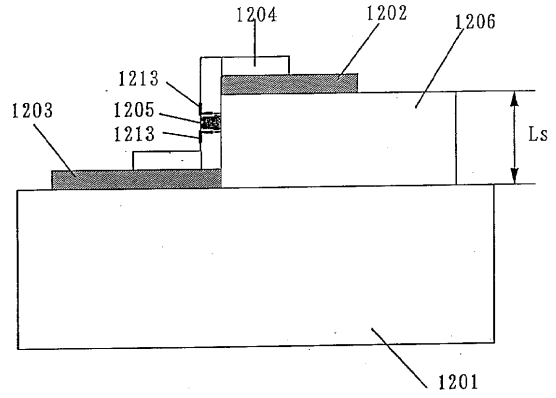
【 図 8 】



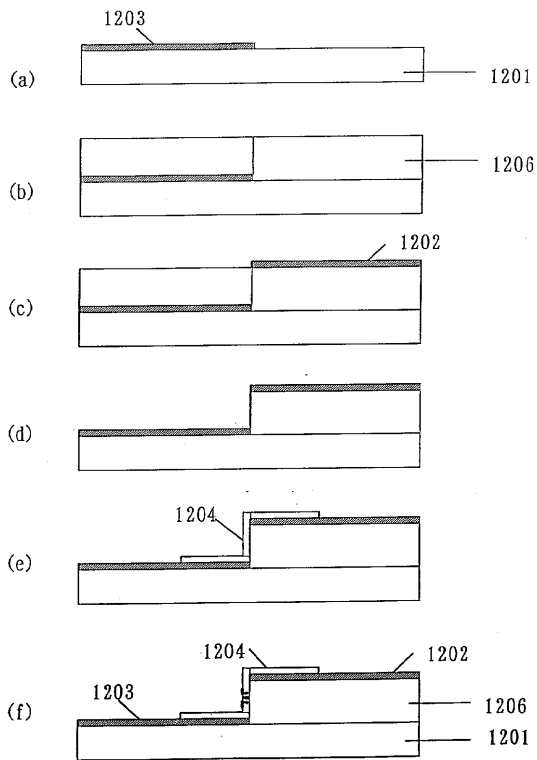
【 図 9 】



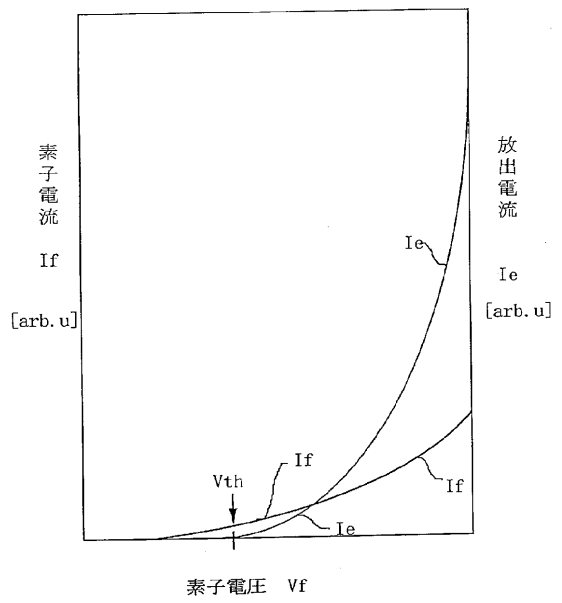
【 図 10 】



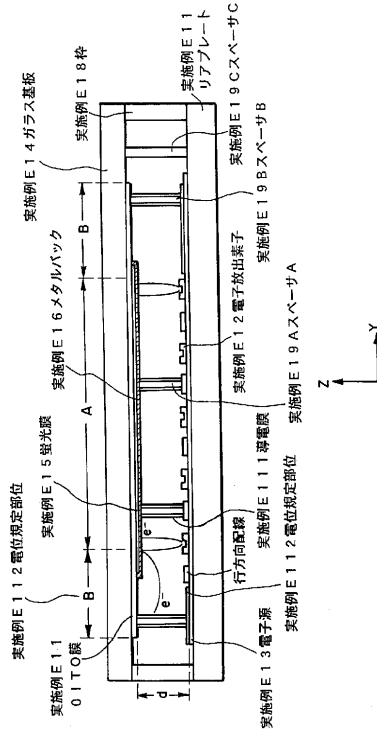
【 図 11 】



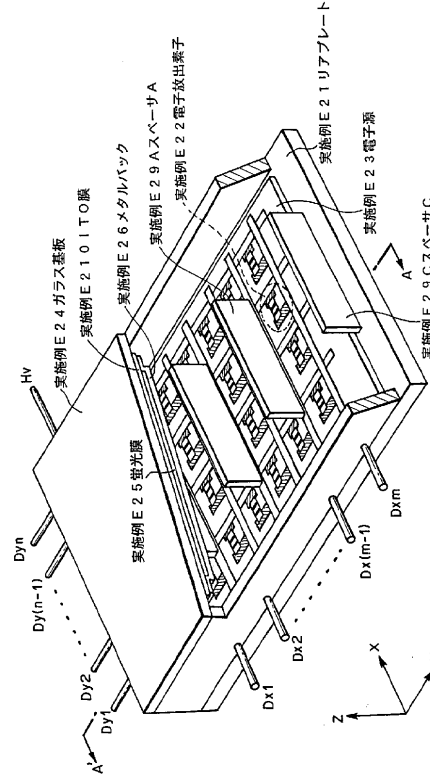
【 図 12 】



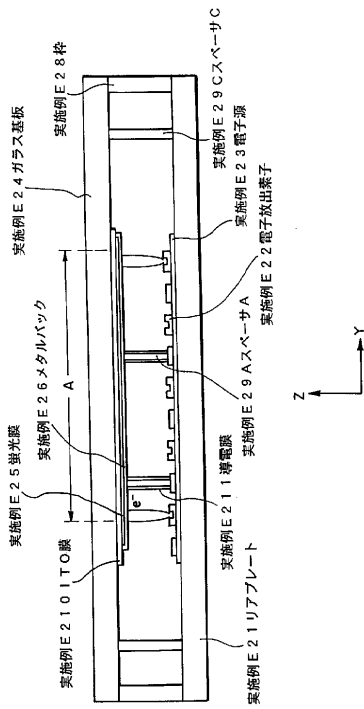
【 図 17 】



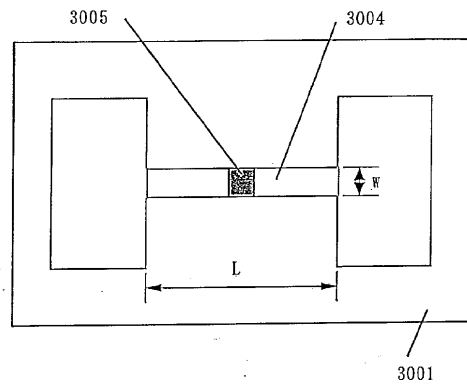
【 図 18 】



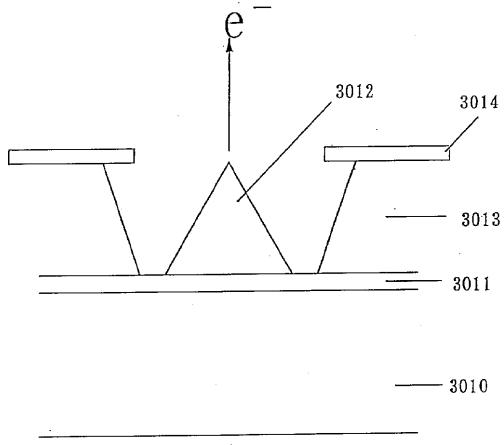
【 図 19 】



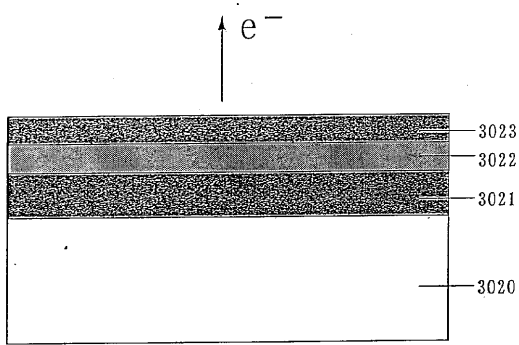
【 図 20 】



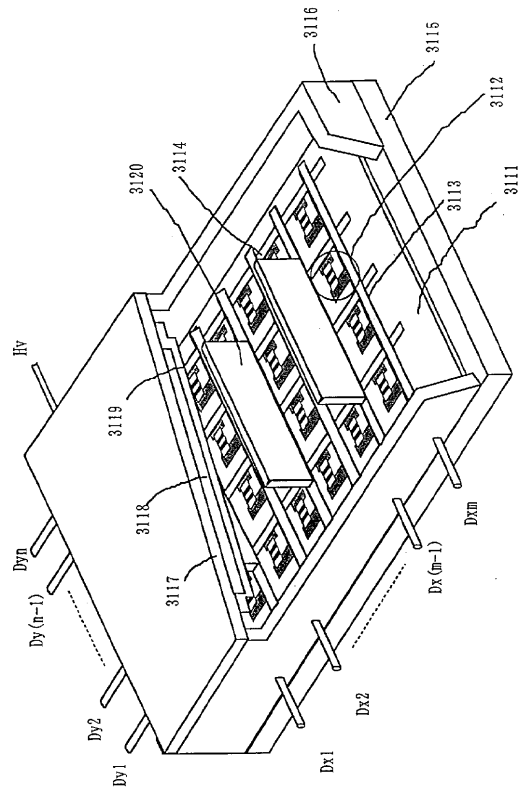
【 2 1 】



【 2 2 】



【 2 3 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01J 9/24

H01J 29/87

H01J 31/12