

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 2 月 8 日 (08.02.2018)



(10) 国际公布号
WO 2018/023955 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/071033

(22) 国际申请日: 2017 年 1 月 13 日 (13.01.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610630351.X 2016 年 8 月 3 日 (03.08.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 石龙强(SHL, Longqiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 北京聿宏知识产权代理有限公司(YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建 / 王浩, Beijing 100052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE OF OLED DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: OLED 显示装置的阵列基板及其制造方法

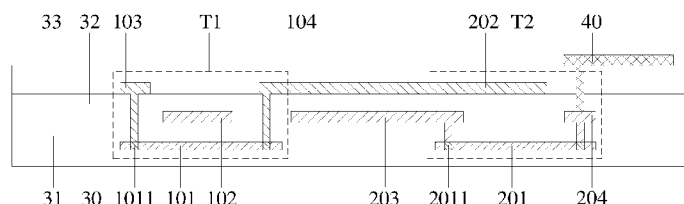


图 2

(57) Abstract: An array substrate of an OLED display device and a manufacturing method therefor, these being capable of making thin film transistors with different functions have respectively required electrical properties. The array substrate successively comprises a base substrate (30), a semiconductor layer, a first insulation layer (31), a first metal layer, a second insulation layer (32), a second metal layer and a third insulation layer (33) from bottom to top. A plurality of drive units are formed on the array substrate, and each drive unit comprises a first thin film transistor (T1) and a second thin film transistor (T2).

(57) 摘要: 一种 OLED 显示装置的阵列基板及其制造方法, 能够使不同功能的薄膜晶体管具备各自所需的电学特性。该阵列基板由下至上依次包括衬底基板 (30)、半导体层、第一绝缘层 (31)、第一金属层、第二绝缘层 (32)、第二金属层、第三绝缘层 (33)。阵列基板上形成有多个驱动单元, 每个驱动单元中包括第一薄膜晶体管 (T1) 和第二薄膜晶体管 (T2)。



WO 2018/023955 A1

OLED 显示装置的阵列基板及其制造方法

本申请要求享有 2016 年 8 月 3 日提交的名称为“OLED 显示装置的阵列基板及其制造方法”的中国专利申请 CN201610630351.X 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及显示技术领域，具体的说，涉及一种 OLED 显示装置的阵列基板及其制造方法。

背景技术

随着显示技术的发展，有机发光二极管（Organic Light-Emitting Diode，简称 OLED）显示装置的技术日见成熟，已经越来越多的应用在各个显示领域。

OLED 显示装置中最基本的驱动单元如图 1 所示，由两个薄膜晶体管（Thin Film Transistor，简称 TFT）和一个存储电容 Cst 组成也成为 2T1C 结构。其中，第一薄膜晶体管的栅极输入扫描信号 V_{gate} ，第一薄膜晶体管的源极输入数据信号 V_{data} ，第一薄膜晶体管的漏极连接第二薄膜晶体管的栅极。第二薄膜晶体管的源极连接数字电源 V_{dd} ，第二薄膜晶体管的漏极连接数字地 V_{ss} ，存储电容 Cst 设置在第二薄膜晶体管的栅极与源极之间，发光二极管串联在第二薄膜晶体管的漏极与数字地 V_{ss} 之间。

其中，第一薄膜晶体管起开关作用，在栅极打开时使数据信号从源极传输至漏极，也即传输至第二薄膜晶体管的栅极。第二薄膜晶体管起到调节发光二极管灰阶的作用，由栅极与源极之间的电压差 V_{gs} 控制流过发光二极管电流的大小，并利用存储电容 Cst 保持住 V_{gs} 。

对于这两种不同功能的薄膜晶体管，其电学特性的要求是不一样的。对第一薄膜晶体管要求其 $I_d V_g$ 曲线的亚阈值（SS）要小，这样能够快速的开关。对第二薄膜晶体管要求 SS 要大，这样有利于 OLED 灰阶调试。但现有的 OLED 显示装置中，第一薄膜晶体管与第二薄膜晶体管的制程、结构是相同的，因此第一薄膜晶体管和第二薄膜晶体管难以达到各自所需的电学特性。

发明内容

本发明的目的在于提供一种 OLED 显示装置的阵列基板及其制造方法，能够使不同功能的薄膜晶体管具备各自所需的电学特性。

本发明提供一种 OLED 显示装置的阵列基板，由下至上依次包括衬底基板、半导体层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层；

所述阵列基板上形成有多个驱动单元，每个所述驱动单元中包括第一薄膜晶体管和第二薄膜晶体管；

所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层位于所述半导体层；

所述第一薄膜晶体管的栅极、所述第二薄膜晶体管的源极和漏极位于所述第一金属层；

所述第二薄膜晶体管的栅极、所述第一薄膜晶体管的源极和漏极位于所述第二金属层，且所述第二薄膜晶体管的栅极与所述第一薄膜晶体管的漏极连接。

优选的是，所述第二薄膜晶体管的栅极和所述第一薄膜晶体管的漏极连接为一体式结构。

优选的是，所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层的材料为铟镓锌氧化合物。

进一步的是，所述有源沟道层的两端形成有掺杂区。

进一步的是，在所述第二薄膜晶体管中，源极和漏极通过贯穿所述第一绝缘层的过孔与有源沟道层连接。

进一步的是，在所述第一薄膜晶体管中，源极和漏极通过贯穿所述第一绝缘层、所述第二绝缘层的过孔与有源沟道层连接。

进一步的是，所述第三绝缘层上还形成有透明电极层；

位于所述透明电极层的像素电极，通过贯穿所述第二绝缘层、所述第三绝缘层的过孔与所述第二薄膜晶体管的漏极连接。

本发明还提供一种上述的 OLED 显示装置的阵列基板的制造方法，包括：

利用掩模板构图工艺，在衬底基板上形成半导体层的图形，其中包括每个驱动单元中的第一薄膜晶体管和第二薄膜晶体管的有源沟道层；

在以上图形的基础上，利用掩模板构图工艺，形成第一绝缘层的图形，其中包括所述

第二薄膜晶体管中的过孔；

在以上图形的基础上，利用等离子体掺杂工艺，形成所述第二薄膜晶体管中的有源沟道层的掺杂区；

在以上图形的基础上，利用掩膜板构图工艺，形成第一金属层的图形，其中包括所述第一薄膜晶体管的栅极，以及所述第二薄膜晶体管的源极和漏极；

在以上图形的基础上，利用掩膜板构图工艺，形成第二绝缘层的图形，其中包括所述第一薄膜晶体管中的过孔；

在以上图形的基础上，利用等离子体掺杂工艺，形成所述第一薄膜晶体管中的有源沟道层的掺杂区；

在以上图形的基础上，利用掩膜板构图工艺，形成第二金属层的图形，其中包括所述第二薄膜晶体管的栅极，以及所述第一薄膜晶体管的源极和漏极；

在以上图形的基础上，利用掩膜板构图工艺，形成第三绝缘层的图形以及像素电极的过孔。

进一步的是，该制造方法还包括：

在以上图形的基础上，利用掩膜板构图工艺，形成透明电极层的图形，其中包括与所述第二薄膜晶体管的漏极连接的像素电极。

优选的是，所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层的材料为铟镓锌氧化合物。

本发明带来了以下有益效果：本发明提供的 OLED 显示装置的阵列基板中，第一薄膜晶体管和第二薄膜晶体管均采用顶栅结构。其中，第一薄膜晶体管的栅极位于第一金属层，栅极与有源沟道层之间的间距为第一绝缘层的厚度，因此其亚阈值较小，能够实现快速开关。第二薄膜晶体管的栅极位于第二金属层，栅极与有源沟道层之间的间距为第一绝缘层与第二绝缘层的厚度之和，因此其亚阈值较大，有利于灰阶调试。因此，本发明提供的 OLED 显示装置的阵列基板中，能够使第一薄膜晶体管和第二薄膜晶体管具备各自所需的电学特性，从而提高了 OLED 显示装置的显示品质。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分的从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

为了更清楚的说明本发明实施例中的技术方案,下面将对实施例描述中所需要的附图做简单的介绍:

图 1 是 OLED 显示装置中的驱动单元的电路图;

图 2 是本发明实施例提供的 OLED 显示装置的阵列基板的截面示意图;

图 3a 至图 3h 是本发明实施例提供的 OLED 显示装置的阵列基板的制造过程的示意图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式,借此对本发明如何应用技术手段来解决技术问题,并达成技术效果的实现过程能充分理解并据以实施。需要说明的是,只要不构成冲突,本发明中的各个实施例以及各实施例中的各个特征可以相互结合,所形成的技术方案均在本发明的保护范围之内。

本发明实施例提供一种 OLED 显示装置的阵列基板及其制造方法,能够使不同功能的薄膜晶体管具备各自所需的电学特性,从而提高 OLED 显示装置的显示品质。

本发明实施例提供的 OLED 显示装置的阵列基板,由下至上依次包括衬底基板、半导体层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层,并且阵列基板上形成有多个驱动单元,每个驱动单元中包括第一薄膜晶体管和第二薄膜晶体管。

如图 2 所示,第一薄膜晶体管 T1 的有源沟道层 101 和第二薄膜晶体管 T2 的有源沟道层 201 位于半导体层,直接形成于衬底(玻璃)基板 30 上,有源沟道层 101、201 上覆盖有第一绝缘层 31。

第一薄膜晶体管 T1 的栅极 102、第二薄膜晶体管 T2 的源极 203 和漏极 204 位于第一金属层,第一金属层上覆盖有第二绝缘层 32。

第二薄膜晶体管 T2 的栅极 202、第一薄膜晶体管 T1 的源极 103 和漏极 104 位于第二金属层,第二金属层上覆盖有第三绝缘层 33。从图 2 中可以看出,第二薄膜晶体管 T2 的栅极 202 与第一薄膜晶体管 T1 的漏极 104 连接。作为一个优选方案,第二薄膜晶体管 T2 的栅极 202 和第一薄膜晶体管 T1 的漏极 104 连接为一体式结构。

此外,第二薄膜晶体管 T2 的栅极 202 与第一薄膜晶体管 T1 的漏极 104 之间还形成了存储电容。为了使存储电容较大,应当增大第二薄膜晶体管 T2 的栅极 202 与第一薄膜

晶体管 T1 的漏极 104 之间的重叠面积。从图 2 中可以看出, 本实施例中的第二薄膜晶体管 T2 的栅极 202 和第一薄膜晶体管 T1 的漏极 104 均具有较大的面积。

本实施例中, 第一薄膜晶体管 T1 和第二薄膜晶体管 T2 的有源沟道层 101、201 的材料为铟镓锌氧化合物 (IGZO)。进一步的是, 有源沟道层 101、201 的两端还形成有掺杂区 1011、2011。

在第二薄膜晶体管 T2 中, 源极 203 和漏极 204 通过贯穿第一绝缘层 31 的过孔与有源沟道层 201 连接。在第一薄膜晶体管 T1 中, 源极 103 和漏极 104 通过贯穿第一绝缘层 31、第二绝缘层 32 的过孔与有源沟道层 101 连接。

进一步的是, 第三绝缘层 33 上还形成有透明电极层, 位于透明电极层的像素电极 40 通过贯穿第二绝缘层 32、第三绝缘层 33 的过孔与第二薄膜晶体管 T2 的漏极 204 连接。

薄膜晶体管的亚阈值大小为 $S=2.3kT/q(1+C_{dm}/C_{ox})$, 其中 C_{dm} 是损耗电容, C_{ox} 是绝缘层单位面积的电容。而 $C_{ox}=C/d$, 其中 C 是绝缘层的介电常数, d 为绝缘层的厚度, 因此 d 越大, 则 C_{ox} 越小, 亚阈值 S 越大。

本发明实施例提供的 OLED 显示装置的阵列基板中, 第一薄膜晶体管 T1 和第二薄膜晶体管 T2 均采用顶栅结构。其中, 第一薄膜晶体管 T1 的栅极 102 位于第一金属层, 栅极 102 与有源沟道层 101 之间的间距为第一绝缘层 31 的厚度, 因此其 C_{ox} 较大, 亚阈值 S 较小, 能够实现快速开关。第二薄膜晶体管 T2 的栅极 202 位于第二金属层, 栅极 202 与有源沟道层 201 之间的间距为第一绝缘层 31 与第二绝缘层的厚度之和, 因此其 C_{ox} 较小, 亚阈值 S 较大, 有利于灰阶调试。因此, 本发明实施例提供的 OLED 显示装置的阵列基板中, 能够使第一薄膜晶体管 T1 和第二薄膜晶体管 T2 具备各自所需的电学特性, 从而提高了 OLED 显示装置的显示品质。

本发明实施例还提供一种上述阵列基板的制造方法, 主要包括以下步骤:

S1: 如图 3a 所示, 利用掩膜板构图工艺, 在衬底基板 31 上形成半导体层的图形, 其中包括每个驱动单元中的第一薄膜晶体管和第二薄膜晶体管的有源沟道层 101、201。

具体的, 利用物理气相沉积 (Physical Vapor Deposition, 简称 PVD) 工艺在衬底基板上沉积一层 IGZO, 然后利用掩膜板构图工艺对 IGZO 进行湿法蚀刻, 形成第一薄膜晶体管和第二薄膜晶体管的有源沟道层 101、201 等半导体层的图形。

S2: 如图 3b 所示, 在以上图形的基础上, 利用掩膜板构图工艺, 形成第一绝缘层 31 的图形, 其中包括第二薄膜晶体管中的过孔。

具体的，利用化学气相沉积（Chemical Vapor Deposition，简称 CVD）工艺在衬底基板及半导体层上沉积第一绝缘层 31，然后利用掩模板构图工艺对第一绝缘层 31 进行干法蚀刻，形成第二薄膜晶体管中的过孔等第一绝缘层 31 的图形。

S3：如图 3c 所示，在以上图形的基础上，利用等离子体掺杂工艺，形成第二薄膜晶体管中的有源沟道层 201 的掺杂区 2011。

具体的，通过第二薄膜晶体管中的过孔，对有源沟道层 201 进行等离子体（plasma）掺杂处理，形成有源沟道层 201 中的掺杂区 2011。

S4：如图 3d 所示，在以上图形的基础上，利用掩模板构图工艺，形成第一金属层的图形，其中包括第一薄膜晶体管的栅极 102，以及第二薄膜晶体管的源极 203 和漏极 204。

具体的，利用 PVD 工艺在第一绝缘层 31 上沉积第一金属层，然后利用掩模板构图工艺对第一金属层进行湿法蚀刻，形成第一薄膜晶体管的栅极 102，以及第二薄膜晶体管的源极 203 和漏极 204 等第一金属层的图形。

S5：如图 3e 所示，在以上图形的基础上，利用掩模板构图工艺，形成第二绝缘层 32 的图形以及第一薄膜晶体管中的过孔。

具体的，利用 CVD 工艺在第一金属层及第一绝缘层 31 上沉积第二绝缘层 32，然后利用掩模板构图工艺对第二绝缘层 32 进行干法蚀刻，形成第一薄膜晶体管中的过孔等第二绝缘层 32 的图形。

因为第一薄膜晶体管中的过孔贯穿第一绝缘层 31 和第二绝缘层 32，所以本步骤中干法蚀刻的时间应当比步骤 S2 中干法蚀刻的时间更长。

S6：如图 3f 所示，在以上图形的基础上，利用等离子体掺杂工艺，形成所述第一薄膜晶体管中的有源沟道层 101 的掺杂区 1011。

具体的，通过第一薄膜晶体管中的过孔，对有源沟道层 101 进行等离子体掺杂处理，形成有源沟道层 101 中的掺杂区 1011。

S7：如图 3g 所示，在以上图形的基础上，利用掩模板构图工艺，形成第二金属层的图形，其中包括第二薄膜晶体管的栅极 202，以及第一薄膜晶体管的源极 103 和漏极 104。

具体的，利用 PVD 工艺在第二绝缘层 32 上沉积第一金属层，然后利用掩模板构图工艺对第一金属层进行湿法蚀刻，形成第二薄膜晶体管的栅极 202，以及第一薄膜晶体管的源极 103 和漏极 104 等第二金属层的图形。

S8：如图 3h 所示，在以上图形的基础上，利用掩模板构图工艺，形成第三绝缘层 33

的图形以及像素电极的过孔。

具体的，利用 CVD 工艺在第二金属层及第二绝缘层 32 上沉积第三绝缘层 33，然后利用掩模板构图工艺对第三绝缘层 33 进行干法蚀刻，形成像素电极的过孔等第三绝缘层 33 的图形。

进一步的是，本发明实施例提供的阵列基板的制造方法还包括：

S9：如图 2 所示，在以上图形的基础上，利用掩模板构图工艺，形成透明电极层的图形，其中包括与第二薄膜晶体管的漏极 204 连接的像素电极 40。

具体的，利用 PVD 工艺在第三绝缘层 33 上沉积透明电极层，透明电极层的材料优选为氧化铟锡（ITO）。然后利用掩模板构图工艺对透明电极层进行湿法蚀刻，形成像素电极 40 等图形。

依次进行上述步骤，即可形成本发明实施例提供的阵列基板所特有的结构，使第一薄膜晶体管和第二薄膜晶体管具备各自所需的电学特性，从而提高 OLED 显示装置的显示品质。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1. 一种 OLED 显示装置的阵列基板，由下至上依次包括衬底基板、半导体层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层；

所述阵列基板上形成有多个驱动单元，每个所述驱动单元中包括第一薄膜晶体管和第一薄膜晶体管；

所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层位于所述半导体层；

所述第一薄膜晶体管的栅极、所述第二薄膜晶体管的源极和漏极位于所述第一金属层；

所述第二薄膜晶体管的栅极、所述第一薄膜晶体管的源极和漏极位于所述第二金属层，且所述第二薄膜晶体管的栅极与所述第一薄膜晶体管的漏极连接。

2. 根据权利要求 1 所述的阵列基板，其中，所述第二薄膜晶体管的栅极和所述第一薄膜晶体管的漏极连接为一体式结构。

3. 根据权利要求 1 所述的阵列基板，其中，所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层的材料为铟镓锌氧化合物。

4. 根据权利要求 2 所述的阵列基板，其中，所述有源沟道层的两端形成有掺杂区。

5. 根据权利要求 1 所述的阵列基板，其中，在所述第二薄膜晶体管中，源极和漏极通过贯穿所述第一绝缘层的过孔与有源沟道层连接。

6. 根据权利要求 1 所述的阵列基板，其中，在所述第一薄膜晶体管中，源极和漏极通过贯穿所述第一绝缘层、所述第二绝缘层的过孔与有源沟道层连接。

7. 根据权利要求 1 所述的阵列基板，其中，所述第三绝缘层上还形成有透明电极层；
位于所述透明电极层的像素电极，通过贯穿所述第二绝缘层、所述第三绝缘层的过孔与所述第二薄膜晶体管的漏极连接。

8. 一种 OLED 显示装置的阵列基板的制造方法，

所述 OLED 显示装置的阵列基板，由下至上依次包括衬底基板、半导体层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层；

所述阵列基板上形成有多个驱动单元，每个所述驱动单元中包括第一薄膜晶体管和第一薄膜晶体管；

所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层位于所述半导体层；

所述第一薄膜晶体管的栅极、所述第二薄膜晶体管的源极和漏极位于所述第一金属层；

所述第二薄膜晶体管的栅极、所述第一薄膜晶体管的源极和漏极位于所述第二金属层，且所述第二薄膜晶体管的栅极与所述第一薄膜晶体管的漏极连接；

所述制造方法包括：

利用掩膜板构图工艺，在衬底基板上形成半导体层的图形，其中包括每个驱动单元中的第一薄膜晶体管和第二薄膜晶体管的有源沟道层；

在以上图形的基础上，利用掩膜板构图工艺，形成第一绝缘层的图形，其中包括所述第二薄膜晶体管中的过孔；

在以上图形的基础上，利用等离子体掺杂工艺，形成所述第二薄膜晶体管中的有源沟道层的掺杂区；

在以上图形的基础上，利用掩膜板构图工艺，形成第一金属层的图形，其中包括所述第一薄膜晶体管的栅极，以及所述第二薄膜晶体管的源极和漏极；

在以上图形的基础上，利用掩膜板构图工艺，形成第二绝缘层的图形，其中包括所述第一薄膜晶体管中的过孔；

在以上图形的基础上，利用等离子体掺杂工艺，形成所述第一薄膜晶体管中的有源沟道层的掺杂区；

在以上图形的基础上，利用掩膜板构图工艺，形成第二金属层的图形，其中包括所述第二薄膜晶体管的栅极，以及所述第一薄膜晶体管的源极和漏极；

在以上图形的基础上，利用掩膜板构图工艺，形成第三绝缘层的图形以及像素电极的过孔。

9. 根据权利要求 8 所述的制造方法，其中，还包括：

在以上图形的基础上，利用掩膜板构图工艺，形成透明电极层的图形，其中包括与所述第二薄膜晶体管的漏极连接的像素电极。

10. 根据权利要求 8 所述的制造方法，其中，所述第一薄膜晶体管和所述第二薄膜晶体管的有源沟道层的材料为铟镓锌氧化合物。

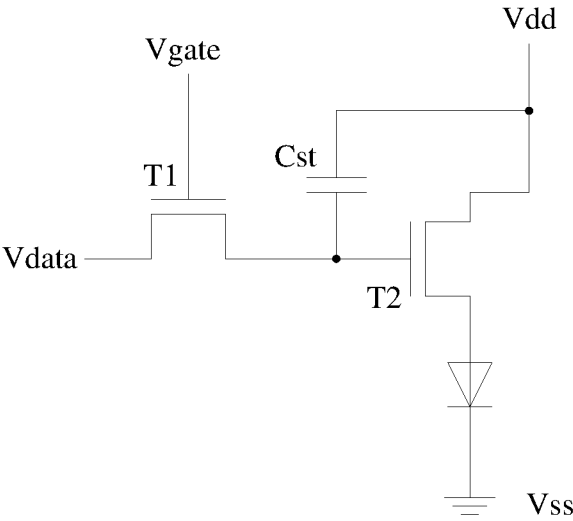


图 1

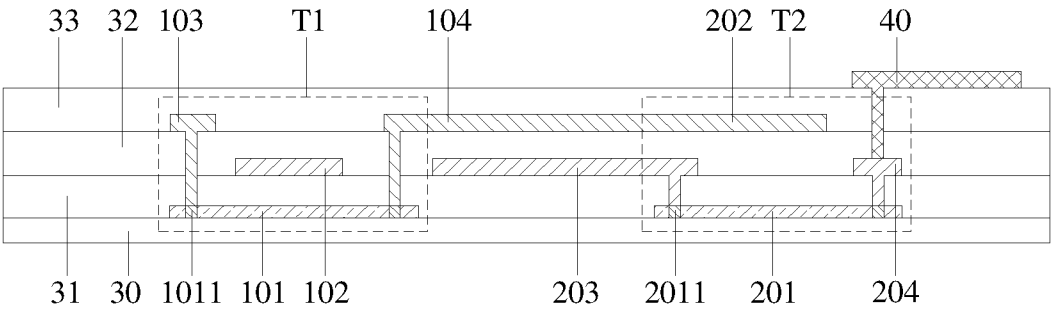


图 2

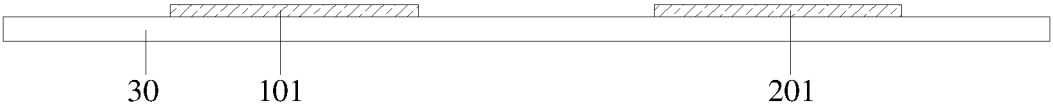


图 3a

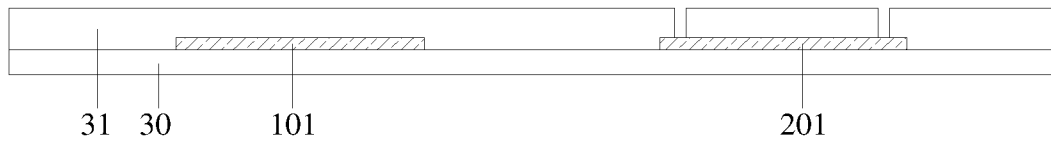


图 3b

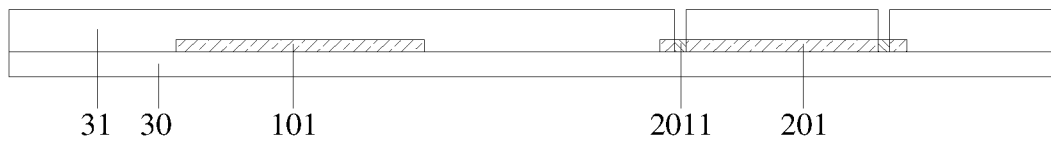


图 3c

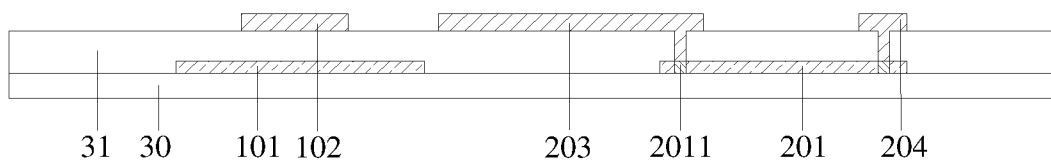


图 3d

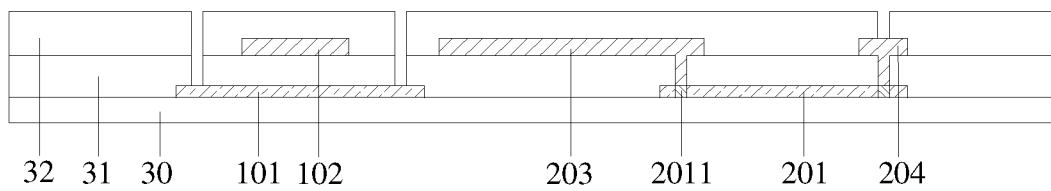


图 3e

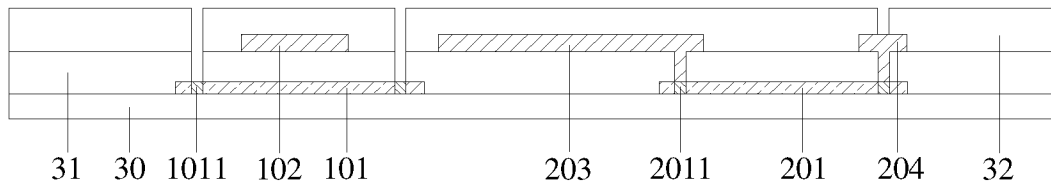


图 3f

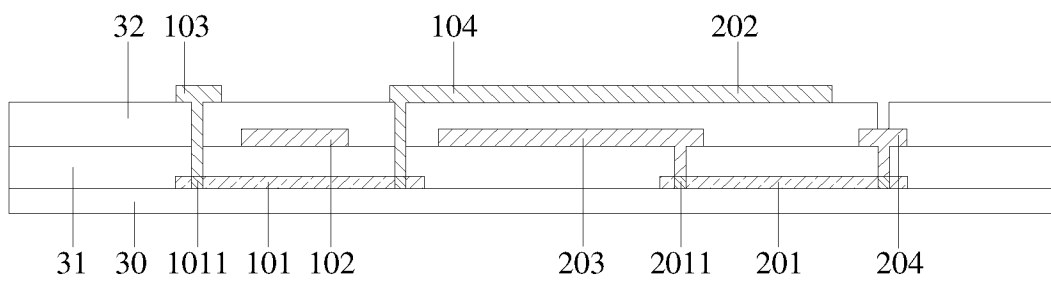


图 3g

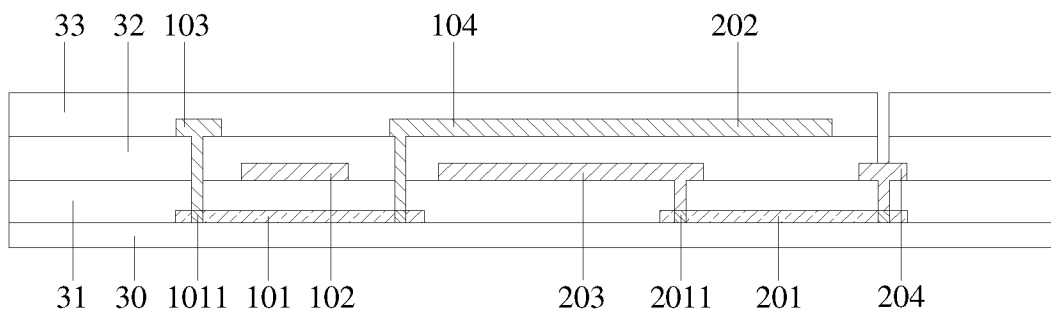


图 3h

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/071033

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: TFT, thin film transistor, first, second, switch+, driv+, gate, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105514118 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.), 20 April 2016 (20.04.2016), description, paragraphs 2-5 and 36-64, and figures 2-7	1-10
Y	CN 102884633 A (SHARP KABUSHIKI KAISHA), 16 January 2013 (16.01.2013), description, paragraphs 68-74, and figure 4	1-10
PX	CN 106057825 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 October 2016 (26.10.2016), description, paragraphs 38-69, and figures 2-3h	1-10
A	CN 103794633 A (BOE TECHNOLOGY GROUP CO., LTD.), 14 May 2014 (14.05.2014), the whole document	1-10
A	US 6614054 B1 (LG. PHILIPS LCD CO., LTD.), 02 September 2003 (02.09.2003), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 April 2017 (14.04.2017)	Date of mailing of the international search report 04 May 2017 (04.05.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer CHENG, Kaifang Telephone No.: (86-10) 82246739

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/071033

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105514118 A	20 April 2016	None	
CN 102884633 A	16 January 2013	JP 5128721 B2	23 January 2013
		KR 20120135351 A	12 December 2012
		US 8575620 B2	05 November 2013
		CN 102884633 B	13 November 2013
		KR 101276483 B1	18 June 2013
		US 2013201610 A1	08 August 2013
		WO 2011142147 A1	17 November 2011
		EP 2571058 A1	20 March 2013
CN 106057825 A	26 October 2016	None	
CN 103794633 A	14 May 2014	WO 2015109667 A1	30 July 2015
		CN 103794633 B	15 June 2016
		US 2015214286 A1	30 July 2015
		US 9484396 B2	01 November 2016
US 6614054 B1	02 September 2003	US 2004004222 A1	08 January 2004
		US 6861300 B2	01 March 2005

国际检索报告

国际申请号

PCT/CN2017/071033

A. 主题的分类 H01L 27/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT, WPI, EPODOC: 薄膜晶体管, 第一, 第二, 开关, 驱动, 栅, 源, 漏, TFT, thin film transistor, first, second, switch+, driv+, gate, source, drain		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 105514118 A (昆山国显光电有限公司) 2016年 4月 20日 (2016 - 04 - 20) 说明书第2-5、36-64段, 图2-7	1-10
Y	CN 102884633 A (夏普株式会社) 2013年 1月 16日 (2013 - 01 - 16) 说明书第68-74段, 图4	1-10
PX	CN 106057825 A (深圳市华星光电技术有限公司) 2016年 10月 26日 (2016 - 10 - 26) 说明书第38-69段, 图2-3h	1-10
A	CN 103794633 A (京东方科技集团股份有限公司) 2014年 5月 14日 (2014 - 05 - 14) 全文	1-10
A	US 6614054 B1 (LG. PHILIPS LCD CO., LTD.) 2003年 9月 2日 (2003 - 09 - 02) 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2017年 4月 14日		国际检索报告邮寄日期 2017年 5月 4日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 程凯芳 电话号码 (86-10) 82246739

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/071033

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105514118	A	2016年 4月 20日	无			
CN	102884633	A	2013年 1月 16日	JP	5128721	B2	2013年 1月 23日
				KR	20120135351	A	2012年 12月 12日
				US	8575620	B2	2013年 11月 5日
				CN	102884633	B	2013年 11月 13日
				KR	101276483	B1	2013年 6月 18日
				US	2013201610	A1	2013年 8月 8日
				WO	2011142147	A1	2011年 11月 17日
				EP	2571058	A1	2013年 3月 20日
CN	106057825	A	2016年 10月 26日	无			
CN	103794633	A	2014年 5月 14日	WO	2015109667	A1	2015年 7月 30日
				CN	103794633	B	2016年 6月 15日
				US	2015214286	A1	2015年 7月 30日
				US	9484396	B2	2016年 11月 1日
US	6614054	B1	2003年 9月 2日	US	2004004222	A1	2004年 1月 8日
				US	6861300	B2	2005年 3月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)