(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 695 30 527 T2** 2004.04.08

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 933 821 B1**
(21) Deutsches Aktenzeichen: **695 30 527.1**
(96) Europäisches Aktenzeichen: **99 200 055.4**
(96) Europäischer Anmeldetag: **22.02.1995**
(97) Erstveröffentlichung durch das EPA: **04.08.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **23.04.2003**
(47) Veröffentlichungstag im Patentblatt: **08.04.2004**

(51) Int Cl.[7]: **H01L 29/788**
H01L 27/115, G11C 16/04

(30) Unionspriorität:
205327 03.03.1994 US

(84) Benannte Vertragsstaaten:
AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LI, LU, MC, NL, PT, SE

(73) Patentinhaber:
Rohm Corp., San Jose, Calif., US

(74) Vertreter:
Kuhnen & Wacker Patent- und Rechtsanwaltsbüro, 85354 Freising

(72) Erfinder:
Chang, Shang-De, Fremont, California 94539, US; Chang, Jia-Hwang, Cupertino, California 95014, US; Chow, Edwin, Saratoga, California 95070, US

(54) Bezeichnung: **Niederspannungs-Eintransistor-FLASH-EEPROM-Zelle mit Fowler-Nordheim Programmier- und Löschung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein elektrisch löschbares und programmierbares Speicherbauelement mit einer Mehrzahl von Speicherstellen, einer Mehrzahl von Reihenadressleitungen, einer Mehrzahl von Spaltenadressleitungen und einer Mehrzahl von Quellleitungen, wobei jede Kombination von einer aus der Mehrzahl von Reihenadressleitungen und einer aus der Mehrzahl von Spaltenadressleitungen eine andere aus der Mehrzahl von Speicherstellen definiert, und wobei ferner jede aus der Mehrzahl von Speicherstellen einen einzelnen Transistor umfasst, der in und auf einem Substrat ausgebildet ist, das so gestaltet ist, dass es auf einem gewählten Potential gehalten wird, wobei der Transistor Folgendes umfasst: eine Source, die mit einer assoziierten einen aus der Mehrzahl von Source-Leitungen gekoppelt ist; einen Drain, der mit einer assoziierten einen aus der Mehrzahl von Spaltenadressleitungen gekoppelt ist; ein Steuergate, das mit einer assoziierten einen aus der Mehrzahl von Reihenadressleitungen gekoppelt ist; und ein floatendes Gate, das zwischen dem Steuergate und der Source und dem Drain positioniert ist; eine erste Schicht aus Isoliermaterial, die zwischen dem Steuergate und dem floatenden Gate positioniert ist; eine zweite Schicht aus Isoliermaterial, die zwischen dem floatenden Gate und der Saurce und dein Drain positioniert ist, wobei die genannte zweite Schicht so gewählt wird, dass sie Fowler-Nordheim-Tunnelung zulässt; wobei die Source einen Abschnitt hat, der die zweite Schicht aus Isoliermaterial und das floatende Gate überlappt, wobei der überlappende Source-Abschnitt so proportioniert ist, dass er eine Tunnelung von Elektronen von der Source zum floatenden Gate durch die zweite Schicht aus Isoliermaterial während eines Programmiervorgangs zulässt; und wobei der Drain einen Abschnitt aufweist, der die zweite Schicht aus Isoliermaterial und das floatende Gate überlappt, wobei der überlappende Drain-Abschnitt so proportioniert ist, dass er eine Tunnelung von Elektronen von dem floatenden Gate zum Drain durch die zweite Schicht aus Isoliermaterial während eines Löschvorgangs zulässt.

[0002] Die Erfindung betrifft auch ein Verfahren zum Setzen der logischen Zustände eines Transistors in einem solchen Bauelement.

[0003] Elektrisch löschbare und programmierbare Festwertspeichergeräte (EEPROMs) und Verfahren zur Herstellung solcher Geräte sind in der Technik bekannt. Ein solches Gerät, Flash EEPROM genannt, ist in den US-Patenten, Nr. 4,698,787 und 4,868,619 von Mukherjee et al offenbart. Ein Flash-EEPROM-Speicher besteht aus einer äußerst dichten (in der Größenordnung von einem Megabit) Array von Zellen. Jede Zelle ist ein Eintransistor-Bauelement, umfassend einen Körper aus einem einzelnen kristallinen Halbleitermaterial mit einer Source, einem Drain und einer ersten Schicht aus Isoliermaterial, das auf dem Körper positioniert ist. Zwischen der ersten Isoliermaterialschicht und einer zweiten Isoliermaterialschicht befindet sich ein floatendes Gate, und ein Gate befindet sich über der zweiten Isoliermaterialschicht.

[0004] Die Source wird von einer tiefen Zone aus einem ersten Material wie z. B. Phosphor und einer flacheren Zone aus einem zweiten Material wie z. B. Arsen und Phosphor gebildet. Ein Abschnitt der tiefen Zone liegt unter der ersten Isoliermaterialschicht, und das erste Material wird so gewählt, dass die Übergangsüberlappung mit dem Gate optimiert wird, um die Band-zu-Band-Tunnelung während des Löschvorgangs zu reduzieren. Der Drain wird aus einer flachen Zone aus dem zweiten Material gebildet.

[0005] Die zweite Isoliermaterialschicht hat eine hohe Dielektrizitätskonstante, um ihre Kapazität zu optimieren. Dadurch werden die Spannung über das floatende Gate in Bezug auf das Substrat sowie die Fähigkeit des Bauelementes maximiert; Ladung auf seinem floatenden Gate zu speichern oder davon zu entfernen.

[0006] Die Programmierung einer konventionellen Flash-EEPROM-Zelle erfordert das Anlegen von Spannungen von etwa 10 V bis 12 V sowie von 4 V bis 6 V jeweils an Steuergate und Drain sowie das Halten von Source und Substrat auf Massepotential. Durch diesen Spannungszustand wird bewirkt, dass heiße Elektronen von einem zwischen Source und Drain liegenden Abschnitt des Substrats (der Kanalzone) erzeugt und auf das floatende Gate beschleunigt werden. Zum Löschen einer Flash-EEPROM-Zelle wird eine Spannung zwischen 10 V und 13 V an die Source angelegt, während der Drain floatet und Steuergate und Substrat auf Massepotential gehalten werden. Auf diese Weise können Elektronen durch Fowler-Nordheim-Tunnelung vom floatenden Gate in die Source-Zone passieren.

[0007] Während eines Lesevorgangs wird der logische Zustand einer Zelle durch Anlegen eines Potentials von 1 V bis 2 V an den Drain, eines Potentials von 3 V bis 6 V an das Steuergate und von Massepotential an die Source ermittelt. Da eine programmierte Zelle aufgrund der Anwesenheit von Elektronen auf dem floatenden Gate eine erhöhte Spannungsschwelle (Vt) hat, leitet die Kanalzone der programmierten Zelle während des Lesevorgangs nicht. Andererseits hat eine gelöschte Zelle eine Schwellenspannung von etwa 1 V, und daher leitet ihre Kanalzone während eines Lesevorgangs.

[0008] Mit der konventionellen Flash-EEPROM-Technologie sind mehrere Nachteile verbunden. Ein solcher Nachteil liegt in der Programmierung durch eine Injektion heißer Elektronen. Bei dieser Programmierung wird eine hohe Strommenge verbraucht, so dass diese Technik die Verwendung interner, chipintegrierter Ladungspumpen ausschließt, wenn eine Niederspannungsversorgung (weniger als 5 Volt) eingesetzt wird.

[0009] Weitere Nachteile der derzeitigen Flash-EEPROM- Technologie entstehen aus Faktoren, die die Dauerhaftigkeit der Zelle beeinträchtigen. Beim Programmieren einer Zelle empfangen beispielsweise die Drains

aller Zellen, die eine Spalte mit der zu programmierenden Zelle gemeinsam haben, das für die Programmierung benötigte relativ. hohe Drain-Potential. Dies ist auf die Tatsache zurückzuführen, dass alle Zellen in einer Spalte typischerweise eine gemeinsame Bitleitung benutzen. Ein Störzustand entsteht in diesen unselektierten Zellen aufgrund der Potentialdifferenz zwischen den Drains (4 V bis 6 V) und dem Substrat (das auf Massepotential gehalten wird). Der relativ hohe Spannungsabfall zwischen Drain und Substrat während des Programmierens kann zur Bildung von heißen Löchern an den Drain-Übergängen führen. Diese heißen Löcher können auf das Gate-Dielektrikum wandern und dort permanent eingeschlossen werden, was zu einem vorzeitigen Ausfall der Zelle führt.

[0010] Im Gate-Dielektrikum eingeschlossene heiße Löcher beeinflussen den Lesevorgang des Bauelementes und verursachen einen Rückgang der Energieschwelle zwischen Substrat und floatendem Gate, die das Gate-Dielektrikum gewöhnlich darstellt. Der Rückgang dieser Energieschwelle hat wiederum zur Folge, dass Elektronen zum floatenden Gate unselektierter Zellen wandern. Die Erzeugung heißer Löcher kann in dem Maße eskalieren, dass der Energiepegel der heißen Elektronen den der Elektronen übersteigt, was eine Band-zu-Band-Tunnelung zur Folge hat, die wiederum zusätzliche Heißelektronen/Heißloch-Paare freisetzt und somit einen weiteren Heißlocheinschluss im Gate-Dielektrikum verursacht.

[0011] Ein Durchbruch am Source-Substrat-Übergang, der ebenfalls zu Erzeugung und Einschluss heißer Löcher führt, kann ebenso beim Löschen konventioneller Flash-EEPROM-Bauelemente aufgrund des hohen Spannungsdifferentials zwischen Source (ca. 10 V bis 13 V) und geerdetem Substrat auftreten. Dieser Durchbruch kann zwar durch die Ausbildung einer doppeldiffundierten Source-Zone erheblich reduziert werden, aber solche Effekte können durch Hinzufügen einer zusätzlichen Diffusionsschicht nicht vollständig ausgeschlossen werden.

[0012] Ein weiterer Nachteil der derzeitigen Flash-EEPROM-Technologie besteht darin, dass übergelöschte Zellen, nicht Bit für Bit erfasst werden können. Zu einem Überlöschzustand kommt es, wenn beim Löschen zu viele Elektronen vom floatenden Gate einer Zelle entfernt werden, was zur Folge hat, dass die Zelle auf einen Vt-Wert von unter 0 V oder auf einen Vt-Wert gelöscht wird, der bewirkt, dass die Zelle selbst dann leitet, wenn ihre Wortleitung deselektiert ist. Die niedrige Schwellenspannung einer übergelöschten Zelle verursacht ein falsches Programmieren und Lesen der Zelle, und übergelöschte Zellen induzieren gewöhnlich Drain-Leckstrom, der dann den logischen Zustand der übrigen Zellen maskiert, die dieselbe Bitleitung benutzen. Die Anwesenheit einer übergelöschten Zelle kann somit deshalb nicht Bit für Bit erfasst werden, weil dann, wenn sich eine übergelöschte Zelle in einer Spalte befindet, diese Zelle selbst wenn sie deselektiert ist einen Stromfluss durch die Bitleitung verursacht, die mit dieser Spalte verbunden ist, und somit. die Identität der übergelöschten Zellen verbirgt. Da übergelöschte Zellen nur schwer zu erfassen sind, werden solche Zellen enthaltende Speicher häufig verworfen, oder übergelöschte Zellen enthaltende Blöcke werden isoliert und durch redundante Speicher ersetzt. Solche Maßnahmen sind gewöhnlich kostspielig und ineffizient.

[0013] Es wurden verschiedene Versuche unternommen, Flash-EEPROM-Bauelemente zu entwickeln, die die oben beschriebenen Heißloch-Einschlusseffekte minimal halten. Ein solches Bauelement ist im US-Patent Nr. 5,077,691 von Haddad et al ("Haddad-Patent") offenbart. Dort ist ein Flash-EEPROM offenbart, der mit Fowler-Nordheim-Tunnelung vom floatenden Gate zur Source gelöscht wird, wenn eine Spannung von etwa 17 V bis –12 V an das Steuergate und eine Spannung von etwa 0,5 V bis 5,0 V an die Source angelegt wird. Bauelemente wie das im Haddad-Patent offenbarte reduzieren zwar die Wahrscheinlichkeit des Auftretens von Heißloch-Einschlusseffekten beim Löschen, aber diese Bauelemente arbeiten mit einem höheren Drain-Potential für die Programmierung und gehen somit nicht das oben beschriebene Drain-Störproblem an, das in unselektierten Zellen auftritt. Darüber hinaus erfolgt die Programmierung dieser Bauelemente durch Heißelektronen-Injektion, die, wie oben erwähnt, viel Strom verbraucht.

[0014] Ein weiterer Nachteil von konventionellen Flash-EEPROM-Bauelementen und Bauelementen wie den im Haddad-Patent beschriebenen besteht darin, dass die Programmierung dieser Bauelemente in drei Schritten erfolgt. Zunächst werden alle Zellen auf einen hohen Vt-Wert programmiert, indem die Programmierungsbedingungen für etwa 10 ms angewendet werden. Da mit Heißelektronen-Injektion gearbeitet wird, verbraucht dieser erste Schritt viel Strom und kann daher nur Byte für Byte durchgeführt werden. Als Nächstes werden alle Zellen gleichzeitig mit der Flash-Löschfunktion gelöscht, indem die Löschbedingungen für etwa 10 ms angewendet werden. Schließlich werden Daten durch eine Byte-für-Byte-Programmierung der Zellen auf den Chip gesetzt, wieder mit einem Programmierungsimpuls von etwa 10 ms Dauer. Somit ist die Programmierung dieser Chips zeitaufwendig, insbesondere aufgrund der Tatsache, dass sie zwei Programmierschritte benötigen, die beide Byte für Byte erfolgen.

[0015] Noch ein weiterer Nachteil in Verbindung mit derzeitigen Flash-EEPROM-Bauelementen liegt in der Tatsache, dass es die Verwendung hoher positiver Potentiale an den Steuergates der Speicherzellen erfordert, dass die Transistoren in der umgebenden Schaltungsanordnung mit ausreichend hohen Durchbruchschwellen hergestellt werden, um einen Durchbruch beim Anlegen der hohen Gate-Potentiale zu verhindern. So müssen beispielsweise in Zellen, in denen die Programmierung durch Anlegen eines Potentials von 21,0 V an das Steuergate erfolgt, die Peripheriegeräte so gebaut werden, dass sie eine Vorspannung in Sperrrichtung von we-

nigstens 21,0 V aushalten können.

[0016] Ein Bauelement ist. in der frühen japanischen Patentveröffentlichung Nr. 57-114282 offenbart und arbeitet mit Fowler-Nordheim-Tunnelung zwischen Substrat und floatendem Gate, um das Bauelement zu programmieren und zu löschen. Ferner erfolgt die Löschung mit hohen Spannungen am Drain des Bauelementes, so dass besondere Vorsicht erforderlich ist, um einen Durchbruch und andere Probleme unter Beteiligung des Drain-Substrat-Übergangs zu vermeiden.

[0017] Weiterer technischer Hintergrund ist in der DE 43 11 358 A sowie in einem Artikel mit dem Titel "An Investigation of Erase-Mode Dependent Hole Trapping in Flash EEPROM Memory Cell" von Sameer Haddad et al auf den Seiten 514 bis 516 der IEEE Electron Device Letters, November 1990, (Bd. 11, Nr. 11), New York, beschrieben.

[0018] Ein Verfahren zur Bildung von Floating-Gate-Speicherzellen bei der Herstellung eines nichtflüchtigen Halbleiterspeichers ist in der EP 0 446 893 A beschrieben. Es beinhaltet die Bereitstellung einer P-Taschenzone zur Förderung elektrischer Feldintensität in einer Zone des Source-Drain-Kanals neben dem Drain, damit während des Schreibens von Daten mehr Strom in das floatende Gate fließen kann.

[0019] Die EP 0 541 222 A beschreibt ein Verfahren zum Löschen von EEPROM-Zellen, bei dem eine Zelle dadurch gelöscht wird, dass Fowler-Nordheim-Tunnelung bewirkt wird, indem ein Löschpotential an einen mit dem floatenden Gate verbundenen Tunnelkondensator und Massepotential an Steuergate und Source eines Floating-Gate-Transistors angelegt werden.

[0020] Ein elektrisch löschbares und programmierbares Speicherbauelement der eingangs definierten Art ist in der DE 33 45 173 A beschrieben. Dieses bekannte Bauelement arbeitet jedoch auf eine solche Weise, dass im Löschmodus Elektronen von der Source zum floatenden Gate und im Schreibmodus Elektronen vom floatenden Gate zum Drain getunnelt werden.

[0021] Gemäß der vorliegenden Erfindung ist ein elektrisch löschbares und programmierbares Speicherbauelement der eingangs definierten Art dadurch gekennzeichnet, dass der einzelne Transistor ein kapazitives Kopplungsverhältnis hat, das definiert wird durch den Ausdruck: $\underline{C}_{FG\text{-}CG}\ C_{FG\text{-}CG} + C_{FG\text{-}S} + C_{FG\text{-}C} + C_{FG\text{-}D}$ wobei $C_{FG\text{-}CG}$ die Kapazität zwischen dem floatenden Gate und dem Steuergate ist, $C_{FC\text{-}S}$ die Kapazität zwischen dem floatenden Gate und der Source ist, $C_{FC\text{-}C}$ die Kapazität zwischen dem floatenden Gate und einer Kanalzone des Substrats zwischen der Source und dem Drain ist, und $C_{FC\text{—}D}$ die Kapazität zwischen dem floatenden Gate und dem Drain ist und der wert des kapazitiven Kopplungsverhältnisses wenigstens 0,65 beträgt.

[0022] Die kapazitiven Kopplungsverhältnisse der oben beschriebenen Struktur sind so konfiguriert, dass eine EEPROM-Zelle entsteht, in der Elektronen mit Fowler-Nordheim-Tunnelung auf das floatende Gate gesetzt und von diesem entfernt werden können, wobei Elektronen mit Fowler-Nordheim-Tunnelung zwischen Drain und floatenden Gate auf dieses gesetzt werden; und wobei Elektronen mit Fowler-Nordheim-Tunnelung zwischen dem floatenden Gate und der Source vom floatenden Gate entfernt werden. In einer Array solcher Zellen werden zum Vorbereiten der Zelle für die Programmierung alle Zellen in einem Flash-Programmiervorgang auf einen hohen Vt-Wert angehoben, indem Elektronen auf das floatende Gate gesetzt werden und somit der Vt-Wert auf etwa 6 V bis 7,5 V erhöht wird. Dies erfolgt durch Erhöhen des Potentials des Steuergates, durch Erden der Source und Floaten des Drains. Als Nächstes werden Zellen in einem selektiven Löschvorgang gelöscht, in dem Elektronen von den floatenden Gates selektierter Zellen mit Fowler-Nordheim-Tunnelung entfernt werden, wodurch der Vt-Wert auf etwa 1,2 V bis 2,2 V gesenkt wird. Die selektive Löschfunktion erfolgt durch Anlegen eines relativ hohen negativen Potentials an das Steuergate und eines mäßig hohen positiven Potentials an den Drain sowie durch Floaten der Source. Das Substrat wird während der Flash-Programmier- und selektiven Löschbedingungen auf Massepotential gehalten.

[0023] Die oben beschriebenen Programmierungseigenschaften des erfindungsgemäßen Bauelementes reduzieren die Wahrscheinlichkeit von Heißloch-Einschluss und Band-zu-Band-Tunnelung durch Minimieren der Spannungsdifferentiale in Sperrrichtung zwischen Source und Substrat sowie zwischen Drain und Substrat. Ferner kann mittels der erfindungsgemäßen Konstruktion eine Array von Zellen konfiguriert werden, so dass eine bitweise Erkennung von Zellen mit künstlich niedrigem Vt-Wert aufgrund eines Überlöschzustands möglich wird (d. h. aufgrund der Entfernung zu vieler Elektronen vom floatenden Gate). Die Konstruktion der vorliegenden Erfindung ermöglicht ebenso eine Reparatur übergelöschter Zellen. Ferner bewirkt das Bauelement, da Konstruktion und Betrieb der erfindungsgemäßen Zelle mit Fowler-Nordheim-Tunnelung programmiert und gelöscht werden, dass eine minimale Strommenge gezogen wird, und es eignet sich somit für die Verwendung mit niedrigen Versorgungsspannungen und zellenintegrierten Ladungspumpen. Schließlich wird die Verarbeitungszeit reduziert, weil die Programmierung in zwei anstatt drei Schritten durchgeführt wird, wie dies normalerweise für konventionelle Flash-Bauelemente der Fall ist.

[0024] Es wird hierin auch ein Verfahren offenbart, um zu ermitteln, ob ein elektrisch löschbares und programmierbares Bauelement übergelöscht wurde, wobei das Bauelement eine Source, einen Drain, ein Steuergate und ein floatendes Gate hat, das zwischen dem Steuergare und der Source und dem Draim positioniert ist, wobei das Verfahren die folgenden Schritte umfasst:

(a) Anlegen einer ersten Spannung an den Drain;

(b) Anlegen einer zweiten Spannung an die Source, die geringer ist als die erste Spannung und so gewählt wird, dass übergelöschte, aber nicht selektierte Zelle in einen nichtleitenden Zustand vorspannt werden;
(c) separates Anlegen eines Bereichs von Potentialen an das Steuergate; und
(d) Ermitteln, ob während des Anliegens des Bereichs von Potentialen am Steuergate Strom vom Drain zur Source fließt, was, wenn das Potential des Steuergates innerhalb des Bereichs liegt, eine Anzeige dafür ist, dass die Zelle übergelöscht ist.

[0025] Schritt (a) kann den Schritt des Anlegens einer Spannung von etwa 1,5 Volt an den Drain umfassen;
[0026] Schritt (b) kann den Schritt des Anlegens einer Spannung von etwa 0,6 Volt an die Source umfassen; und
[0027] Schritt (c) kann den Schritt des Anlegens einer Spannung im Bereich von etwa 0 Volt bis etwa 0,5 Volt an das Steuergate umfassen.
[0028] Alternativ kann Schritt (a) den Schritt des Anlegens einer Spannung von etwa 1,2 Volt an den Drain umfassen;
[0029] Schritt (b) kann den Schritt des Anlegens einer Spannung von etwa 0,6 Volt an die Source umfassen; und
[0030] Schritt (c) kann den Schritt des Anlegens einer Spannung von etwa 1,6 Volt an das Steuergate umfassen.
[0031] Ferner wird hierin ein Verfahren zum Identifizieren von übergelöschten Zellen in einem elektrisch löschbaren und programmierbaren Bauelement des Typs, der eine Mehrzahl von Zellen. auf weist, offenbart, wobei die Zellen jeweils einen einzelnen Transistor mit einer Source, einem Drain, einem Steuergate und einem floatenden Gate umfassen, das zwischen dem Steuergate und der Source und dem Drain positioniert ist, und wobei das Bauelement ferner von einem Typ ist, der eine Mehrzahl von Reihenadressleitungen, die jeweils mit den Steuergates der Zellen in einer zugehörigen Reihe gekoppelt sind, eine Mehrzahl von Spaltenadressleitungen, die jeweils mit den Drains der Zellen in einer zugehörigen Spalte. gekoppelt sind, und eine Mehrzahl von Source-Leitungen aufweist, die mit den Sources der Zellen gekoppelt sind, wobei das Verfahren die folgenden Schritte umfasst:
(a) separates Testen jeder Spalte auf Anwesenheit von übergelöschten Zellen; und
(b) individuelles Testen der Zellen in Spalten, von denen gefunden wird, dass sie übergelöschte Zelle enthalten, um zu ermitteln, welche Zellen übergelöscht sind, einschließlich des Schrittes des Anhebens der Sources aller Zellen in der genannten Spalte auf ein Potential, das übergelöschte, aber nicht selektierte Zellen in der genannten Spalte in einen nichtleitenden Zustand vorspannt.

[0032] Schritt (a) kann die folgenden Schritte umfassen:
(i) Bringen der Zellen in jeder Spalte in einen vorbestimmten elektrischen Zustand;
(ii) Lesen der Zellen in jeder Spalte in einem gleichzeitigen Lesevorgang; und
(iii) Ermitteln, ob Strom in jede Spalte fließt, was, wenn sich die Zellen in dem vorbestimmten elektrischen Zustand befinden, eine Anzeige dafür ist, dass übergelöschte. Zellen in der Spalte vorhanden sind.

[0033] Die Schritte (i) und (ii) können die folgenden Schritte umfassen:
Anlegen einer Spannung von etwa 1,2 Volt an die Spaltenadressleitung in Verbindung mit jeder Spalte;
Anlegen einer Spannung von etwa 0,6 Volt an die Source-Leitungen in Verbindung mit den Zellen in jeder Spalte, und
Anlegen einer Spannung in einem Bereich von etwa 0 Volt bis etwa 2,0 Volt an die Reihenadressleitungen in Verbindung mit den Zellen in jeder Spalte.
[0034] Schritt (b) kann die folgenden Schritte umfassen:
(i) Bringen jeder der Zellen in einen vorbestimmten elektrischen Zustand;
(ii) Lesen der einzelnen Zellen in einem Lesevorgang; und
(iii) Ermitteln, ob Strom in jede der Zellen fließt,. was, wenn sich eine Zelle in dem vorbestimmten elektrischen Zustand befindet, eine Anzeige dafür ist, dass sie übergelöscht ist.

[0035] In einem solchen Schritt (b) können die Schritte (i) und (ii) ferner die folgenden Schritte umfassen:
Anlegen einer Spannung von etwa 1,2 Volt an die Spaltenadressleitung in Verbindung mit der Zelle,
Anlegen einer Spannung von etwa 0,6 Volt an die Source-Leitung in Verbindung mit der Zelle, und
Anlegen einer Spannung in einem Bereich von etwa 0 Volt bis etwa 2,0 Volt an die Reihenadressleitung in Verbindung mit der Zelle.
[0036] Es wird hierin noch ein weiteres Verfahren zum Identifizieren von übergelöschten Zellen in einem elektrisch löschbaren und programmierbaren Bauelement des Typs, der eine Mehrzahl von Zellen aufweist, offenbart, wobei die Zellen jeweils einen einzelnen Transistor mit einer Source, einem Drain, einem Steuergate und einem floatenden Gate umfassen, das zwischen dem Steuergate und der Source und dem Drain. positioniert

ist, wobei mittels Fowler-Nordheim-Tunnelung Elektronen von der Source zum floatenden Gate getunnelt werden und wobei Elektronen von dem floatenden Gate zum Drain getunnelt werden, wobei das Bauelement ferner von einem Typ ist, der eine Mehrzahl von Reihenadressleitungen, die jeweils mit den Steuergates der Zellen in einer zugehörigen Reihe gekoppelt sind, eine Mehrzahl von Spaltenadressleitungen, die jeweils mit den Drains der Zellen in einer zugehörigen Spalte gekoppelt sind, und eine Mehrzahl von Source-Leitungen aufweist, die mit den Sources der Zellen gekoppelt sind, wobei das Verfahren die folgenden Schritte umfasst:
(a) gleichzeitiges Testen aller Zellen in dem Bauelement auf Anwesenheit von übergelöschten Zellen; und
(b) individuelles Testen der Zellen, wenn gefunden wird, dass das Bauelement übergelöschte Zellen hat, um zu ermitteln, welche Zellen übergelöscht sind.

[0037] In diesem alternativen Verfahren kann Schritt (a) die folgenden Schritte umfassen:
(i) Bringen der Zellen in dem Bauelement in einen vorbestimmten elektrischen Zustand;
(ii) Lesen der Zellen in einem gleichzeitigen Lesevorgang; und
(iii) Ermitteln, ob Strom in die Zellen fließt, was, wenn sich die Zellen in dem vorbestimmten elektrischen Zustand befinden, eine Anzeige dafür ist, dass sich übergelöschte Zellen in dem Bauelement befinden.

[0038] Die Schritte (i) und (ii) können die folgenden Schritte umfassen:
Anlegen einer Spannung von etwa 1,2 Volt an die Spaltenadressleitungen in Verbindung mit jeder Spalte,
Anlegen einer Spannung von etwa 0,6 Volt an die Source-Leitungen in Verbindung mit den Zellen in jeder Spalte, und
Anlegen einer Spannung im Bereich von etwa 0 Volt bis etwa 2,0 Volt an die Reihenadressleitungen in Verbindung mit den Zellen in jeder Spalte.
[0039] Schritt (b) kann die folgenden Schritte umfasst:
(i) Bringen jeder der Zellen in einen vorbestimmten elektrischen Zustand;
(ii) Lesen jeder der Zellen in einem Lesevorgang; und
(iii) Ermitteln, ob Strom in jede der Zellen fließt, was, wenn sieh die Zelle in dem vorbestimmten elektrischen Zustand befindet, eine Anzeige dafür ist, dass sie übergelöscht ist.

[0040] Diese Schritte (i) und (ii) können ferner die folgenden Schritte umfassen:
Anlegen einer Spannung von etwa 1,2 Volt an die Spaltenadressleitung in Verbindung mit der Zelle,
Anlegen einer. Spannung von etwa 0,6 Volt an die Source-Leitung in Verbindung mit der Zelle, und
Anlegen einer Spannung in einem Bereich von etwa 0 Volt bis etwa 2,0 Volt an die Reihenadressleitung in Verbindung mit de r. Zelle.
[0041] Es wird hierin ein Verfahren zum Identifizieren und Reparieren von übergelöschten Zellen in einem elektrisch löschbaren und programmierbaren Bauelement von dem Typ, der eine Mehrzahl von Zellen aufweist, offenbart, wobei die. Zellen jeweils einen einzelnen Transistor mit einer Source, einem Drain, einem Steuergate und einem floatenden Gate umfassen, das zwischen dem Steuergate und der Source und dem Drain positioniert ist, und wobei mittels Fowler-Nordheim-Tunnelung Elektronen von der Source zum floatenden Gate getunnelt werden und Elektronen von dem floatenden Gate zum Drain getunnelt werden, wobei das Bauelement ferner von dem Typ ist, der eine Mehrzahl von Reihenadressleitungen, die jeweils mit den Steuergates der Zellen in einer zugehörigen Reihe gekoppelt sind, eine Mehrzahl von Spaltenadressleitungen, die jeweils mit den Drains der Zellen in einer zugehörigen Spalte gekoppelt sind, und eine Mehrzahl von Source-Leitungen aufweist, die mit den Sources der Zellen gekoppelt sind, wobei das Verfahren die folgenden Schritte umfasst:
(a) separates Testen jeder Spalte auf Anwesenheit von übergelöschten Zellen;
(b) individuelles Testen der Zellen in Spalten, in denen gefunden wird, dass sie übergelöschte Zelle enthalten, um zu ermitteln, welche Zellen übergelöscht sind; und
(c) Reparieren der Zellen, die als übergelöscht gefunden wurden, durch:
(i) Anlegen einer ersten Spannung an die Reihenadressleitungen in Verbindung mit den Steuergates der übergelöschten Zellen;
(ii) Erden der Source-Leitungen in Verbindung mit den Sources der übergelöschten Zellen; und
(iii) Floaten der Spaltenadressleitungen in Verbindung mit den Drains der übergelöschten Zellen.

[0042] Es wird hierin weiteres ein Verfahren zum Identifizieren und Reparieren von übergelöschten Zellen in einem elektrisch löschbaren und programmierbaren Bauelement des Typs, der eine Mehrzahl von Zellen aufweist, offenbart, wobei die Zellen jeweils einen einzelnen Transistor mit einer Source, einem Drain, einem Steuergate und einem floatenden Gate umfassen, das zwischen dem Steuergate und der Source und dem Drain positioniert ist, und wobei mittels Fowler-Nordheim-Tunnelung Elektronen von der Source zum floatenden Gate getunnelt werden und Elektronen von dem floatenden Gate zum Drain getunnelt werden, wobei das Bauelement ferner von dem Typ ist, der eine Mehrzahl von Reihenadressleitungen, die jeweils mit den Steuergates

der Zellen in einer zugehörigen Reihe gekoppelt sind, eine Mehrzahl von Spaltenadressleitungen, die jeweils mit den Drains der Zellen in einer zugehörigen Spalte gekoppelt sind, und eine Mehrzahl von Source-Leitungen.

[0043] aufweist, die mit den Sources der Zellen gekoppelt sind, wobei das Verfahren die folgenden Schritte umfasst:

(a) separates Testen jeder Spalte auf Anwesenheit von übergelöschten Zellen;

(b) individuelles Testen der Zellen in Spalten, in denen gefunden wird, dass sie übergelöschte Zelle enthalten, um zu ermitteln, welche Zellen übergelöscht sind; und

(c) Reparieren der Zellen, die als übergelöscht gefunden wurden, durch:

(i) Anlegen einer ersten Spannung an die Reihenadressleitungen in Verbindung mit den Steuergates der übergelöschten Zellen;

(ii) Floaten der Source-Leitungen in Verbindung mit den Sources der übergelöschten Zellen; und

(iii) Erden der Spaltenadressleitungen in Verbindung mit den Drains der übergelöschten Zellen.

[0044] Die Erfindung wird nachfolgend beispielhaft mit Bezug auf die Begleitzeichnungen beschrieben. Dabei zeigt:

[0045] **Fig.** 1A eine Querschnittsansicht eines konventionellen Flash-EEPROM-Bauelementes;

[0046] **Fig.** 1B eine vereinfachte Schemazeichnung konventioneller Flash-EEPROM-Zellen, die in einer Speicherarray geschaltet sind;

[0047] **Fig.** 2A, 2B und 2C Querschnittsansichten des erfindungsgemäßen EEPROM-Bauelementes, die jeweils drei alternative Konfigurationen für die Source-Zone zeigen;

[0048] **Fig.** 3A, 3B und 3C jeweils eine Draufsicht auf die EEPROM-Bauelemente gemäß **Fig.** 2A, 2B bzw. 2C;

[0049] **Fig.** 4A eine Querschnittsansicht einer Zelle entlang der Linie 4A–4A in **Fig.** 3A; **Fig.** 4B ist eine perspektivische Ansicht der Zelle von **Fig.** 4A;

[0050] **Fig.** 5 ein vereinfachtes Ablaufdiagramm, das den Flash-Programmiervorgang der vorliegenden Erfindung illustriert;

[0051] **Fig.** 6 ein vereinfachtes Ablaufdiagramm, das den selektiven Löschvorgang der vorliegenden Erfindung illustriert;

[0052] **Fig.** 7 eine vereinfachte Schemazeichnung von EEPROM-Zellen der vorliegenden Erfindung, die in einer Speicherarray mit Flash-Programmierfunktion und selektiver Löschfunktion geschaltet sind;

[0053] **Fig.** 8 die äquivalente kapazitive Schaltung des erfindungsgemäßen Bauelementes;

[0054] **Fig.** 9 ein vereinfachtes Ablaufdiagramm, das das Überlöscherkennungsverfahren der vorliegenden Erfindung illustriert;

[0055] **Fig.** 10A und 10B vereinfachte Ablaufdiagramme, die die Überlösch-Wiederherstellungsverfahren der vorliegenden Erfindung illustrieren;

[0056] **Fig.** 11 eine vereinfachte Schemazeichnung eines Speicherbauelementes gemäß der vorliegenden Erfindung, das vier Zellen in einer Array zeigt;

[0057] **Fig.** 12 eine vereinfachte schematische Darstellung für die Verwendung bei der Erläuterung früherer Überlösch-Wiederherstellungsverfahren;

[0058] **Fig.** 13 eine teilweise Querschnittsseitenansicht eines erfindungsgemäßen Speicherbauelementes, die die Verwendung einer Dreimuldenstruktur illustriert;

[0059] **Fig.** 14 eine vereinfachte schematische Darstellung des Bauelementes von **Fig.** 13.

Ausführliche Beschreibung der Erfindung

[0060] Ein konventionelles Flash-EEPROM-Bauelement des im Stand der Technik gezeigten Typs ist in **Fig.** 1A im Querschnitt dargestellt. Das Bauelement besteht aus einem Substrat **100**, in dem eine relativ flache Drain-Zone **102** und eine tiefere Source-Zone **104** ausgebildet sind. Die Source-Zone **104** ist doppeldiffundiert und hat eine flache Diffusionszone **106** sowie eine tiefere Diffusionszone **108**. Ein Kanal **110** ist zwischen Source **104** und Drain **102** definiert.

[0061] Ein Gate-Dielektrikum **112** mit im Wesentlichen gleichförmiger Stärke ist über dem Kanal **110** ausgebildet. Das Gate-Dielektrikum **112** geht vom Drain aus und überlappt geringfügig die Source **104** an der Zone **114**. Ein floatendes Gate **116** ist über dem Gate-Dielektrikum **112** ausgebildet, und eine zweite Schicht aus Dielektrikmaterial **118** ist über dem floatenden Gate **116** ausgebildet. Schließlich ist ein Steuergate **120** über der zweiten Dielektrikschicht **118** ausgebildet. Die zweite Schicht **118** wird gewöhnlich, aufgrund ihrer Position zwischen Steuergate und floatendem Gate, die beide herkömmlicherweise aus einem Polysilizium- ("Poly") oder Polyzid-Material gebildet sind, als "Interpoly-Dielektrikum" bezeichnet.

[0062] Die Programmierung der in **Fig.** 1 gezeigten Flash-EEPROM-Zelle erfolgt durch Anlegen einer Spannung von etwa 10 V bis 12 V an das Steuergate **120**, von etwa 4 V bis 6 V an den Drain **102** und eines 0 V-Po-

tentials an die Source **104** und das Substrat **100**.

[0063] Die Programmierung erfolgt durch Heißelektronen- Injektion, ein Phänomen, bei dem Hochenergieelektronen **132** in der Kanalzone **110** des Substrats **100** erzeugt und auf das floatende Gate **116** beschleunigt werden. Die Anwesenheit von Elektronen auf dem floatenden Gate erhöht die Schwellenspannung (Vt) des Transistors und verhindert somit, dass Strom während eines Lesevorgangs durch den Kanal fließt

[0064] Das Löschen erfolgt durch Floaten des Drains **102**, Halten des Steuergates **120** auf Massepotential und Anlegen eines Hochspannungsimpulses (d. h. zwischen 10 V und 13 V) an die Source **104**. Unter diesen Umständen kommt es zu einer Fowler-Nordheim-Tunnelung zwischen dem floatenden Gate **116** und dem Abschnitt der Source-Diffusion **104**, der unter dem floatenden Gate **116** in der Zone **114** liegt. Der Löschvorgang hat zur Folge, dass der Vt-Wert der Zelle auf ein Niveau in der Größenordnung von etwa einem Volt reduziert wird, so dass Strom während eines Lesevorgangs durch den Kanal **110** fließen kann.

[0065] **Fig.** 1B illustriert eine typische Flash-EEPROM-Speicherarray **122** des Standes der Technik. Es ist ersichtlich, dass benachbarte Transistoren umgekehrt ausgerichtet sind. Somit ist die Source der Zelle **124** in der linken oberen Ecke der Array mit der Source der Zelle **126** in der nächsten Spalte verbunden. Der Drain der Zelle **124** ist mit dem Drain der Zelle **128** in derselben Spalte verbunden. Der Übergang der Drains für Zelle **124** und Zelle **128** ist mit einer Bitleitung **130** von der Spaltenadressdekodierungs-Schaltungsanordnung **132** verbunden. Die Bitleitung **130** ist mit allen übrigen Drainübergängen der Zellen in der den Zellen **124** und **l28** gemeinsamen Spalte verbunden. Das Gate der Zelle **124** ist mit der Wortleitung **140** von der Reihenadressdekodierungs Schaltungsanordnung **142** verbunden. Die Wortleitung **140** ist mit den Gates aller Zellen in derselben Reihe verbunden wie die Zellen **124** und **126**. Eine gemeinsame Source-Leitung **144** verbindet die Sources aller Zellen in der Array **122**.

[0066] Ein Löschvorgang unter Verwendung der oben beschriebenen Zelle bewirkt, dass alle Zellen in einer bestimmten Reihe gelöscht werden. Dies erfolgt durch Anlegen eines hohen Potentials an die gemeinsame Source-Leitung **144**, während die Wortleitung **140** der zu löschenden Reihe geerdet wird. Die Bitleitungen **130** werden floaten gelassen, wenn sich das Bauelement im Löschmodus befindet.

[0067] Eine einzelne Zelle kann separat durch Erhöhen der Wortleitung der diese selektierte Zelle enthaltenden Reihe und der Bitleitung in Verbindung mit der Spalte dieser Zelle auf die notwendigen Potentiale programmiert werden.

[0068] Wie oben beschrieben, verbraucht Heißelektronenprogrammierung viel Strom, was den Einsatz von Niederspannungsversorgungen und internen Ladungspumpen ausschließt. Ferner erhöht sich durch die relativ. hohen Vorspannungsabfälle in Sperrrichtung über die Übergänge von Drain zu Substrat und von Source zu Substrat jeweils bei Programmierung und Löschung die Wahrscheinlichkeit, dass heiße Löcher in der Gate-Dielektrikschicht erzeugt und eingeschlossen werden und auch die, dass es zu Band-zu-Band-Tunnelung kommt. Beide Phänomene haben erhebliche negative Auswirkungen auf die Dauerhaftigkeit der Zelle. Schließlich ist es schwierig, übergelöschte Zellen mit existierender Technologie zu reparieren, weil übergelöschte Zellen nicht Bit für Bit erkannt werden können.

Zellstruktur

[0069] Nachfolgend wird die Struktur der vorliegenden Erfindung beschrieben. **Fig.** 2A zeigt eine Querschnittsansicht einer Ausgestaltung der vorliegenden Erfindung. Es wird darauf hingewiesen, dass die erfindungsgemäße Zelle zwar im Zusammenhang mit einem Massepotentialsystem beschrieben wird, dass die Zellkonfiguration der vorliegenden Erfindung aber auch mit einer "virtuellen Masse"-Konfiguration verwendet werden kann.

[0070] Im Substrat **10** sind ein Drain **12** und eine Source **14** ausgebildet. Eine Kanalzone **16** ist zwischen Drain und Source definiert. Über der Kanalzone **16** sind eine Gate-Dielektrikschicht **18** oder ein "Tunneloxid" ausgebildet. Ein. floatendes Gate **24** ist über der Gate-Dielektrikschicht **18** ausgebildet, und eine zweite Schicht aus Dielektrikmaterial, die Interpoly-Dielektrikschicht **26**, ist über dem floatenden Gate **24** ausgebildet. Schließlich ist ein Steuergate **28** über der Interpoly-Dielektrikschicht 26 ausgebildet.

[0071] Abschnitte von Drain **12** und Source **14** sind jeweils unterhalb der Gate-Dielektrikschicht **18** positioniert, um eine Fowler-Nordheim-Tunnelung zu und von dem floatenden Gate zuzulassen (siehe jeweils eingekreiste Zone **20** und **22**). Die Source **14** kann eine Einzeldiffusionszone des. N^+ Typs sein, wie in **Fig.** 2A gezeigt. Die Source kann alternativ eine Doppeldiffusion von N^+ Material wie z. B. die in **Fig.** 2B mit **14A** bezeichnete Source haben. Diese erste alternative Source **14A** hat eine flache Zone **40** und eine tiefere Zone **42**, die jeweils aus Material des N^+ Typs gebildet sind. Eine zweite alternative Source-Zone (**14B** in **Fig.** 2C) wird aus einer flachen Zone **40B** aus N^+ Material unter einer tiefen Helo-Tasche **42B** aus leicht dotiertem (z. B. P^-) Material des P-Typs ausgebildet. Die bevorzugte Tiefe der Source von **Fig.** 2A ist etwa 0,25 µm (unter der Annahme, dass das Verhältnis von lateraler zu vertikaler Diffusion etwa 0,7 bis 0,8 beträgt).

[0072] Der Drain **12** ist vorzugsweise aus einem doppeldiffundierten Material des N^+ Typs, um eine flache Zone **44** und eine tiefe Zone **46** zu bilden. Der Drain kann alternativ einzeldiffundiert sein, und in diesem Fall

wäre der in **Fig.** 2A gezeigte Diffusionsrand **48** nicht vorhanden. Die bevorzugte Drain-Tiefe beträgt etwa 0,36 µm. Eine tiefe Drain-Zone ist notwendig, um eine Band-zu-Band-Tunnelung und Locheinschlusseffekte zu vermeiden, wenn ein erhöhtes Potential an den Drain angelegt wird.

[0073] Die Ausgestaltung von **Fig.** 2A ist die bevorzugte Ausgestaltung für die Verwendung mit 0,8 µm Technologie, die Ausgestaltung von **Fig.** 2C die bevorzugte Ausgestaltung für die Verwendung mit 0,5 µm Technologie.

[0074] Die Zellenanordnung der vorliegenden Erfindung wird aus den Draufsichten der **Fig.** 3A, 3B und 3C ersichtlich, die jeweils zwei Zellen in einer Spiegelbildanordnung zeigen. In einer solchen Spiegelbildanordnung haben die einzelnen Zellen. einen gemeinsamen Drain mit einem angrenzenden Nachbarn sowie eine gemeinsame Source mit einem anderen angrenzenden Nachbarn in einer Spalte von Zellen (über die Seite). Wie aus den Figuren ersichtlich ist, sind das Steuergate **28** und das floatende Gate **24** übereinander und über dem Kanal **16** positioniert. In den Figuren ist die Grenze des Steuergates **28** zwar von der des floatenden Gates **24** versetzt dargestellt, aber es ist zu verstehen, dass diese Zonen "selbstjustiert" sind, so dass sich der Rand **24A** des floatenden Gates in vertikaler Ausrichtung zum Rand **28A** des Steuergates und der Rand **24B** des floatenden Gates in vertikaler Ausrichtung zum Rand **28B** des Steuergates befindet. Diese Selbstjustierung ist aus den **Fig.** 2A, 2B und 2C ersichtlich.

[0075] Eine gemeinsame Source-Leitung **34** sowie die Wortleitung, die teilweise durch die Steuergates **28** aller Zellen in einer bestimmten Reihe gebildet werden, verlaufen über die gesamte Breite der Array, so dass Zellen, die die Wortleitung gemeinsam nutzen, auch die gemeinsame Source-Leitung **34** gemeinsam nutzen.

[0076] Ein Drain-Kontakt **32** ist neben der Drain-Zone **12** ausgebildet. Identische Zellen umgeben die Zelle in einer Spiegelbildausrichtung. So befindet sich beispielsweise unmittelbar neben dem Kontakt **32** die Drain-Zone **12A** einer benachbarten Zelle, und in Verbindung mit der Source-Leitung **34** gegenüber der Source **14** befindet sich eine andere Source **14A**, die Teil einer anderen benachbarten Zelle ist.

[0077] Eine Feldoxidschicht **30**, die gemäß **Fig.** 4A und 4B unterhalb des Gate-Dielektrikums **18** ausgebildet ist, isoliert die Zelle von umgebenden Zellen, die auf demselben Chip ausgebildet sind.

[0078] Die relativen Positionen der verschiedenen Schichten einer Zelle gemäß der vorliegenden Erfindung entlang der Linie 4A–4A von **Fig.** 3A sind in den **Fig.** 4A und 4B ersichtlich. Daraus geht hervor, dass es in dieser Dimension eine geringfügige Überlappung zwischen Feldoxid **30** und Gate-Dielektrikum **18** gibt. Das floatende Gate **24** überlappt die Feldoxidschicht **30** bis zu einem Punkt jenseits des Endes des Gate-Dielektrikums **18**. Die Interpoly-Dielektrikschicht **26** ist so dargestellt, dass sie über das floatende Gate **24** und über die Ränder des floatenden Gates hinaus verläuft. Die Interpoly-Dielektrikschicht **26** kann alternativ Außenränder haben, die im Wesentlichen mit denen des floatenden Gates **24** fluchten. Schließlich ist das Steuergate **28** so dargestellt, dass es die Interpoly-Dielektrikschicht **26** bedeckt und über deren Ränder hinaus verläuft.

Zellenbetrieb

[0079] Der logische Zustand einer Zelle gemäß der vorliegenden Erfindung wird in einem zweistufigen Prozess eingestellt. Wie aus der folgenden Tabelle A hervorgeht, unterscheidet sich dieser Vorgang von der Programmierung und Löschung konventioneller Flash-EEPROM-Bauelemente.

TABELLE A

SCHRITT-NR.	KONVENTIONELLE EEPROMS	VORLIEGENDE ERFINDUNG
I	Programmierung aller Zellen auf hohen Vt (Byte für Byte)	Flash-Programmier. aller Zellen auf hohen Vt (gleichzeitig oder Seite)
II	Flash-Löschung auf niedrigen Vt (gleichzeitig)	Selektive Löschung auf niedrigen Vt (nach Bit, Byte oder Seite)
III	Programmieren selektierter Zellen auf hohen Vt (Byte für Byte)	

[0080] Für konventionelle Flash-Bauelemente werden drei Schritte verwendet. Zunächst werden alle Zellen Byte für Byte auf einen hohen Vt-Wert programmiert, indem Elektronen auf das floatende Gate gehoben werden. Als Nächstes werden alle Zellen gleichzeitig mit der Flash-Löschfunktion gelöscht, um Elektronen vom floatenden Gate zu entfernen. Zum Schluss werden Daten durch Programmieren der Zellen Byte für Byte auf einen hohen Vt-Wert auf den Chip gesetzt.

[0081] Die Einstellung des logischen Zustands der vorliegenden Erfindung unterscheidet sich von der für existierende Flash-Bauelemente angewendeten konventionellen Prozedur dahingehend, dass es sich um eine zweistufige Prozedur handelt, bei der alle Zellen in einer Seite oder in einem Sektor zunächst auf eine hohe Spannungsschwelle (d. h. Elektronen werden auf die floatenden Gates gesetzt) in einem Flash-Programmiervorgang erhöht werden. Im zweiten Schritt werden. selektierte Zellen byte- oder seitenweise gelöscht (d. h. Elektronen werden vom floatenden Gate entfernt).

[0082] Die folgende Tabelle B fasst die bevorzugten Betriebsparameter der erfindungsgemäßen Zelle zusammen:

TABELLE B

Vorgang	V_G	V_D	V_S	V_t	V_{SUB}
Flash-Programmier.	17	F	0	>6	0
Selektives Löschen	-12	5	F	$0<V_t<2,2$	0
Überlösch-Erkennung	1,5 bis 2,0	1	6	N/Z	0
Überlösch-Wiederherstellung	12	F	0	$0<V_t<2,2$	0
Lesen	5	1	0	N/Z	0

[0083] Tabelle B zeigt die bevorzugten Spannungsbedingungen an Gate, Drain, Source und Substrat für die

einzelnen aufgeführten Vorgänge. Die V_t-Spalte gibt die Größe der Zellenschwellspannung an, die sich aus jedem Vorgang ergibt. In Tabelle 8 gibt das Symbol "F" einen floatenden Zustand an.

[0084] Der Flash-Programmierschritt ist ein. Vorbereitungsschritt, bei dem jede Zelle mit Fowler-Nordheim-Tunnelung von der Source zum floatenden Gate auf einen hohen Vt-Wert angehoben wird. Dieser Vorgang wird besser mit Bezug auf das Ablaufdiagramm von **Fig.** 5 verständlich.

[0085] Eine Flash-Programmierung **500** erfolgt durch Floaten von Drain **12** und Erden von Source **14** und Substrat **10**, während ein 10 ms Impuls von 12 V bis 20 V an das Steuergate **28** angelegt wird. Daher werden in Schritt **502** die "Durchgangsgates", die Spannungen zu den Spalten leiten, abgeschaltet. Dies bewirkt ein Floaten der "Bitleitungen" der Zellen und somit ein Floaten der Drains der Zellen. In Schritt **502** werden alle Sources geerdet. Danach werden in Schritt **504** alle Wortleitungen rampenförmig auf ein hohes Potential von z. B. 17 V mit einer Anstiegszeit von 10 µs bis 200 µs erhöht. In Schritt **506** werden die Wortleitungen für etwa 10 ms zur Bildung eines einzelnen Impulses hoch gehalten. Infolge des in den Schritten **504** und **506** an die Zelle angelegten Potentials werden Elektronen **50** von der Source **14** durch Abschnitt **22** der Gate-Dielektrikzone **18** zum floatenden Gate **24** getunnelt (siehe **Fig.** 2A). Eine Flash-Programmierung führt vorzugsweise zu einer Spannungsschwelle von mehr als 6 V. In Schritt **508** erfolgt eine 6-µs-Zeitabschaltung, die ein Entladen der Wortleitung von 12 V bis 20 V herunter auf 3 V bis 6 V zulässt. Schritt **510** ist ein Programmverifizierungsschritt, in dem der von den programmierten Zellen gelesene Logikzustand mit dem gewünschten Logikzustand für die Zellen verglichen wird. Nach der Verifizierung des Programms erfolgt Schritt **511**, um anzuzeigen, dass die Programmierung abgeschlossen ist.

[0086] Wenn das Programm in Schritt **510** nicht verifiziert wird, dann wird eine Impulszahl inkrementiert. In Schritt **514** wird die Impulszahl geprüft, um sicherzustellen, dass sie nicht gleich oder höher ist. als eine ausgewählte Zahl, z. B. 10 Impulse. Wird ein solcher Zustand erkannt, dann wird der Programmierungsablauf in Schritt **516** als erfolglos angesehen.

[0087] Solange die Zahl der an die Wortleitungen angelegten Impulse nicht gleich oder höher ist als die gewählte Anzahl, bewirkt Schritt **514** das Anlegen weiterer Impulse an die Wortleitungen, indem der Vorgang zurück zu Schritt **504** geht.

[0088] In der bevorzugten Ausgestaltung erfolgt der Flash-Programmierschritt vorzugsweise reihenweise durch Floaten aller Bitleitungen **130A**, Erden der gemeinsamen Source-Leitung **144A** und, Erhöhen der Wortleitung **140A** für jede Reihe.

[0089] Da das P-Typ-Substrat **10** während des Flash-Programmiervorgangs geerdet wird, ist die Auswirkung der Kanalzone **16** auf diesen Vorgang aufgrund hohen Verarmungskapazität über das Substrat gering. Dieser Effekt könnte durch Floaten des Substrats während der Flash-Programmierung noch weiter minimiert werden. Aber wenn die Substratzone unter dem Kanal nicht mit einer N-Typ-Mulde vom Rest des Substrats isoliert wird, dann ist es nicht möglich, das Substrat zu floaten, weil die gesamte EEPROM-Zelle in das Substrat eingebaut ist. Eine solche Mulde kann beispielsweise mit einem Dreimuldenprozess ausgebildet werden, bei dem eine N^- Mulde in einem P^- Substrat und dann eine P^- Zone in der N^- Mulde ausgebildet wird, die als effektives Substrat für die Zelle der vorliegenden Erfindung dient.

[0090] Der selektive Löschschritt **600** ist ein Schritt, in dem individuelle Zellen auf den gewünschten Logikzustand gebracht werden, indem Elektronen von den floatenden Gates selektierter Zellen mit Fowler-Nordheim-Tunnelung am Drain entfernt werden, um diese Zellen auf einen niedrigen Vt-Wert zu bringen. Das Ablaufdiagramm von **Fig.** 6 illustriert den selektiven Löschvorgang.

[0091] Ein selektives Löschen erfolgt dadurch, dass zunächst in Schritt **602** die Source gefloatet und das Substrat geerdet wird, während ein Potential von 2,0 V bis 5,0 V an den Drain angelegt wird. Danach wird in Schritt **604** ein 10 ms Impuls von –10 V bis –15 V an das Steuergate (Wortleitung) angelegt. Darauf folgt in Schritt **606** eine 6-µs-Zeitabschaltung und dann ein Löschverifizierungsschritt **608**. War die Löschung erfolgreich, was in Schritt **610** ermittelt wird, dann wird der Löschvorgang in **612** als beendet angesehen. Andererseits, wenn die Löschung in Schritt **68** nicht verifiziert werden kann, dann wird Schritt **614** durchgeführt, um die Impulszahl zu inkrementieren und über Schritt **616** zurückzugehen, um einen anderen Löschimpuls anzulegen. Wird in Schritt **616** festgestellt, dass bereits zehn oder mehr Impulse ohne erfolgreiche Löschung an die Zelle. angelegt wurden, dann zeigt Schritt **618** ein Löschversagen an.

[0092] Wie nachfolgend erörtert wird, kann dieser Schritt bitweise durch Anlegen der geeignete Potentiale an die Wortleitung **140A** und die Bitleitung **130A** der selektierten Zelle durchgeführt werden. Ordnungsgemäß gelöschte Zellen haben vorzugsweise eine Spannungsschwelle von etwa 0 V bis 2,2 V.

[0093] Das Löschen kann auch mit positiven Gatespannungen durchgeführt werden. Es ist jedoch Vorsicht geboten, um zu gewährleisten, dass die verwendete Gate-Spannung relativ zum Durchbruchpotential der Transistoren in der peripheren Schaltungsanordnung niedrig genug ist, um das in Verbindung mit dem Stand der Technik beschriebene Durchbruchproblem zu vermeiden.

Überlöschen und Erkennung

[0094] Während des selektiven Löschschrittes können zu viele Elektronen fälschlicherweise aus einigen der Zellen in einer Zellarray entfernt werden, was zur Folge hat, dass die Zelle einen sehr niedrigen Vt-Wert hat (z. B. weniger als 0 V). Aufgrund dieser niedrigen Schwellenspannung wird die Zelle falsch gelesen. Außerdem induziert eine Zelle mit einem anormalen niedrigen Vt-Wert normalerweise einen Stromfluss auf der Bitleitung, der dann die Erkennung der Logikzustände anderer Zellen verhindert, die dieselbe Bitleitung benutzen. Der Grund hierfür ist, dass eine solche Zelle Strom unter Bedingungen leitet, die normalerweise verhindern würden, dass eine ordnungsgemäß gelöschte Zelle leitet. Dieser Zustand wird konventionell als "Überlöschen" bezeichnet.

[0095] Da das erfindungsgemäße Speichergerät eine byteweise Löschung zulässt, wenn die bevorzugten Programmier- und. Löschmodi angewendet werden, ist es leichter als bei konventionellen Bauelementen, übergelöschte Zellen zu finden. Wenn die erfindungsgemäße Zelle jedoch mit konventionellen Programmier- und Löschtechniken programmmiert und gelöscht wird, dann sind die Schwierigkeiten bei der Überlöscherkennung dieselben wie die, die bei konventionellen Bauelementen anzutreffen sind.

[0096] Ob die erfindungsgemäße Zelle übergelöscht ist, lässt sich prüfen, indem gemessen wird, ob Strom in Reaktion auf das Anlegen einer Lesespannung durch die Zelle fließt, die weitaus niedriger ist als die, die normalerweise ein Leiten durch den Kanal einer ordnungsgemäß gelöschten Zelle bewirken würde. Anders ausgedrückt, eine Zelle ist dann übergelöscht, wenn ihre Schwellenspannung so niedrig ist, dass Strom durch eine deselektierte Zelle geleitet wird.

[0097] Für eine Überlöscherkennung wird eine Prüfspannung V_{test} etwa 10 ms lang an das Steuergate **28** angelegt, während eine Vorspannung vs an die Source **14** angelegt wird. Eine Spannung von etwa 1 V bis 2 V wird an den Drain **12** angelegt. Die Prüfspannung liegt gewöhnlich zwischen 0 V und 2 V und beträgt. in der bevorzugten Ausgestaltung etwa 1,5 V bis 2 V. Die bevorzugte Vorspannung vs beträgt etwa 0,6 V.

[0098] Eine normal gelöschte Zelle zeigt unter diesen Prüfbedingungen keine Kanalleitung. Der Grund hierfür ist, dass die Schwellenspannung einer normalen Zelle derart ist, dass die an das Steuergate **28** angelegte niedrige Spannung von 1,5 V bis 2,0 V nicht ausreicht, um den Kanal **16** einzuschalten. Eine übergelöschte Zelle hat jedoch eine sehr niedrige (z. B. weniger als 0 V) Spannungsschwelle, weil ein Entfernen von zu vielen Elektronen vom floatenden Gate **24** dazu führt, dass Löcher auf dem floatenden Gate **24** zurückbleiben, die keine entsprechenden Elektronen haben. Somit erzeugen diese "verbleibenden Löcher ein Feld, das, wenn es durch die an das Steuergate angelegte Prüfspannung von 1,5 V bis 2,0 V erhöht wird, ein Leiten in dem Kanal verursacht.

[0099] Eine Source-Vörspannung V_S wird in Verbindung. mit dem Testen von Zellen in einer Zellenarray für einen Überlöschzustand verwendet. Durch Vorspannen aller Sources in der Array auf eine kleine positive Spannung, z. B. 0,6 V, werden übergelöschte Zellen in einer nicht-selektierten (V_g = 0 V) Reihe ausgeschaltet gehalten, so dass sie die Erkennung einer übergelöschten Zelle in einer selektierten ($V_G = V_{test}$) Reihe nicht stören können.

[0100] Die Prüfspannung V_{test} wird so gewählt,. dass sie eine Größe hat, die, wenn sie an das Gate einer übergelöschten Zelle angelegt wird, selbst dann ein Leiten der" übergelöschten Zelle verursacht, wenn die Source-Vorspannung V_S an ihre Source angelegt wird.

[0101] Daher ist die Prüfspannung V_{test} abhängig von (1) der Spannung V_S, die während des Überlöscherkennungsvorgangs an die Source angelegt wird, und (2) dem V_t-Schwellenwert, der zum Definieren eines Überlöschzustands verwendet wird. Sie ist auch abhängig von der Referenzspannung, die vom Leseverstärker verwendet wird, der den Logikzustand der Spalte abliest. Als Nächstes wird die Wahl der Prüfspannung V_{tets} beschrieben.

[0102] Der Strom durch eine Zelle I_{cell} ist dann größer als 0 V, wenn:

$$V_G - V_S - V_t > 0\ V$$

wobei V_G und V_S die jeweils an das Steuergate **28** und die Source **14** angelegten Spannungen sind.

[0103] Die Spannungsschwelle einer übergelöschten Zelle ist die, die ein Leiten selbst dann zulässt, wenn die übergelöschte Zelle deselektiert ist, d. h. dann, wenn VG = 0 V. In der bevorzugten Ausgestaltung des erfinderischen Überlöscherkennungsverfahrens wurde eine Zelle mit einer Spannungsschwelle von etwa –0,5 V oder niedriger als übergelöschte Zelle definiert. Da sich die "tatsächliche" Spannungsschwelle aufgrund von Körpereffekten von der "effektiven" Spannungsschwelle unterscheidet, wird die effektive Spannungsschwelle als V_t, die tatsächliche Spannung als $Vt_{⌀}$ bezeichnet. Mit dieser Terminologie kann die tatsächliche Spannungsschwelle für eine übergelöschte Zelle beispielsweise als $Vt_{⌀}$ = –0,5 V definiert werden. Es ist zu verstehen, dass auch andere Größen gewählt werden können, um eine übergelöschte Zelle zu definieren, und dass die Source-Vorspannung V_S sowie die Prüfspannung V_{test} entsprechend eingestellt werden müssen.

[0104] Die effektive Schwellenspannung Vt kann wie folgt definiert werden:

$Vt = Vt_{\varnothing} + \Delta V_{body\ effect}$

wobei $\Delta V_{body\ effect}$ die Änderung der Spannungsschwelle ist, die durch den Körpereffekt bewirkt wird. Dieser Wert beträgt etwa 1,5 V für das Bauelement der vorliegenden Erfindung.

[0105] Da ein Wert von $Vt_{\varnothing}$ von etwa 0,5 V für eine übergelöschte Zelle festgelegt wurde, ergibt sich:

$Vt \approx (-0,5) + (1,5) = 1,0\ V$

[0106] Wie oben erörtert, wird die für den Vorspannungszustand V_S verwendete Source-Spannung als eine Spannung gewählt, die ausreichen würde, um den Kanal einer übergelöschten, aber nichtselektierten Zelle "abzuschalten". Für die vorliegende Erfindung hat sich eine Source-Spannung von etwa 0,6 V als zufriedenstellend herausgestellt.

[0107] Somit gilt, da

$V_G - V_S - V_t > 0$

dann

$V_G - 0,6\ V - 1,0\ V > 0$

und

$V_G > 1,6\ V = V_{test}$

wobei V_{test} die Prüfspannung ist, die an das Steuergate **28** im Rahmen der Überlöscherkennungsprozedur angelegt wird.

[0108] Dadurch wird verständlich, dass V_{test} = 1,6 V und groß genug ist, um zu bewirken, dass eine übergelöschte Zelle leitet, wenn an ihrer Source eine Source-Vorspannung V_S = 0,6 V anliegt; andererseits ist aber V_{test} = 1,6 V zu niedrig, um zu verursachen, dass eine Zelle mit einer ordnungsgemäßen Spannungsschwelle leitet. Auf diese Weise können individuelle übergelöschte Zellen erkannt werden. Es ist zu verstehen, dass andere Source-Vorspannungen V_S und Prüfspannungen V_{test} innerhalb des Wesens der vorliegenden Erfindung verwendet werden können, und dass, wenn eine ändere Schwellenspannung als eine übergelöschte Zelle anzeigend definiert wird, entsprechende Einstellungen dieser Spannungen vorgenommen werden können.

Überlösch-Wiederherstellung

[0109] Wieder bezugnehmend auf Tabelle B in dem einen bevorzugten Wiederherstellungsverfahren werden Elektronen auf dem floatenden Gate mit Fowler-Nordheim-Tunnelung durch Erden der Source **14** und Floatenlassen des Drains **12** ersetzt, während ein Impuls von vorzugsweise 12 V 10 ms lang an das Gate **28** angelegt wird. Die übergelöschten Zellen werden dann neu getestet und, wenn sie auf der Prüfspannung noch leiten, die Wiederherstellungs- und Prüfmodi werden wiederholt, bis. alle nicht ordnungsgemäß überschriebenen Zellen repariert oder als irreparabel identifiziert sind. Alternativ kann die Source geerdet und der Drain gefloatet werden, um die übergelöschten Zellen zu reparieren.

[0110] Der Logikzustand der Zelle kann durch Anlegen einer Lesespannung von etwa 3 V bis 5 V an das Gate und einer Spannung von etwa 1 V an den Drain ermittelt werden. Der Kanal einer programmierten Zelle, d. h. einer mit Elektronen auf dem floatenden Gate, die ausreichen, um eine hohe Schwellenspannung zu erzeugen, leitet Strom während des Lesevorgangs nicht, während eine gelöschte Zelle Strom leitet. wie bei allen Vorgängen, so ist das Substrat vorzugsweise während des Lesevorgangs geerdet.

Optimieren der Zellleistung

[0111] Eine ausreichende kapazitive Kopplung zwischen Steuergate, floatendem Gate, Source-, Kanal- und Drain-Zonen der Zelle ist für die Fähigkeit des Bauelementes wichtig, Ladung zu und von dem floatenden Gate während der Programmier- und Löschfunktionen zu bewegen. Eine die kapazitive Kopplung zwischen diesen Komponenten repräsentierende Schaltung ist in **Fig.** 8 dargestellt. Die Kapazität zwischen dem floatenden Gate und dem Steuergate wird durch den Kondensator C_{FG-CG} repräsentiert, und die Kapazitäten zwischen dem floatenden Gate sowie Source, floatendem Gate und Kanal sowie floatendem Gate und Drain werden jeweils durch die Kondensatoren C_{FG-S}, C_{FG-C} bzw. C_{FG-D} repräsentiert.

[0112] Es lässt sich zeigen, dass das kapazitive Kopplungsverhältnis für das Bauelement durch die folgende Gleichung definiert wird:

$$\text{Kopplungsverhältnis} = \frac{C_{FG-CG}}{C_{FG-CG} + C_{FG-S} + C_{FG-C} + C_{FG-D}}$$

[0113] Es wird darauf hingewiesen, dass in der bevorzugten Ausgestaltung der vorliegenden Erfindung mit Fowler-Nordheim-Tunnelung auf der Source-Seite Elektronen von der Source **14** zum floatenden Gate **24** und auf der Drain-Seite Elektronen vom floatenden Gate **24** zum Drain **12** getunnelt werden. Das im Tunnelungsvorgang von Source zu floatendem Gate vorliegende Kopplungsverhältnis wird somit durch eine andere Sektion der Zelle bestimmt als das Kopplungsverhältnis, das während des Tunnelungsvorgangs von floatendem Gate zu Drain vorliegt.

[0114] Daraus folgt, dass während des Flash-Programmierschrittes das Kopplungsverhältnis zwischen Steuergate und Substrat wie folgt ausgedrückt werden kann:

$$\text{Kopplungsverhältnis} = \frac{C_{FG-CG}}{C_{FG-CG} + C_{FG-S} + C_{FG-C} + C_{FG-D}} = \frac{A_1 / T_1}{A_1 / T_1 + A_2 / T_2}$$

wobei A_1 und T_1 jeweils die Fläche und die effektive Dicke der Interpoly-Dielektrikschicht **26** und A_2 und T_2 jeweils die Fläche und die effektive Dicke der Gate-Dielektrikschicht **18** sind, die über Kanal, Source und Drain liegt.

[0115] Während des selektiven Löschschrittes kann, da die Source floatet, das Kopplungsverhältnis zwischen Steuergate und Substrat wie folgt ausgedrückt werden:

$$\text{Kopplungsverhältnis} = \frac{C_{FG-CG}}{C_{FG-CG} + C_{FG-C} + C_{FG-S}} = \frac{A_1 / T_1}{A_1 / T_1 + A_3 / T_3}$$

wobei A_3 und T_3 jeweils die Fläche und die effektive Dicke der Gate-Dielektrikschicht **18** sind, die Kanal, Drain und Source überlappt.

[0116] Das Kopplungsverhältnis sollte maximiert werden und somit vorzugsweise bei wenigstens 65% liegen, um die Spannung über das floatende Gate **24** zu maximieren. Das Kopplungsverhältnis wird auf mehrere verschiedener Weisen optimiert. So ergibt beispielsweise die Wahl eines Materials für die Interpoly-Dielektrikschicht **26** mit einer hohen Dielektrizitätskonstante eine Interpoly-Dielektrikschicht **26** mit einer geringeren effektiven Dicke. und somit mit einem hohen Kapazitätswert zwischen Steuergate **28** und floatendem Gate **28**, ohne Notwendigkeit für eine große Fläche. Je größer die Kapazität C_{FG-CG} zwischen Steuergate **28** und floatendem Gate **24**, desto geringer die Auswirkungen, die die verbleibenden Kapazitäten auf die Spannung über das floatende Gate haben.

[0117] Das Interpoly-Dielektrikmaterial ist vorzugsweise eine Oxid-Nitrid-Oxid- (ONO) Schicht mit einer Stärke von 185 Å + 15 Å. In der bevorzugten Ausgestaltung umfasst das Interpoly-Dielektrikmaterial eine 120 Å Schicht aus Nitrid, die zwischen zwei 70 Å Schichten aus Oxid eingeschlossen ist, die mit einem konventionellen Oxid-Nitrid-Oxid-Prozess ausgebildet werden, vorzugsweise mit einer standardmäßigen Hochtemperatur-Oxidaufdampfung (HTO), um die Dauerhaftigkeit zu optimieren. Aufgrund der hohen Dielektrizitätskonstante des Nitrids beträgt die effektive Dicke der bevorzugten Interpoly-Dielektrikschicht **26** 200 Å, während. die tatsächliche physikalische Dicke 260 Å beträgt.

[0118] Die Interpoly-Dielektrikschicht sollte symmetrisch gestaltet werden, damit keine unterschiedlichen Belastungen während der Lösch- und Programmiervorgänge auf die Schicht wirken. Während durch die Verwendung einer symmetrischen ONO-Schicht einige Verbesserungen der Zuverlässigkeit der Dauerhaftigkeit (d. h. reduzierter ONO-Durchbruch) in konventionellen Flash-EEPR0MS erzielt werden, wird mit Hilfe von Symmetrie in der ONO-Schicht der Zelle der vorliegenden Erfindung eine drastische Verbesserung der Dauerhaftigkeit erzielt.

[0119] Eine weitere Möglichkeit, das Kopplungsverhältnis zu optimieren, ist die Begrenzung der jeweiligen Breite der Abschnitte **22**, **20** von Source **14** bzw. Drain **12**, die mit der Gate-Dielektrikschicht **18** überlappen. Dadurch werden eine optimierte Kapazität zwischen floatendem Gate und Drain sowie zwischen floatendem Gate und Source beibehalten und die Spannung zwischen floatendem Gate und Drain sowie floatendem Gate und Source maximiert. Für Bauelemente mit Breiten von Steuergate und floatendem Gate von 0,8 µm ("0,8 µm Technologie") beträgt die Source-Überlappung **22** vorzugsweise 0,2 µm, mit einer Drain-Überlappung 20 von

0,3 µm und einem effektiven Kanal **16** mit einer Länge von 0,3 µm. Für 0,5 µm Technologie beträgt die bevorzugte Source-Überlappung **22** 0,12 - 0,15 µm mit einer Drain-Überlappung **20** von 0,3 µm und einer effektiven Kanallänge von 0,15 – 0,18 µm. Es sollte hinzugefügt werden, dass andere Überlegungen bei der Auswahl des Gate-Dielektrikums die Maximierung der Dauerhaftigkeit einschließen, die die Wahl eines Gate-Dielektrikmaterials mit optimalen Einschlusseigenschaften und die Erleichterung der Fowler-Nordheim-Tunnelung erfordern, die ein dünnes Gate-Dielektrikum verlangt. Siliziumdioxid ist aufgrund seiner Fähigkeit, diese Kriterien zu erfüllen, das bevorzugte Material für die Gate-Dielektrikschicht.

[0120] Zu Fowler-Nordheim-Tunnelung kommt es, wenn ein elektrisches Feld von wenigstens 6 Megavolt/cm über die Überlappungszone zwischen Source **14** und floatendem Gate **24** erzeugt wird, aber zu einem bevorzugten Tunnelungszustand kommt es dann, wenn das Feld etwa 11 bis 12 Megavolt/cm beträgt. Die Stärke der Gate-Dielektrikschicht **18** sollte so gewählt werden, dass bei Flash-Programmierung und selektivem Löschen ein Feld in diesem Größenbereich entsteht. Eine Stärke von 84 Å ± 4 Å ist für die vorliegende Erfindung geeignet, und eine Stärke von 80 Å hat sich als bevorzugt erwiesen.

[0121] Da die Gate-Dielektrikschicht **18** dünn sein muss, sind T_2 und T_3 in den Kapplungsverhältnisberechnungen sehr niedrig und haben die Funktion, das Kopplungsverhältnis zu begrenzen. Die negativen Auswirkungen des dünnen Gate-Dielektrikums auf das Kopplungsverhältnis können durch Erhöhen des Betrags kompensiert werden, um den die Interpoly-Dielektrikschicht 26 das Feldoxid **30** überlappt (siehe **Fig.** 4A). Diese Erhöhung der Überlappung unterstützt. die Optimierung des Kopplungsverhältnisses, weil dadurch die Fläche A, der Interpoly-Dielektrikschicht **26** vergrößert wird. Außerdem werden, da die zusätzliche Fläche nur über der Feldoxidschicht **30** und nicht über der Source- und der Drain-Zone auftritt, die Kapazitäten des Bauelementes nicht negativ beeinflusst.

[0122] Die Spannung V_{FG} des floatenden Gates relativ zum Substrat während des selektiven Löschschrittes kann wie folgt ausgedrückt werden:

$$V_{FG} = \frac{V_G C_{FG-CG} + V_D C_{FG-D}}{C_{FG-CG} + C_{FG-C} + C_{FG-D}}$$

wobei V_G und V_D die Spannungen sind, die jeweils an das Steuergate **28** und den Drain **12** angelegt werden. Das Kopplungsverhältnis ist beim Flash-Programmierschritt kritischer als beim selektiven Löschschritt. Für den selektiven Löschmodus beträgt das Kapazitätsverhältnis C_{FG-CG} C_{FG-D} : C_{FG-C} : C_{FG-S} vorzugsweise 65 : 13 : 13 : 9.

[0123] Somit sollten die oben mit Bezug auf die Kapazitäten über die Dielektrikschichten erörterten Flächen- und Dickenparameter relativ zum Flash-Programmierschritt bestimmt werden. Wenn die Werte festgelegt sind; dann sollten die Spannungen V_G und V_D mit der obigen Gleichung festgelegt werden, um einen gewünschten V_{FG}-Wert zu erzielen.

[0124] V_{FG} beträgt gewöhnlich, wenn eine Spannung von SV während des selektiven Löschvorgangs an den Drain angelegt wird, etwa –5 V. Eine Spannung von 3 V am Drain hat zur Folge, dass am floatenden Gate eine Spannung von etwa –7 V anliegt. Die Dauerhaftigkeit wird aufgrund der oben erörterten Locheinschlusseffekte optimiert, wenn die niedrigstmögliche Spannung an den Drain angelegt wird. Das Minimieren der Stärkender Gate-Dielektrikschicht **18** und der Interpoly-Dielektrikschicht **26** bewirkt somit eine Minimierung der während des selektiven Löschschrittes benötigten Drain-Spannung und somit eine Minimierung der Dauerhaftigkeitsprobleme in Verbindung mit hohen Drain-Spannungen.

[0125] Die Dotierung im Kanal der vorliegenden Erfindung ist weitaus (um etwa das Zehnfache) stärker als die, die gewöhnlich bei konventionellen Flash-EEPROM-Zellen angewendet wird, um die Spannungsschwelle zu erhöhen und somit die Belastungen des Bauelementes bei Flash-Programmierung und selektivem Löschen auszugleichen. Darüber hinaus werden, wenn die Schwellenspannung erhöht wird, niedrige Gate-Spannungen benötigt, und somit werden die Durchbruchspannungsanforderungen für Peripheriegeräte gelockert. Die bevorzugte Dotierung ist die, bei der die Anfangsspannungsschwelle Vt_i des Bauelementes zwischen 4 V und 5 V und vorzugsweise bei etwa 4,5 V liegt.

[0126] Die folgende Tabelle illustriert die Vorteile, die sich aus einer stärkeren Dotierung im Kanal des Bauelementes ergeben:

TABELLE C

	V_G (Flashprogrammierung)	V_G (selektive Löschung)
Konventionelles Dotieren (Vt_i = 1,5V)	21V	-8V
Starkes Dotieren (Vt_i = 4,5V)	18V	-11V

[0127] Bei einem konventionellen Bauelement beträgt die Anfangsspannungsschwelle etwa 1,5 V. Wurde in dem Bauelement konventionell dotiert, dann würde die Flash-Programmierfunktion eine Gate-Spannung von etwa 21 V erfordern und die für den selektiven Löschmodus benötigte Gate-Spannung würde etwa –8 V betragen. Unter Annahme einer Sicherheitsmarge von 3 V für die Peripheriegeräte würde die Durchbruchspannungsanforderung für die Peripheriegeräte etwa 24 V betragen. Wie aus Tabelle C ersichtlich ist, wird durch eine Erhöhung der Spannungsschwelle durch höheres Dotieren die selektive Löschspannung auf 18 V verringert, und somit wird die Durchbruchspannungsanforderung auf der Basis einer 3 V-Sicherheitsmarge auf 21 V verringert.

Dreifachmulde

[0128] Da das erfindungsgemäße Bauelement die selektive Löschfunktion mit einer negativen Gate-Spannung durchführen kann, ist es möglicherweise notwendig, ein Mittel zum Isolieren des großen negativen Potentials von de r. umgebenden Schaltungsanordnung bereitzustellen, um hohe Spannungsbelastungen an den Übergängen dieser Bauelemente zu verhindern.

[0129] Es gibt zwei Möglichkeiten zu verhindern, dass die negativen Gate-Spannungen die periphere Schaltungsanordnung stören. Eine besteht darin, nur PMOS-Bauelemente in Verbindung mit der negativen Gate-Spannung zu verwenden und Verarmungs-P-Kanal-Bauelemente dort einzusetzen, wo eine Spannungspassage benötigt wird. Eine solche Struktur begrenzt jedoch ernsthaft das Design des Chips und kann aus diesem Grunde für bestimmte Anwendungen unerwünscht sein.

[0130] Die andere Möglichkeit besteht darin, die nachfolgend beschriebene "Dreimulden"-Struktur einzusetzen. Hierbei handelt es sich um eine Struktur, die das Problem hoher Spannungsbelastungen mildert, die durch das beim Löschvorgang an das Steuergate angelegte Potential von –12 V verursacht werden wenn NMOS-Bauelemente zum Anlegen der negativen Gate-Spannung während der selektiven Löschfunktion verwendet werden, dann sollte die Dreimuldenstruktur verwendet werden. Ist es nicht erwünscht, negative Spannungen zum Löschen, zu benutzen, dann sollte die Dreimuldenstruktur nicht eingesetzt werden, da ihre Herstellung zwei zusätzliche Maskenschritte erfordert und somit Zeit- und Kostenaufwand für die Verarbeitung erhöht.

[0131] Die Dreimuldenstruktur ist in den vereinfachten Zeichnungen der **Fig.** 13 und 14 dargestellt. **Fig.** 13 ist ein vereinfachter Querschnitt, der die verschiedenen Trartsistorstrukturen zeigt, **Fig.** 14 zeigt ein vereinfachtes. elektrisches Schema der Strukturen, die bei Zuführung positiver und negativer Spannungen zur Speicherzelle über die Wortleitung WL beteiligt sind.

[0132] Die Dreimuldenstruktur umfasst allgemein einen Einmuldentransistor **252** sowie einen Zweimuldentransistor **254**, die jeweils mit den Wortleitungen WL in Verbindung mit den Steuergates **28** der Speicherzellen **250** der vorliegenden Erfindung verbunden sind. Es ist zu verstehen, dass **Fig.** 13 zwar eine einzelne Speicherzelle **250** und **Fig.** 14 eine einzige Reihe von Speicherzellen **250** zeigt, dass aber die Transistoren wie beispielsweise die Transistoren **252**, **254** für das Anlegen von Spannungen an alle Zellen in einer Array gemäß der vorliegenden Erfindung benutzt werden sollen, wenn eine Dreimuldenstruktur eingesetzt wird. Ferner ist zu verstehen, dass zum Vereinfachen dieser Erläuterung nicht alle Bauelemente dargestellt wurden, die an der Steuerung des Anlegens der positiven und negativen Potentiale an das Zellsteuergate beteiligt sind und dass solche Bauelemente in einer konventionellen Anordnung eingesetzt werden.

[0133] Ein Einmuldentransistor ist ein PMOS-Transistor **252**, der in einer Mulde **256** aus Material des N^- Typs ausgebildet ist. Dies ist der Transistor, durch den die positive Spannung (d. h. etwa 17 V bis 18 V) während des Flash-Programmierzyklus an die Steuergates **28** von Speicherzellen **250** angelegt wird. Die positive Spannung wird an die Source **268** des Einmuldentransistors angelegt und, wenn eine Steuerspannung während des Flash-Programmiervorgangs an das Gate **270** des Einmuldentransistors angelegt wird, den Steuergates der Speicherzellen **250** über die Wortleitung WL zugeführt. Während des Flash-Programmiervorgangs wird der NMOS-Transistor 254 in Ausschaltrichtung vorgespannt.

[0134] Der Zweimuldentransistor ist ein NMOS-Transistor **254**, der in einer Mulde **258** aus Material des P^-

Typs ausgebildet ist, das wiederum durch eine Mulde **260** aus Material des N^- Typs vom Substrat isoliert ist. Das NMOS-Bauelement **254** ist dasjenige, durch das die negative Gate-Spannung (d. h. etwa 11 V bis –12 V) für die Flash-Löschfunktion während eines selektiven Löschvorgangs den Steuergates der Speicherzellen **250** zugeführt werden soll. Die negative Spannung wird an die Source **262** des Zweimuldentransistors angelegt und, wenn eine Steuerspannung während des selektiven Löschvorgangs an das Gate **264** des Zweimuldentransistors angelegt wird, den Steuergates der gewählten Zellen über die Wortleitung WL zugeführt. Während dieses Vorgangs ist die Mulde **260** auf V_{CC} oder niedriger, und das Substrat **266** ist auf Massepotential. Somit gibt es zwei in Sperrrichtung vorgespannte Übergänge, einer zwischen Substrat **266** und Mulde **260**, der andere zwischen den Mulden **260**, **258**, die die negative Spannung gegenüber den anderen Bauelementen auf dem Chip isolieren.

Array-Betrieb

[0135] Eine Zellarray kann wie in **Fig.** 7 gezeigt konfiguriert werden. Es ist ersichtlich, dass diese Konfiguration im Wesentlichen dieselbe ist wie die, die in **Fig.** 1A für die Flash-EEPROM-Array dargestellt ist. Mehrere Spaltenleitungen **130A** verbinden jeweils die Drains **12** der Zellen einer zugehörigen Spalte, und die gemeinsame Source-Leitung **144A** ist mit allen Sources **14A** in der Array **122A** gekoppelt. Mehrere Wortleitungen **140A** verbinden jeweils die Steuergates der Zellen in einer zugehörigen Reihe.

[0136] Die periphere Schaltungsanordnung auf dem Bauelement umfasst eine konventionelle Reihenadressdekodierungs-Schaltungsanordnung **142A**, eine Spaltenadressdekodierungs-Schaltungsanordnung **132A**, eine Leseverstärker-Schaltungsanordnung **134A**, eine Ausgangspuffer-Schaltungsanordnung **136A** und eine Eingangspuffer-Schaltungsanordnung **138A**. Die periphere Schaltungsanordnung umfasst einen Schaltungsanordnungsblock, der auf konventionelle Weise die Spalten-, Reihen- und Source-Spannungen zur Array für die oben beschriebene Flash-Programmierurtg, selektive Löschung, Lesen, Überlöscherkennung und Überlösch-Reparaturmodi zuführt.

[0137] Für die Zwecke der Beschreibung des Betriebs einer Array von Zellen der vorliegenden Erfindung zeigt **Fig.** 11 eine stark vereinfachte schematische Darstellung eines Speichergerätes mit vier Zellen **202**, **204**, **206**, **208** in einer Array **200** von Zellen. Die Drains der Zellen **202** und **206** sind mit der Bitleitung BL1 verbunden, und die Drains der Zellen **204** und **208** sind mit der Bitleitung BL2 gekoppelt. Die Gates von Zellen **202** und **204** sind mit der Wortleitung WL1 gekoppelt, und die Gates der Zellen **206** und **208** sind mit der Wortleitung WL2 gekoppelt. Die Sources aller Zellen sind mit einer gemeinsamen Source-Leitung SL gekoppelt.

[0138] Die folgende Tabelle enthält Parameter für die Lese-, Flash-Programmier- und selektiven Löschvorgänge relativ zur Zielzelle **202** in der Array:

TABELLE D
(für Zielzelle 202)

	Lesen	Flash-Programmierung	Selektives Löschen
V_{BL1}	1-2V	F	5V
V_{BL2}	F bis V_{SS}	F	F
V_S	OV	OV	F
V_{WL1}	V_{CC}	17V	-11V
V_{WL2}	OV	OV	OV

[0139] Gemäß **Fig.** 11 wird zum Ermitteln des Logikzustands einer selektierten Zelle **202** die Lesespannung V_{CC} an WL1, der Wortleitung in Verbindung mit der selektierten Zelle **202** angelegt. V_{CC} beträgt normalerweise SV, obwohl in Bauelementen wie denjenigen, die z. B. für den Einsatz mit einem Notebook-Computer konfiguriert sind, V_{CC} etwa 3 V betragen kann. Die Bitleitung BL1 in Verbindung mit der selektierten Zelle **202** wird auf Massepotential gehalten, wie. auch die gemeinsame Source-Leitung SL. Auch die Wortleitungen für alle unselektierten Zellen, d. h. WL2 in **Fig.** 11, werden auf Massepotential gehalten. Die unselektierten Bitleitungen, d. h. BL2 in **Fig.** 11, werden floaten gelassen oder auf einer Spannungsgehalten, die bis zu V_{SS}; typischerweise 0 V, betragen kann.

[0140] Zum Durchführen des Flash-Programmierschrittes für alle Zellen in der Reihe **210** wird die Wortleitung

WL1 in Verbindung mit dieser Reihe auf ein Potential von etwa 17 V gehoben, während die gemeinsame Source-Leitung SL und die übrigen Wortleitungen, d. h. WL2 in **Fig.** 11, auf Massepotential gehalten werden. Alle Bitleitungen BL1, BL2 werden floaten gelassen. Alle Zellen in der Array können durch Erhöhen aller Wortleitungen auf etwa 17 V flashprogrammiert werden. Wie oben beschrieben, werden während des Flash-Programmiervorgangs Elektronen mit Hilfe von Fowler-Nordheim-Tunnelung von der Source zum floatenden Gate auf die floatenden Gates der programmierten Zellen gesetzt.

[0141] Das selektive Löschen kann für individuelle Zellen oder in Blöcken von Zellen erfolgen. Zum selektiven Löschen der Zelle **202** wird eine Spannung von etwa –11 V bis –12 V an die Wortleitung WL1 in Verbindung mit Zelle **202** und von etwa 5 V an die Bitleitung BL1 in Verbindung mit Zelle **202** angelegt. Die verbleibende Bitleitung BL2 wird floaten gelassen, die verbleibende Wortleitung WL2 wird geerdet. Die gemeinsame Source-Leitung SL wird während des selektiven Löschvorgangs floaten gelassen. Blöcke von Zellen können selektiv durch Anlegen der selektiven Löschparameter an die Bitleitungen und Wortleitungen in Verbindung mit den zu löschenden Zellen gelöscht werden. wie oben beschrieben, bewirkt der selektive Löschvorgang, dass Elektronen das floatende Gate aufgrund der Wirkung von Fowler-Nordheim-Tunnelung vom floatenden Gate zum Drain der selektiven Zelle(n) verlassen.

[0142] Als Nächstes werden die Überlöscherkennungs- und Wiederherstellungsvorgänge einer Array gemäß der vorliegenden Erfindung erörtert.

[0143] Es werden konventionelle Überlöscherkennungstechniken unter Bezugnahme auf **Fig.** 12 beschrieben. Diese Techniken ermöglichen lediglich die Identifikation von Blöcken oder Spalten von Zellen mit übergelöschten Zellen und ermöglichen keine spezifische Identifikation von übergelöschten Zellen.

[0144] In konventionellen Erkennungsverfahren wird eine Spaltenselektier-Schaltungsanordnung **300** eingesetzt, um die Spalte von Zellen zu selektieren, die getestet werden sollen. Angenommen, es wird Spalte **302** selektiert, wird eine Lesevorspannung an die mit Spalte **302** gekoppelte Bitleitung B1 angelegt. Ein Potential von 0 V wird an alle Wortleitungen WLl, WL2, WL3 in Verbindung mit den Zellen in der Spalte **302** angelegt, und die Sources S1, S4, S7 aller Zellen in der Spalte werden geerdet. Mit Hilfe eines Leseverstärkers (nicht dargestellt) wird ermittelt, ob Strom in die Bitleitung B1 fließt, was darauf hinweisen würde, dass eine übergelöschte Zelle in Spalte **302** vorhanden ist. Somit kann. mit diesem Verfahren nur ermittelt werden, ob eine übergelöschte Zelle in einer Spalte von Zellen vorhanden ist.

[0145] Wenn ein ganzer Block von Zellen auf Anwesenheit von übergelöschten Zellen geprüft werden soll, dann werden alle Spalten **302**, **304**, **306** mit der Spaltenselektier-Schaltungsanordnung **300** selektiert. Alle Sources S1–S9 werden geerdet. Die Vorspannung wird an alle Bitleitungen B1, B2, B3 angelegt, und der Leseverstärker wird so konfiguriert, dass er erkennt, wenn Strom durch eine der Bitleitungen fließt.

[0146] So können in einer konventionellen Überlöscherkennung keine individuellen übergelöschten Zellen identifiziert werden.

[0147] Normalerweise wird der Leseverstärker für konventionelle Bauelemente so konfiguriert, dass sich ein 0-Ausgang ergibt, wenn kein Strom in der Bitleitung fließt (und sich somit keine übergelöschten Zellen in der Spalte befinden), und ein 1 ausgegeben wird, um die Anwesenheit eines Überlöschzustandes anzuzeigen, wenn Strom durch die Bitleitung fließt.

[0148] Im Stand der Technik werden mehrere langsame Programmiermethoden beschrieben, um die Spannungsschwellen übergelöschter Zellen auf einen geeigneten Pegel zu bringen. Jede dieser Methoden wird nachfolgend mit Bezug auf **Fig.** 12 beschrieben. Eine solche Überlösch-Wiederherstelungsmethode erfolgt Spalte für Spalte. Sie beinhaltet die Erhöhung der Bitleitung B1 einer selektierten Spalte 302 auf 5 V, das Erden der Sources S1, S4, S7 und das Anlegen eines Potentials von 1 V bis 2 V an die Wortleitungen WLl, WL2, WL3 in Verbindung mit den Zellen in der Spalte **302**. Die Spalte wird periodisch neu getestet, um zu ermitteln, ob noch übergelöschte Zellen vorhanden sind, und wenn dies der Fall ist, werden die Testbedingungen erneut angewendet, bis ermittelt ist, dass die Spalte keine übergelöschten Zellen mehr enthält.

[0149] Eine zweite existierende Überlösch-Wiederherstellungsmethode, die Spalte für Spalte durchgeführt wird, beinhaltet das Erden der Wortleitungen WLl, WL2, WL3 in Verbindung mit den Zellen in der Spalte **302**, das Erden aller Sources S1, S4, S7 und das Anlegen einer Spannung von 5 V an die Bitleitung B1 in Verbindung mit der Spalte. Es wurde eine dritte, ähnliche Wiederherstellungsmethode beschrieben, in der die Wortleitungen WLl, WL2, WL3 und die Bitleitungen B1, B2, B3 in Verbindung mit der Spalte **302** von zu reparierenden Zellen geerdet werden, während die Sources S1, S4, S7 der Zellen in der Spalte auf ein Potential von 5 V angehoben werden.

[0150] Eine vierte Wiederherstellungsmethode des Standes der Technik ist auf die Reparatur aller übergelöschten Zellen in einer gesamten Zellarray gerichtet. Sie beinhaltet das Erden der Source-Leitungen S1–S9 und der Bitleitungen B1, B2, B3, während eine Spannung von 12 V an die Wortleitungen WL1, WL2, WL3 angelegt wird.

Überlöscherkennung in einer Array

[0151] Die Anwesenheit von übergelöschten Zellen im Speichergerät der vorliegenden Erfindung kann erfasst und mit einer Prozedur behoben werden, die durch die Ablaufdiagramme in den **Fig.** 9, 10A, 10B und 11 dargestellt ist. Zunächst wird ermittelt, welche Gruppe von Zellen übergelöschte Zellen enthält. Wenn eine solche Gruppe ermittelt ist, werden die Zellen in der Gruppe Zelle für Zelle geprüft, um die jeweilige (n) übergelöschte (n) Zelle (n) zu identifizieren.
[0152] Die nachfohgende Tabelle enthält Parameter, die für die Durchführung der Überlöscherkennungs- und Wiederherstellungsverfahren benutzt werden können:

TABELLE E

	Selektierte Zelle Überlösch-Erkennung	Selektierte Zelle Überlösch-Wiederherstellung	
		Methode 1	Methode 2
V_{BL1}	1-2V	F	OV
V_{BL2}	F	F	OV
V_S	~0,6V	V_{SS}	F
V_{WL1}	V_{TEST}	12V	12V
V_{WL2}	OV	OV	OV

[0153] Eine Überlöscherkennung erfordert zunächst eine Definition der Spannungsschwelle, unterhalb derer eine Zelle als übergelöscht angesehen wird, und anschließendes Berechnen der Source-Spannung Vs und der Prüf Spannung V_{TEST} mit der oben mit Bezug auf den Zellbetrieb beschriebenen Prozedur. Bezugnehmend auf das schematische Array-Diagramm von **Fig.** 11 wird zum Ermitteln, ob eine Zelle **202** übergelöscht ist, die Bitleitung BLI in Verbindung mit Zelle **202** auf etwa 1,5 V angehoben, und die gemeinsame Source-Leitung SL wird auf die Vorspannung V_S (vorzugsweise 0,6 V) angehoben. Die Prüfspannung V_{TEST} wird an die Wortleitung WL1 in Verbindung mit Zelle **202** angelegt. Die Wortleitung WL2 in Verbindung nur mit ünselektierten Zellen wird auf einem Potential von 0 V gehalten, und die Bitleitung BL2 in Verbindung nur mit unselektierten Zellen wird floaten gelassen. wenn die Zelle **202** übergelöscht ist, dann fließt Strom durch die Bitleitung BLI.
[0154] Das Testen erfolgt am effizientesten, indem zunächst Blöcke oder Spalten, um zunächst diejenigen mit übergelöschten Zellen anzupeilen, und. danach individuelle Zellen getestet werden, um die übergelöschten zu identifizieren. So kann beispielsweise die gesamte Spalte von Zellen mit Zelle **202** durch Anlegen von 1,5 V an BL1 und durch Anlegen von V_{TEST} an alle Wortleitungen WLI, WL2 in Verbindung mit Zellen in dieser Reihe getestet werden. Als Nächstes wird das im vorangegangenen Abschnitt beschriebene bitweise Testverfahren in Spalten angewendet, bei denen festgestellt wurde, dass sie übergelöschte Zellen haben, bis alle übergelöschten Zellen identifiziert sind.
[0155] **Fig.** 9 zeigt, ein verallgemeinertes Überlöscherkennungs-Ablaufdiagramm gemäß der vorliegenden Erfindung. Zunächst werden alle Sources auf eine Spannung von über null, vorzugsweise 0,6 V, vorgespannt. Dies erfolgt in Schritt **902**. In Schritt **904** werden eine oder mehrere Wortleitungen auf V_{TEST} gesetzt, und es werden eine oder mehrere Spalten zum Lesen selektiert. Unselektierte Wortleitungen werden auf 0 V. vorgespannt, um ihre zugehörigen Zellen abzuschalten.
[0156] Wenn auf diese Weise eine einzelne Spalte und eine einzelne Wortleitung selektiert wurden, dann werden die Zellen nacheinander überprüft. Es können verschiedene Vielfache von Zellen in einer Reihe oder Spalte. gleichzeitig geprüft werden, je nach der Zahl der Wortleitungen, an denen V_{TEST} anliegt, und der Zahl der Spaltenleitungen, die zum Lesen selektiert wurden. Wenn beispielsweise V_{TEST} an alle Wortleitungen angelegt wird und eine einzelne Spalte zum Lesen selektiert wird, dann werden alle Zellen in der Spalte gleichzeitig auf einen Überlöschzustand geprüft. Wenn eine einzelne Wortleitung mit V_{TEST} vorgespannt ist und alle Spalten selektiert sind, dann werden alle Zellen in der Reihe entsprechend der vorgespannten Wortleitung auf einen Überlöschzustand geprüft.
[0157] In Schritt **906** wird der Zustand der Zelle(n) gelesen, an der/denen V_{TEST} anliegt. Wenn in Schritt **908** eine logische "1" erfasst wird, dann bedeutet dies, dass eine übergelöschte Zelle gefunden wurde. Dies wird

in Schritt **910** notiert.

[0158] Schritt **912** bewirkt, dass die Überlöscherkennung so lange fortgesetzt wird, bis der gesamte Chip gelesen ist,

[0159] Erfolgt eine Überlöscherkennung nach Spalte, dann werden die Zellen innerhalb dieser Spalten, wenn Spalten mit übergelöschten Zellen identifiziert sind, bitweise überprüft, um die übergelöschten Zellen zu identifizieren.

[0160] Die folgenden zwei Verfahren, die unter Bezugnahme auf Tabelle A und **Fig.** 11 beschrieben werden, können für die Reparatur übergelöschter Zellen angewendet werden. Zum Reparieren einer übergelöschten Zelle **202** in **Fig.** 11 mit Methode **1** wird ein 20 ms Impuls von 12 V an WL1 angelegt. Die Bitleitung BL1 in Verbindung mit Zelle **202** wird floaten gelassen, und eine Spannung von V_{SS}, vorzugsweise 0 V, wird an die Source-Leitung SL angelegt. Die Bitleitung BL2 wird floaten gelassen, und WL2 wird geerdet.

[0161] Die Zelle wird als Nächstes mit der Überlöscherkennungsmethode geprüft. Wenn die Zelle immer noch übergelöscht ist, wird das Wiederherstellungsverfahren wiederholt. Im bevorzugten Bauelement hat eine reparierte Zelle normalerweise eine Spannungsschwelle von etwa 1,3 V bis 2,5 V.

[0162] Zum Reparieren einer übergelöschten Zelle **202** mit Methode **2** wird ein 20. ms Impuls von 12 V an WL1 angelegt. Die Bitleitung BL1 in Verbindung mit Zelle **202** wird geerdet, und die Source-Leitung SL wird floaten gelassen. Die Bitleitung BL2 und die Wortleitung WL2, die nicht mit Zelle **202** verbunden sind, werden geerdet.

[0163] Wie bei Methode **1**, wird die Zelle als Nächstes mit der Überlöscherkennungsmethode getestet, und die Wiederherstellungstechnik wird wiederholt, wenn die Zelle nicht ausreichend repariert ist.

[0164] Die Methoden **1** und **2** sind in stärker verallgemeinerter Form in den **Fig.** 10A und 10B illustriert. In diesen Figuren werden die Methoden auf die Reparatur von mehr als einer einzelnen Zelle gleichzeitig angewendet. **Fig.** 10A illustriert Methode **1** gemäß der vorliegenden Erfindung. In Schritt **1002** werden alle Sources gefloatet. Danach werden in Schritt **1004** selektierte Spalten geerdet. In Schritt **1006** werden alle Wortleitungen öder eine selektierte Wortleitung **20** ms oder länger auf ein Potential von vorzugsweise 12 V gesetzt. Wenn dieses Potential an allen Wortleitungen anliegt, werden alle Zellen in den gewählten Spalten diesem Low-Level-Schreibvorgang unterzogen. wo an selektierten Wortleitungen dieses Potential anliegt, da werden die Zellen innerhalb dieser selektierten Spalten und Reihen repariert.

[0165] **Fig.** 10B illustriert Wiederherstellungsmethode **2**. Hier werden die Drains der Zellen in Schritt **1010** gefloatet, und alle Sources werden in Schritt **1012** geerdet. Danach werden in Schritt **1014** alle oder selektierte Wortleitungen **20** ms oder länger auf ein Potential von vorzugsweise 12 V angehoben.

Verarbeitung

[0166] Die erfindungsgemäße Zelle ist mit CMOS-Verarbeitung kompatibel. Das Substrat **10** besteht aus einem Material des p-Typs mit einer 1–0–0 Orientierung und einem spezifischen Widerstand von 17 bis 33 Ohm-cm. Dies repräsentiert das p-Substrat **10** in **Fig.** 2A bis 2C. Phosphor **31** Material wird in die N" Mulden mit 150 KeV und einer Dichte von $5{,}0 \times 10^{12}/cm^2$ implantiert. Das Implantat wird mit Nassoxidation **45** Minuten lang bei 950°C, gefolgt von Stickstoff N_2 mit 1150°C eingetrieben.

[0167] Danach wird eine Gateoxidschicht mit einer Stärke von vorzugsweise 80 Å ausgebildet. Die Feldfläche wird dann definiert, und das Feld wird mit BF_2 mit 40 KeV und einer Dosis von $4 \times 10^{13}/cm^2$ implantiert.

[0168] Dann wird die Feldoxidschicht **40** Minuten lang bei 1000°C in einer O_2-Atmosphäre, gefolgt von 85 Minuten bei 920°C in einer N_2-Atmosphäre ausgebildet. Danach folgen sechs Stunden und 40 Minuten bei 1000°C in H_2/O_2, um eine Stärke von 1200011 zu erzielen. Dann wird die Zellfläche definiert und danach mit Bor **11** bei 50 KeV und einer Dosis von $6 \times 10^{13}/cm^2$ implantiert. Die vorhergehenden Herstellungsprozesse sind konventionell.

[0169] Im nächsten Schritt wird das floatende Gate 24 über das Gate-Diehektrikum **18** aufgebracht. Dies beinhaltet eine In-Situ-Dotierurtg von Polysilizium, wenn das Polysilizitim als floatendes Gate aufgebracht wird. Dazu werden SiH_4 und PH_3 durch chemische Aufdampfung zur Bildung von Si (phosphordotiert) kombiniert. Durch eine In-Situ-Dotierung des Polysiliziummaterials können weitere Hochtemperatur-Herstellungsschritte vermieden werden: Dies ist wichtig, um die Korngröße im Polysilizium gering zu halten. Es wurde gefunden, dass bei einer geringeren Korngröße von Polysilizium eine glattere Polysiliziumoberfläche erhalten wird, so dass zuverlässige dünnere Oxidschichten auf der Polysiliziumoberfläche aufwachsen gelassen werden können.

[0170] Das Interpoly-Dielektrikum ist vorzugsweise eine ONO-Schicht mit einer effektiven Stärke von 200 Å, die mit einem standardmäßigen Hochtemperatur-Oxidauftragsprozess ausgebildet wurde, um die Dauerhaftigkeit zu optimieren. Ein HTO-Auftrag wird jedoch möglicherweise nicht benötigt, wenn kein negatives Gate-Potential während des selektiven Löschvorgangs verwendet wird. Zunächst wird eine Oxidschicht über dem floatenden Gate in einer Atmosphäre von 5% O_2 und 95% N_2 acht (8) Minuten lang bei 950°C ausgebildet. Dann wird Nitrid vier (4) Minuten lang mit einer Rate von 30 Å/min aufgebracht. Danach erfolgt der HTO-Auftrag fünf-

zehn (–15) Minuten lang mit einer Rate von 4 bis 5 Å/min.

[0171] Eine alternative Methodik zum Ausbilden der ONO-Interpoly-Schicht beinhaltet das Ausbilden einer Oxidschicht über dem floatenden Gate in einer Atmosphäre von 5% O_2 und 95% N_2 für zwölf (12) Minuten bei 950°C. Dann wird Nitrid bis zu einer Stärke von 120 Å. aufgebracht. Danach erfolgt eine Nassoxidation bei 940°C für 1 bis 3 Stunden.

[0172] Danach wird eine periphere Schaltungsanordnung, wie z. B. Lesetransistoren, Adresstransistoren usw., mit konventionellen Mitteln hergestellt. Das Steuergate **28** wird nachfolgend, vorzugsweise aus Polysilizium, ausgebildet und mit konventionellen Methoden dotiert.

[0173] Als Nächstes wird die Implantation von Source **14** und Drain **12** Zonen beschrieben. Es werden vier alternative Ausgestaltungen offenbart, zwei für Zellen mit 0, 8 µm Technologie und zwei für Zellen mit 0,5 µm Technologie.

[0174] In der bevorzugten Methode zum Ausbilden der Source- und Drain-Zonen in einer Zelle mit 0,8 µm Technologie wird die Source-Zone **14** mit Arsen bei 80 KeV und einer Dosis von $5{,}0 \times 10^{15}/cm^2$ implantiert. Die bevorzugte Drain-Zone ist eine doppeldiffundierte Zone, die dadurch ausgebildet wird, dass zunächst Phosphor **31** mit 150 KeV und einer Dosis von $1{,}0 \times 10^{14}/cm^2$ ausgebildet wird. Dann wird die Drain-Zone **60** Minuten lang in N_2 mit einer Temperatur von 900°C und dann 20 Minuten lang in O_2 bei 900°C getempert, damit eine Diffusion stattfinden kann. Als Nächstes wird eine Arsendosis von $5{,}0 \times 10^{15}/cm^2$ mit 80 KeV in die Drain-Zone implantiert.

[0175] Eine alternative Methode zum Ausbilden der Source- und Drain-Zonen in Zellen gemäß 0,8 µm Technologie ist ein einfacherer Prozess mit einem reduzierten Maskensatz, jedoch einer, der eine geringere Dauerhaftigkeit ergibt als die bevorzugte Methode. In der alternativen Methode wird die Source-Zone mit Arsen bei 80 KeV und einer Dosis von $5{,}0 \times 10^{15}/cm^2$ implantiert, um eine einzeldiffundierte Source wie z. B. die in **Fig.** 2A gezeigte auszubilden. Die Drain-Zone wird mit einer Arsendosis von $5{,}0 \times 10^{15}/cm^2$ bei 80 KeV implantiert.

[0176] In der bevorzugten Methode zum Ausbilden der Source- und Drain-Zonen in einer Zelle mit 0,5 µm Technologie wird die Source-Zone aus einer flachen Zone **40B** aus N^+ Material mit einer Tasche von Material **42B** des P-Typs wie in **Fig.** 2C gezeigt ausgebildet, um Durchgreifprobleme zu minimieren. Die Source-Zone wird mit einer Arsendosis von $1{,}5 \times 10^{15}/cm^2$ bei 80 KeV implantiert. Ein Implantat von $5 \times 10^{13}/cm^2$ Bor **11** wird in einem Winkel von 45° zum Ausbilden der P-Tasche implantiert. Die Drain-Zone ist eine doppeldiffundierte Zone, die dadurch gebildet wird, dass zunächst Phosphor **31** mit einer Dosis von $1{,}0 \times 10^{14}/cm^2$ bei 150 KeV implantiert und dann 45 Minuten lang in N_2 bei 900°C und 20 Minuten lang in 0_2 getempert wird. Als Nächstes wird ein Arsenimplantat von $5{,}0 \times 10^{15}/cm^2$ bei 80 KeV implantiert.

[0177] Bei einer alternativen Methode zum Implantieren von Source- und Drain-Zonen in Zellen gemäß 0,5 µm Technologie wird eine Source-Zone mit einer P-Tasche verwendet, die mit der im vorangegangenen Abschnitt beschriebenen Methode ausgebildet wurde. Die Drain-Zone wird mit Arsen mit einer Dosis von $5{,}0 \times 10^{15}$ bei 80 KeV implantiert. Diese alternative Ausgestaltung ist einfacher in der Durchführung als die bevorzugte Ausgestaltung, ergibt aber eine geringere Dauerhaftigkeit als die bevorzugte Ausgestaltung.

[0178] Die folgende Tabelle ist repräsentativ für die Ergebnisse, die mit der Zelle der vorliegenden Erfindung erzielt werden können. Es wurde ein Experiment durchgeführt, bei dem die Flash-Programmier-, selektiven Lösch- und Überlösch-Wiederherstellungsvorgänge an den getesteten Zellen durchgeführt wurden. Nach jedem Vorgang wurden die Schwellenspannungen gemessen. Es ist zu bemerken, dass die getesteten Zellen eine leichtere Kanaldotierung, als dies für die erfindungsgemäße Zelle bevorzugt wird, und somit eine geringere Anfangsspannungsschwelle (Vt_i) hatten als der für die vorliegende Erfindung bevorzugte Vt-Wert (d. h. etwa 4,5 V). Daher waren die an die Steuergates angelegten Spannungen (V_{CG}) höher, als dies für ein Bauelement mit der bevorzugten Kanaldotierung notwendig wäre. Außerdem hatten die Testbauelemente ein 200 Å Tunneloxid, während die Bauelemente eine bevorzugte Tunneloxidschichtdicke von etwa 80 Å haben.

[0179] Während des Experimentes wurden Zehn-Millisekunden-Impulse zum Durchführen der Flash-Programmier-, selektiven Lösch- und Überlösch-Wiederherstellungsfunktionen verwendet.

Zelle Nr.	V_{ti}	Flash-Programmierung V_{CG} = 20V	Selektives Löschen V_{CG} = -8V V_D = 5V	Überlösch-Wiederherstellung V_{CG} = 15V
1	1,42	5,54	1,66	2,58
2	1,26	4,86	1,44	1,84
3	1,24	5,04	1,26	1,52
4	1,32	5,7	1,28	1,52
5	1,36	5,46	1,62	1,92
6	1,32	4,84	2,06	2,12
7	1,40	4,86	2,04	2,08
8	1,30	5,42	1,62	1,90
9	1,30	5,40	1,54	1,82
10	1,38	5,72	1,82	1,82

TABELLE F

Patentansprüche

1. Elektrisch löschbares und programmierbares Speicherbauelement mit einer Mehrzahl von Speicherstellen (**126**), einer Mehrzahl von Reihenadressleitungen (**140A**), einer Mehrzahl von Spaltenadressleitungen (**130A**) und einer Mehrzahl von Quellleitungen, wobei jede Kombination von einer aus der Mehrzahl von Reihenadressleitungen und einer aus der Mehrzahl von Spaltenadressleitungen eine andere aus der Mehrzahl von Speicherstellen definiert und wobei ferner jede aus der Mehrzahl von Speicherstellen (**126**) einen einzelnen Transistor umfasst, der in und auf einem Substrat (**10**) ausgebildet ist, das so gestaltet ist, dass es auf einem gewählten Potential gehalten wird, wobei der Transistor Folgendes umfasst:
eine Source (**14**), die mit einer assoziierten einen aus der Mehrzahl von Source-Leitungen gekoppelt ist;
einen Drain (**12**), der mit einer assoziierten einen aus der Mehrzahl von Spaltenadressleitungen (**130A**) gekoppelt ist;
ein Steuergate (**28**), das mit einer assoziierten einen aus der Mehrzahl von Reihenadressleitungen (**140A**) gekoppelt ist; und
ein floatendes Gate (**24**), das zwischen dem Steuergate (**28**) und der Source (**14**) und dem Drain (**12**) positioniert ist;
eine erste Schicht (**26**) aus Isoliermaterial, die zwischen dem Steuergate (**28**) und dem floatenden Gate (24) positioniert ist;
eine zweite Schicht (**18**) aus Isoliermaterial, die zwischen dem floatenden Gate (**24**) und der Source (**14**) und dem Drain (**12**) positioniert ist, wobei die genannte zweite Schicht so gewählt wird, dass sie Fowler-Nordheim-Tunnelung zulässt;
wobei die Source (**14**) einen Abschnitt hat, der die zweite Schicht (**18**) aus Isoliermaterial und das floatende Gate (**24**) überlappt, wobei der überlappende Source-Abschnitt so proportioniert ist, dass er eine Tunnelung von Elektronen von der Source (**14**) zum floatenden Gate (**24**) durch die zweite Schicht (**18**) aus Isoliermaterial während eines Programmiervorgangs zulässt; und
wobei der Drain (**12**) einen Abschnitt aufweist, der die zweite Schicht (**18**) aus Isoliermaterial und das floatende Gate (**24**) überlappt, wobei der überlappende Drain-Abschnitt so proportioniert ist, dass er eine Tunnelung von Elektronen von dem floatenden Gate (**24**) zum Drain (**12**) durch die zweite Schicht (**18**) aus Isoliermaterial während eines Löschvorgangs zulässt, **dadurch gekennzeichnet**, dass der einzelne Transistor ein kapazitives Kopplungsverhältnis hat, das definiert wird durch den Ausdruck:

$$\frac{C_{FG-CG}}{C_{FG-CG} + C_{FG-S} + C_{FG-C} + C_{FG-D}}$$

wobei C_{FG-CG} die Kapazität zwischen dem floatenden Gate (**24**) und dem Steuergate (**28**) ist, C_{FG-S} die Kapazität

zwischen dem floatenden Gate (**24**) und der Source (**14**) ist, C_{FG-C} die Kapazität zwischen dem floatenden Gate (**24**) und einer Kanalzone (**16**) des Substrats (**10**) zwischen der Source (**14**) und dem Drain (**12**) ist, und C_{FG-D} die Kapazität zwischen dem. floatenden Gate (**24**) und dem Drain (**12**) ist und der Wert des kapazitiven Kopplungsverhältnisses wenigstens 0,65 beträgt.

2. Elektrisch löschtares und programmierbares Bauelement nach Anspruch 1, wobei die Source (**14**) eine einzelne Diffusion von Material des N^+ Typs mit einer vorbestimmten Tiefe umfasst.

3. Elektrisch loschbares und programmierbares Bauelement nach Anspruch 2, wobei die Einzeldiffusion aus Arsen gebildet wird.

4. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, wobei die Source (**14**) Folgendes umfasst:
eine erste Diffusion (**40**) aus Material des N^+ Typs mit einer vorbestimmten Tiefe;
eine zweite Diffusion (**42**) aus Material des N^+ Typs mit einer Tiefe, die größer ist als die Tiefe der ersten Diffusion.

5. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, wobei die Source (**14**) Folgendes umfasst:
eine erste Diffusion (**40B**) aus N^+ Material; und
eine Tasche (**42B**) aus P-Typ-Material, die in einer Winkelbeziehung zur ersten Diffusion ausgebildet ist.

6. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 5, bei dem:
die erste Diffusion (**40B**) aus Arsen gebildet ist; und
die Tasche (**42B**) aus Bor gebildet ist.

7. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, bei dem der Drain (12) eine einzelne Diffusion aus Material des N^+ Typs mit einer vorbestimmten Tiefe umfasst.

8. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 7, bei dem der Drain (**12**) eine Diffusion aus Arsen umfasst.

9. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, bei dem der Drain (**12**) Folgendes umfasst:
eine erste Diffusion (**44**) aus. Material des N^+ Typs mit einer vorbestimmten Tiefe;
eine zweite Diffusion (**46**) aus Material des N^+ Typs mit einer Tiefe, die größer ist als die Tiefe der ersten Diffusion (**44**).

10. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 9, bei dem:
die erste Diffusion (**44**) aus Arsen gebildet ist; und
die zweite Diffusion (**46**) aus Phosphor gebildet ist.

11. Elektrisch löschbares und programmierbares Bauelement nach einem der vorherigen Ansprüche, bei dem die effektive Dicke der ersten Schicht (**26**) aus Isoliermaterial etwa 200 Ångström beträgt.

12. Elektrisch löschbares und programmierbares Bauelement nach einem der vorherigen Ansprüche, bei dem die erste Schicht (**26**) aus Isoliermaterial eine Nitridschicht umfasst, die zwischen zwei Oxidschichten eingeschlossen ist.

13. Elektrisch löschbares und programmierbares Bauelement nach einem der vorherigen Ansprüche, bei dem die zweite Schicht (**18**) aus Isoliermaterial eine Dicke von etwa 80 Ångström hat.

14. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, gekennzeichnet durch:
Reihenadress-Decodiermittel (**42A**) zum Anlegen einer ersten Spannung an die Steuergates (G) jedes Transistors in einem Block der Transistoren während eines Programmiervorgangs; und
eine gemeinsame Source-Leitung (**144A**) zum Anlegen einer zweiten Spannung an die Source (S) jedes Transistors in dem Block während des Programmiervorgangs, wobei die zweite Spannung relativ zu der an das Steuergate (G) angelegten ersten Spannung niedrig ist.

15. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, gekennzeichnet durch:

Reihenadress-Decodiermittel (**42A**) zum Anlegen einer negativen Spannung an das Steuergate (G) eines gewählten Transistors während eines Löschvorgangs;
Spannungsregelmittel (**137**) zum Floaten der Source (S) des gewählten Transistors wahrem des, Löschvorgangs; und
Spaltenadress-Decodiermittel (**132A**) zum Anlegen einer niedrigen positiven Spannung an den Drain (D) des gewählten Transistors während des Löschvorgangs.

16. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 1, bei dem die Mehrzahl von Speicherstellen (**126**) zu einer Matrix mit Reihen und Spalten von Speicherstellen (**126**) angeordnet. sind, und wobei ferner die mit jeder aus der Mehrzahl von Speicherstellen (**126**) assoziierten Source-Leitungen gemeinsam geschaltet sind;
die Drains (D) für jede der Speicherstellen in einer Spalte gemeinsam mit einer Spaltenadressleitung (**130A**) geschaltet sind; und
die Steuergates (G) für jede der Speicherstellen in einer Reihe gemeinsam mit einer Reihenadressleitung (**140A**) geschaltet sind.

17. Elektrisch löschbares und programmierbares Bauelement 5 nach Anspruch 16, gekennzeichnet durch:
Reihenadress-Decodiermittel (**42A**) zum Anlegen einer im Wesentlichen hohen Spannung an die mit den Steuergates (G) von Transistoren in einer gewählten Reihe assoziierte Reihenadressleitung (**140A**) während eines Programmiervorgangs;
Spannungsregelmittel (**137**) zum Anlegen einer Spannung an die Source-Leitungen während des Programmiervorgangs, wobei die Spannung relativ zu der an die Reihenadressleitung (140A) angelegten Spannung niedrig ist; und
Spaltenadress-Decodiermittel (**132A**) zum Floaten der Drains (D) der Transistoren in der gewählten Reihe während des Programmiervorgangs.

18. Elektrisch löschbares und programmierbares Bauelement nach Anspruch 16, gekennzeichnet durch:
Reihenadress-Decodiermittel (**42A**) zum Anlegen einer negativen Spannung an die Reihenadressleitung (**140A**), die mit einem gewählten Transistor assoziiert ist, während eines Löschvorgangs;
Spannungsregelmittel (**137**) zum Fleaten der Source (S) des gewählten Transistors während des Löschvorgangs; und
Spaltenadress-Decodiermittel (**132A**) zum. Anlegen einer niedrigen positiven Spannung an die mit dem gewählten Transistor assoziierte Spaltenleitung (**130A**) während des Löschvorgangs.

19. Verfahren zum Einstellen des Logikzustands eines Transistors in einem elektrisch löschbaren und programmierbaren Speicherbauelement gemäß Anspruch 1., wobei das Verfahren die folgenden Schritte umfasst:
(a) Induzieren von Fowler-Nordheim-Tunnelung von Elektronen von der Source zum floatenden Gate jedes Transistors zum Heben des Spannungsschwellenwertes auf einen ersten Pegel; und
(b) Induzieren von Fowler-Nordheim-Tunnelung von Elektronen von dem floatenden Gate zum Drain von gewählten Transistoren zum Senken des Spannungsschwellenwertes auf einen zweiten Pegel, dadurch gekennzeichnet, dass:
Schritt (b) den Schritt des Anlegens eines vorbestimmten negativen Potentials an die Steuergates der gewählten Transistoren umfasst; und
Schritt (a) den Schritt des Erhöhens der Steuergates der gewählten Transistoren auf ein vorbestimmtes Potential über das der Sources umfasst.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

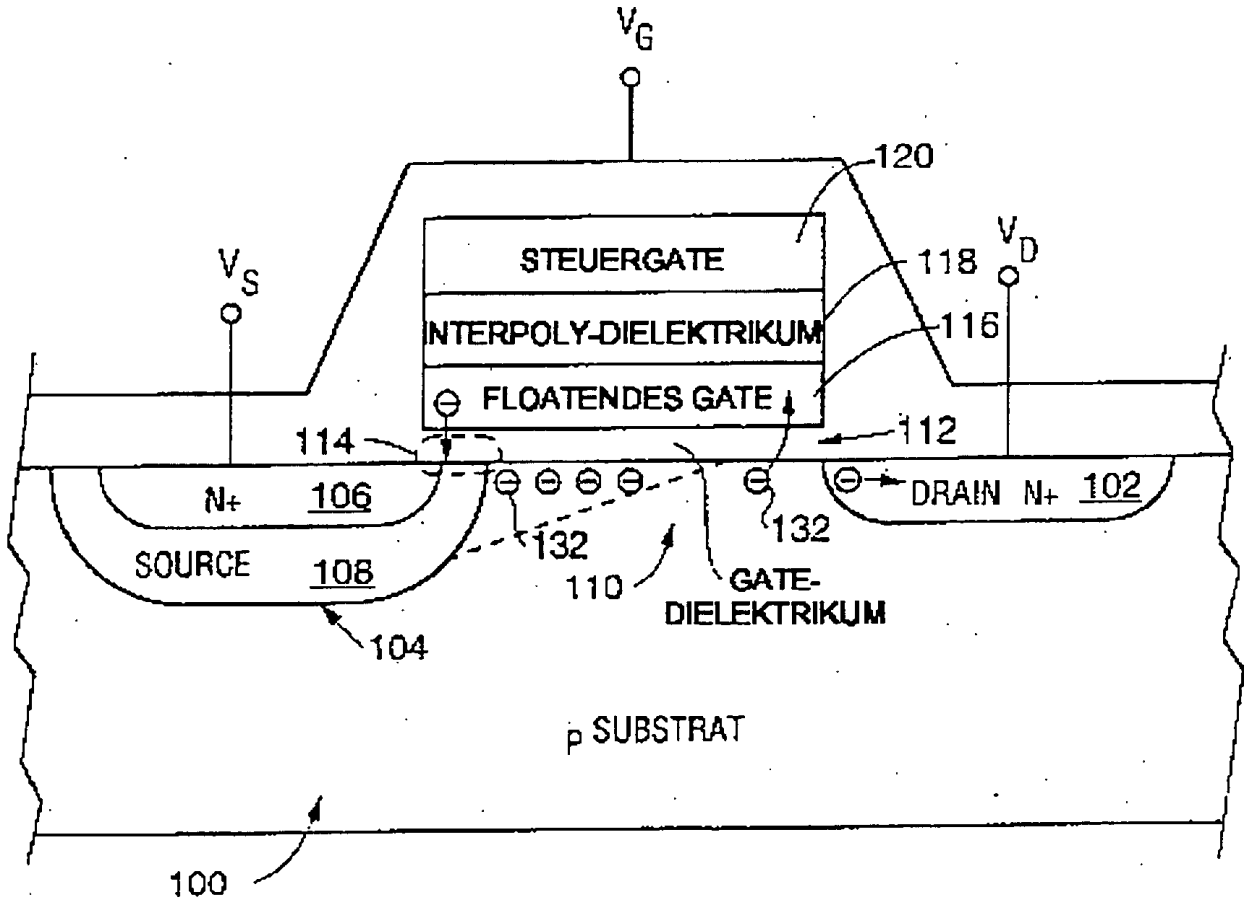

FIG. 1A
(STAND DER TECHNIK)

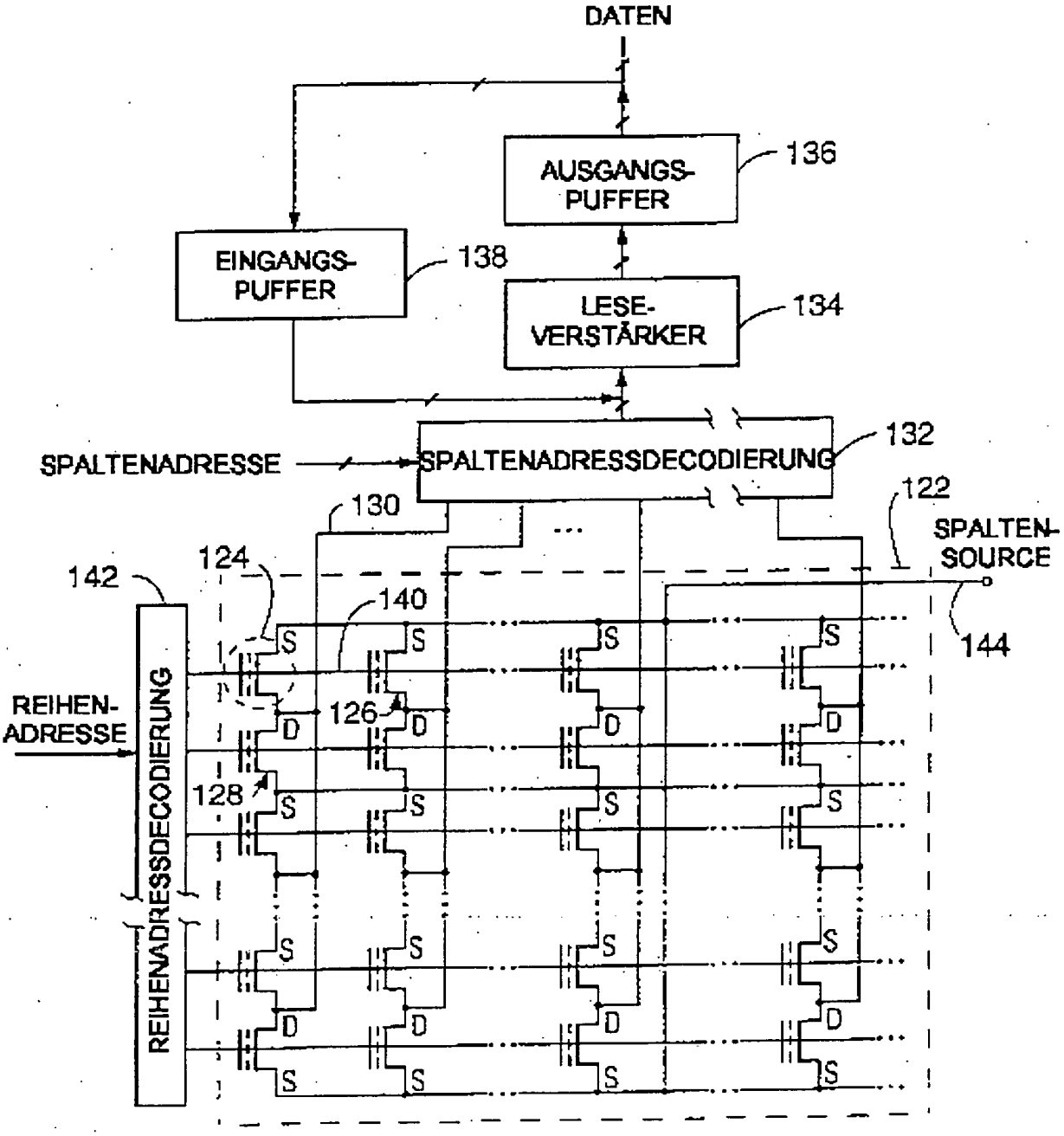

FIG. 1B
(STAND DER TECHNIK)

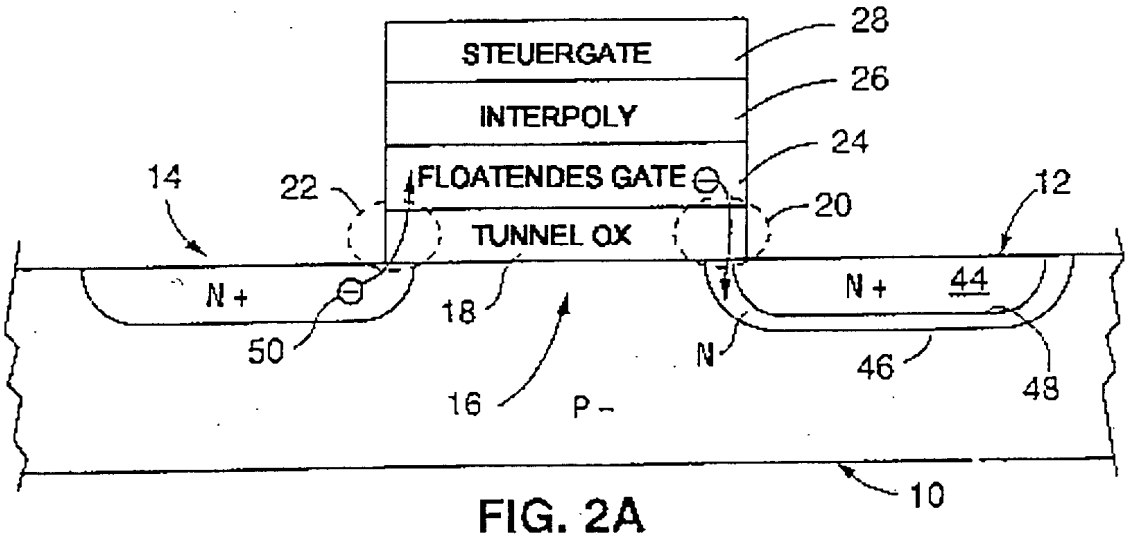

FIG. 2A

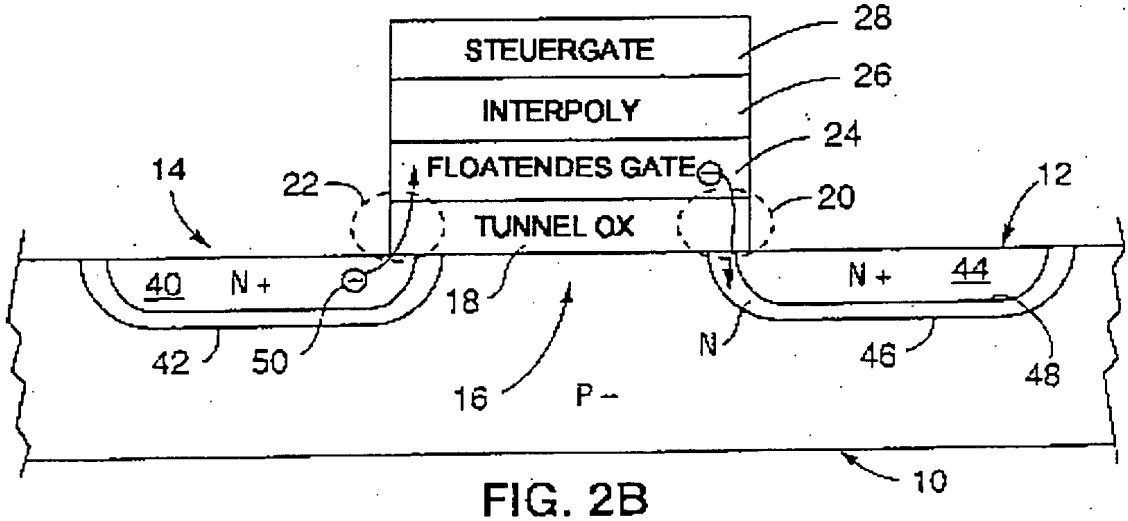

FIG. 2B

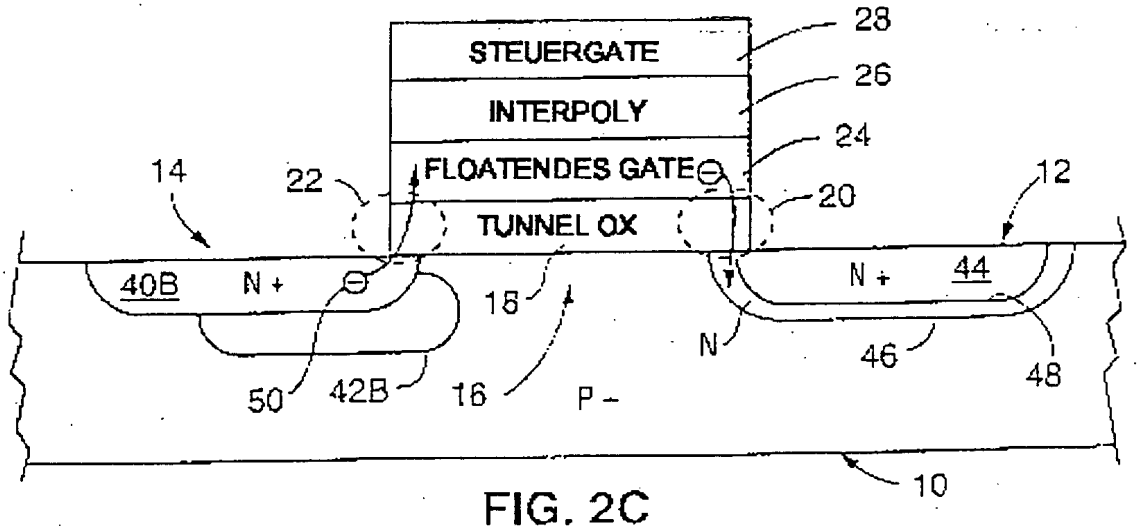

FIG. 2C

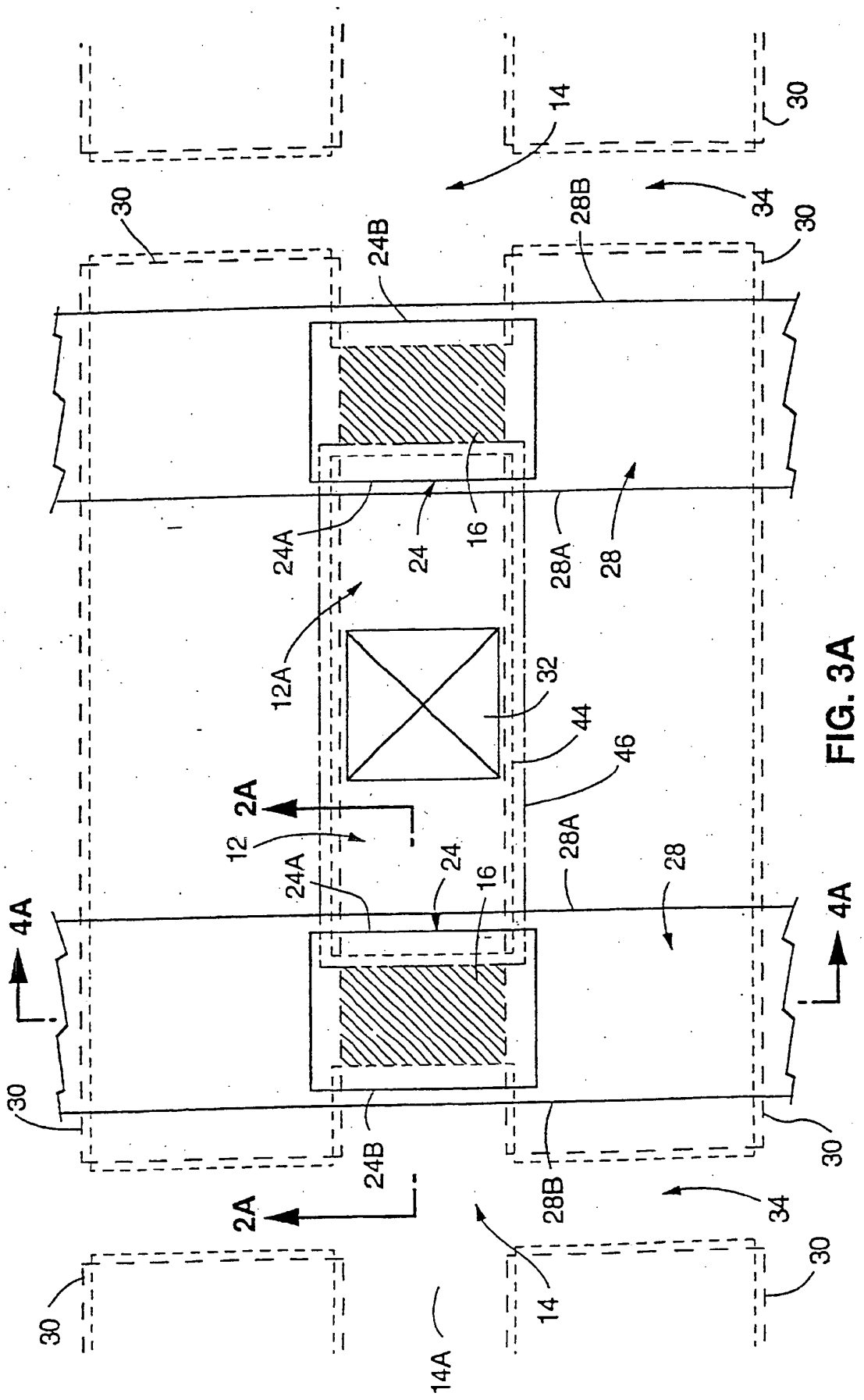

FIG. 3A

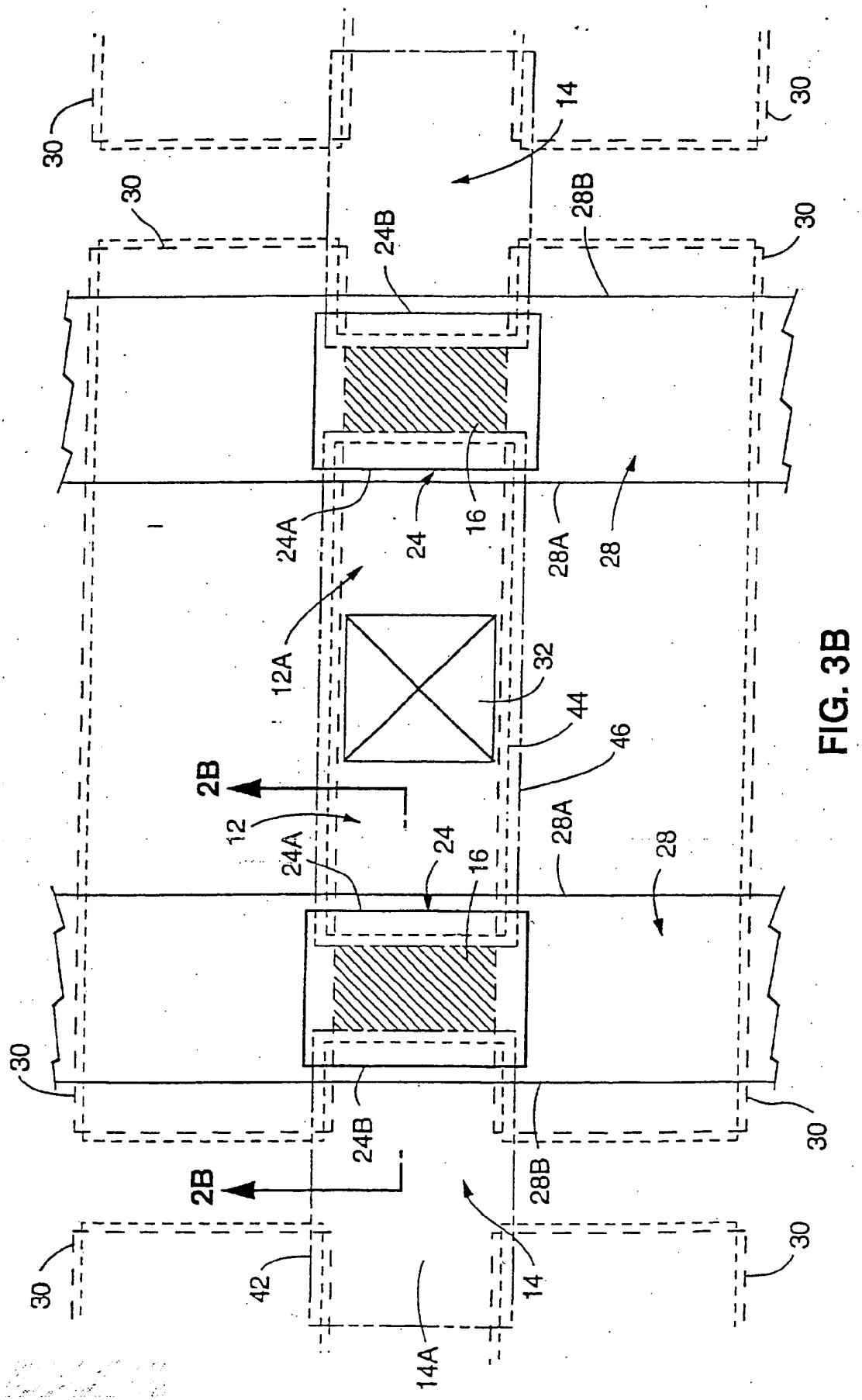
30
30
14
30
30
28B
24B
30
24A
24
16
28A
28
12A
32
44
46
2B
12
24A
24
16
28A
28
30
24B
30
28B
2B
30
42
14
30
14A

FIG. 3B

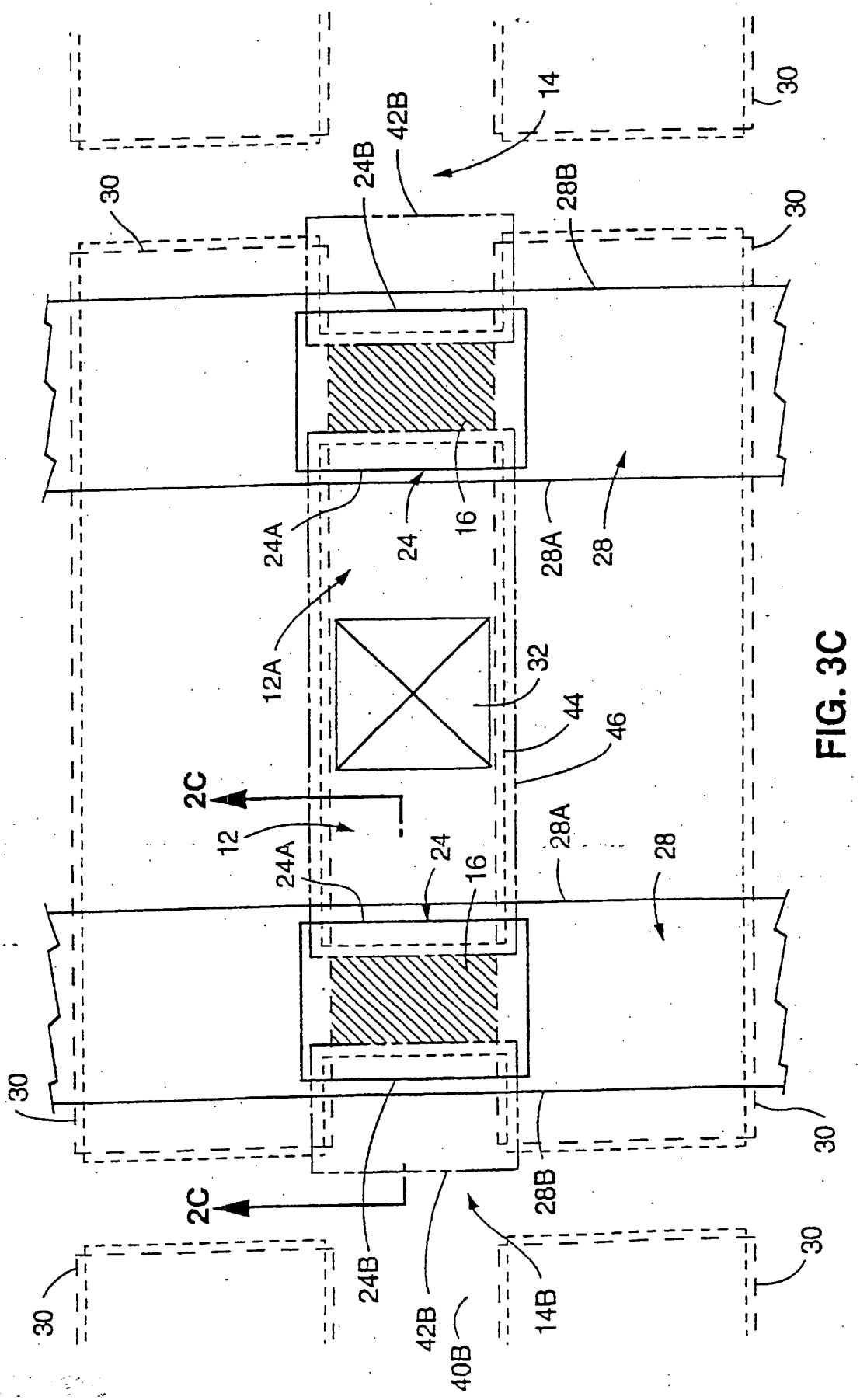
30
14
42B
24B
28B
30
30
24A
24
16
28A
28
12A
32
44
46
2C
12
24A
24
16
28A
28
30
30
2C
28B
30
24B
42B
14B
30
40B

FIG. 3C

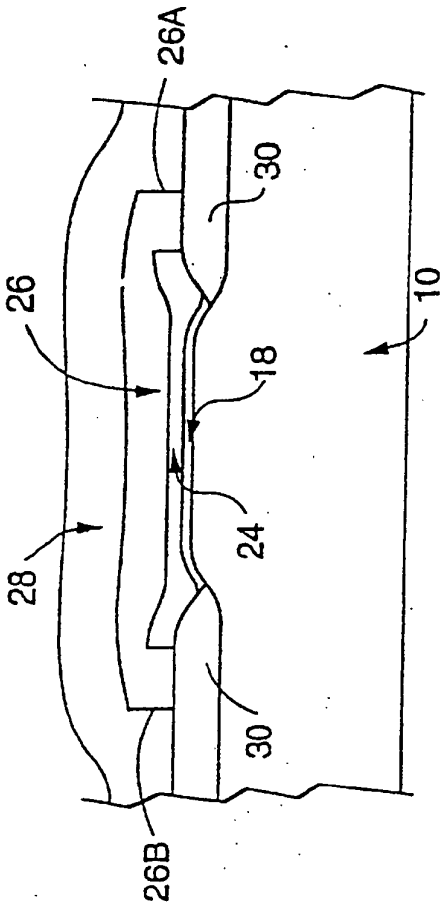
26A
30
26
10
18
24
28
30
26B

FIG. 4A

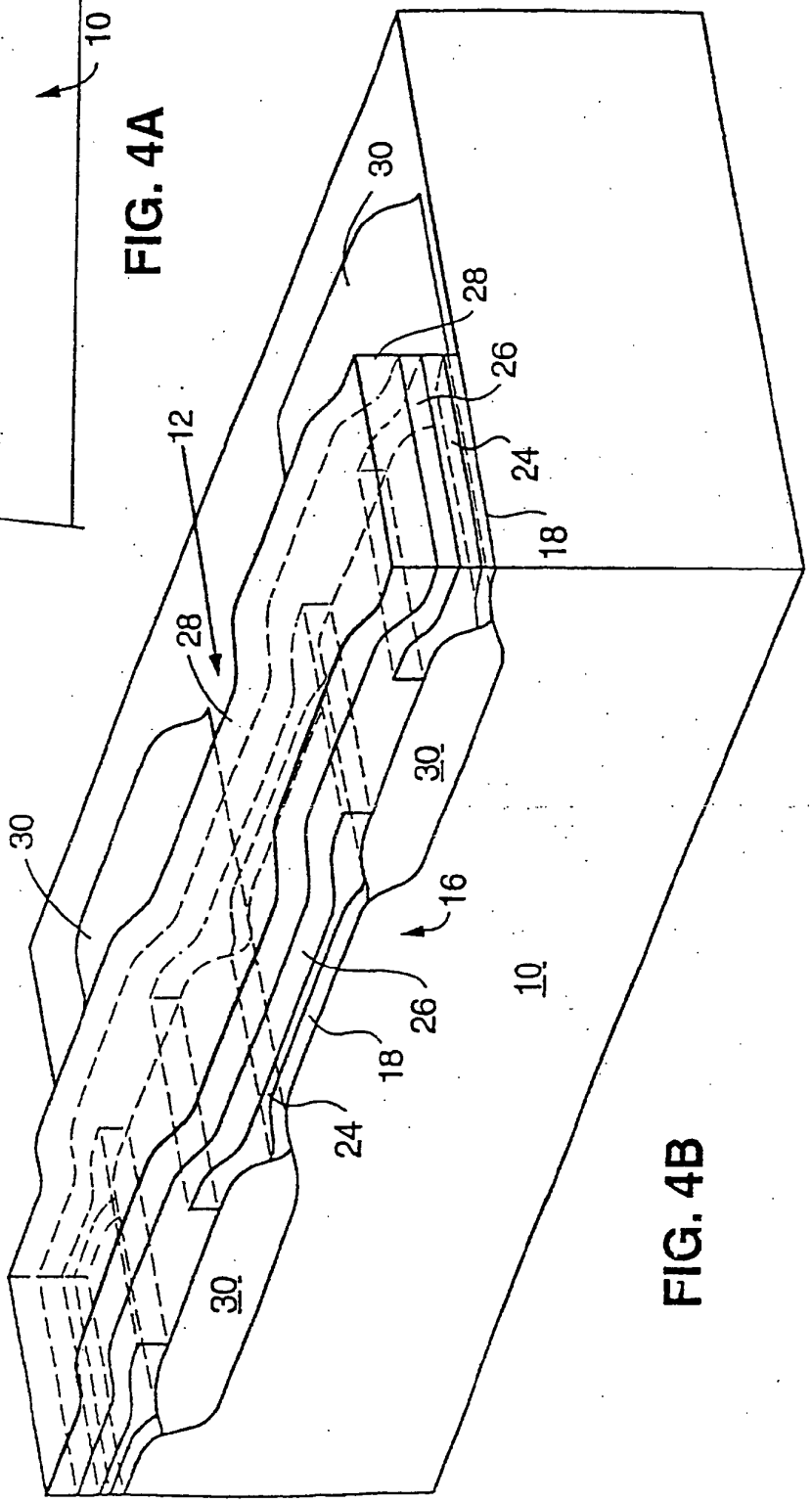
30
28
26
24
18
12
28
30
30
16
10
26
18
24
30

FIG. 4B

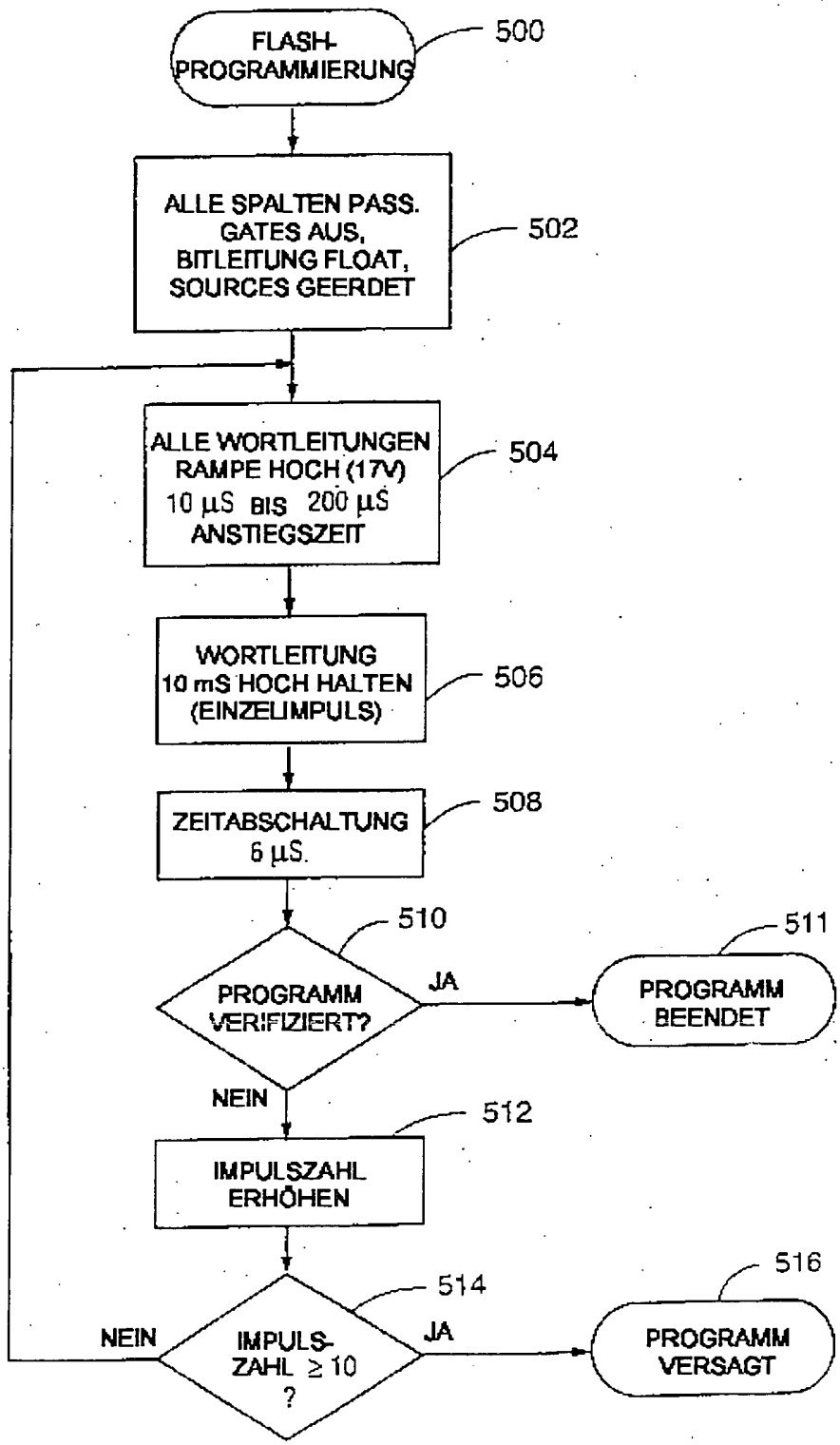
FLASH-PROGRAMMIERUNG
500
ALLE SPALTEN PASS. GATES AUS, BITLEITUNG FLOAT, SOURCES GEERDET
502
ALLE WORTLEITUNGEN RAMPE HOCH (17V) 10 µS BIS 200 µS ANSTIEGSZEIT
504
WORTLEITUNG 10 mS HOCH HALTEN (EINZELIMPULS)
506
ZEITABSCHALTUNG 6 µS.
508
510
PROGRAMM VERIFIZIERT?
JA
511
PROGRAMM BEENDET
NEIN
512
IMPULSZAHL ERHÖHEN
514
IMPULS-ZAHL ≥ 10 ?
NEIN
JA
516
PROGRAMM VERSAGT

FIG. 5

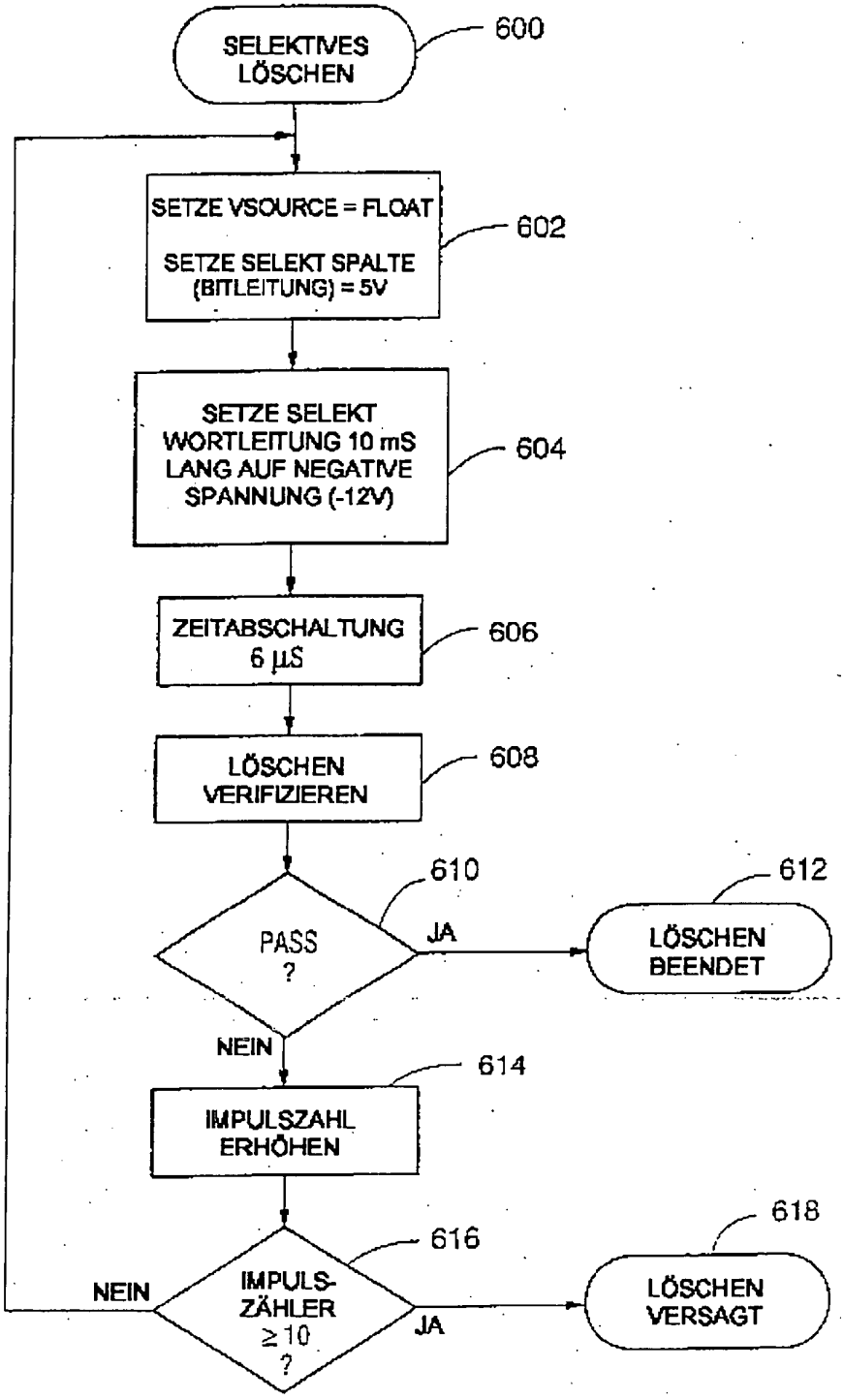
SELEKTIVES LÖSCHEN
600
SETZE VSOURCE = FLOAT
SETZE SELEKT SPALTE (BITLEITUNG) = 5V
602
SETZE SELEKT WORTLEITUNG 10 mS LANG AUF NEGATIVE SPANNUNG (-12V)
604
ZEITABSCHALTUNG 6 µS
606
LÖSCHEN VERIFIZIEREN
608
PASS ?
610
JA
LÖSCHEN BEENDET
612
NEIN
IMPULSZAHL ERHÖHEN
614
IMPULS-ZÄHLER ≥10 ?
616
NEIN
JA
LÖSCHEN VERSAGT
618

FIG. 6

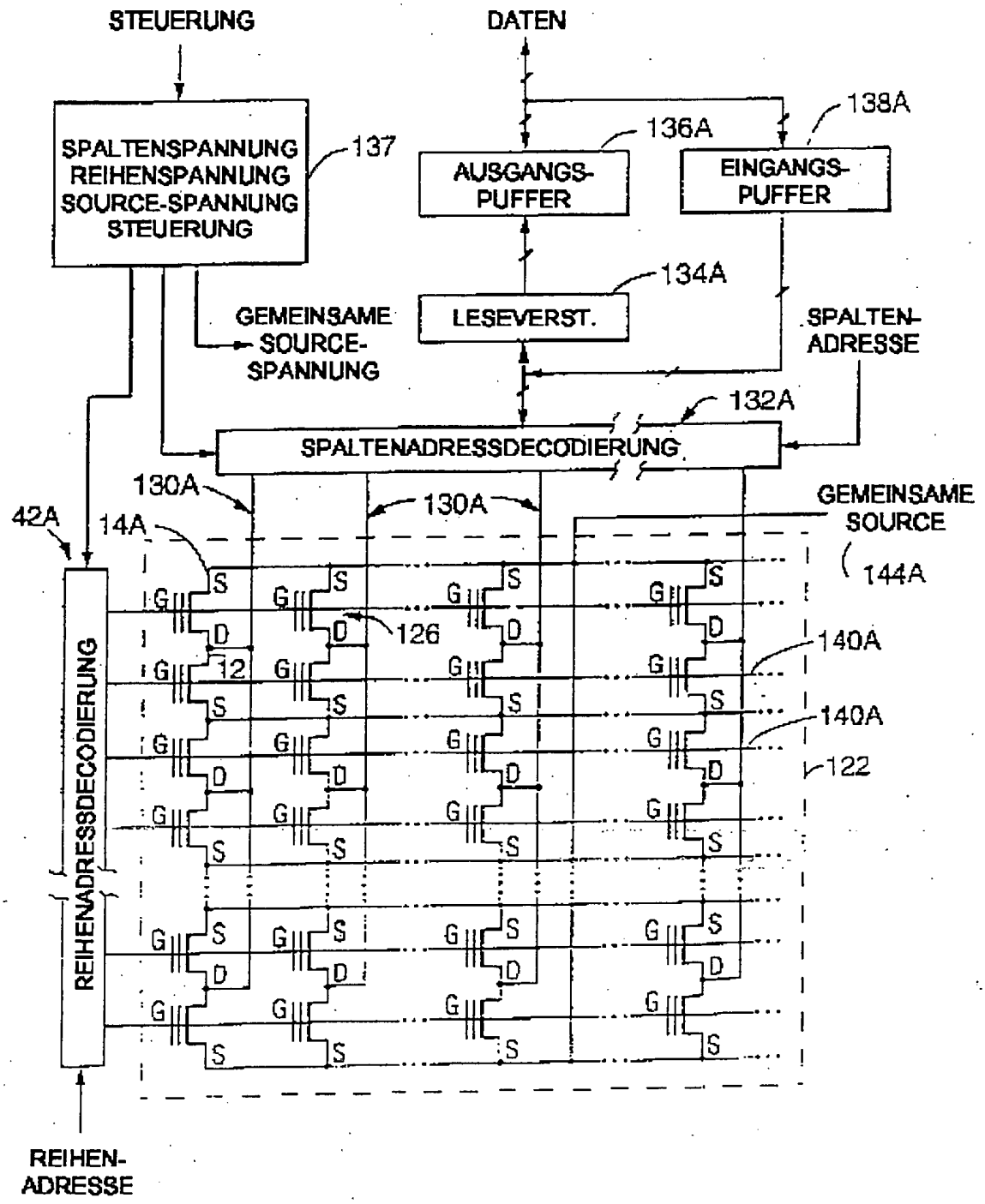
STEUERUNG
DATEN
SPALTENSPANNUNG
REIHENSPANNUNG
SOURCE-SPANNUNG
STEUERUNG
137
138A
136A
AUSGANGS-
PUFFER
EINGANGS-
PUFFER
134A
LESEVERST.
GEMEINSAME
SOURCE-
SPANNUNG
SPALTEN-
ADRESSE
132A
SPALTENADRESSDECODIERUNG
130A
130A
GEMEINSAME
SOURCE
144A
42A
14A
126
140A
140A
122
REIHENADRESSDECODIERUNG
REIHEN-
ADRESSE

FIG. 7

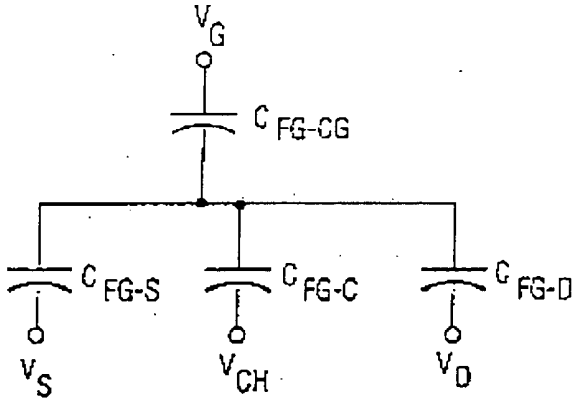
V_G
C_{FG-CG}
C_{FG-S}
C_{FG-C}
C_{FG-D}
V_S
V_{CH}
V_D

FIG. 8

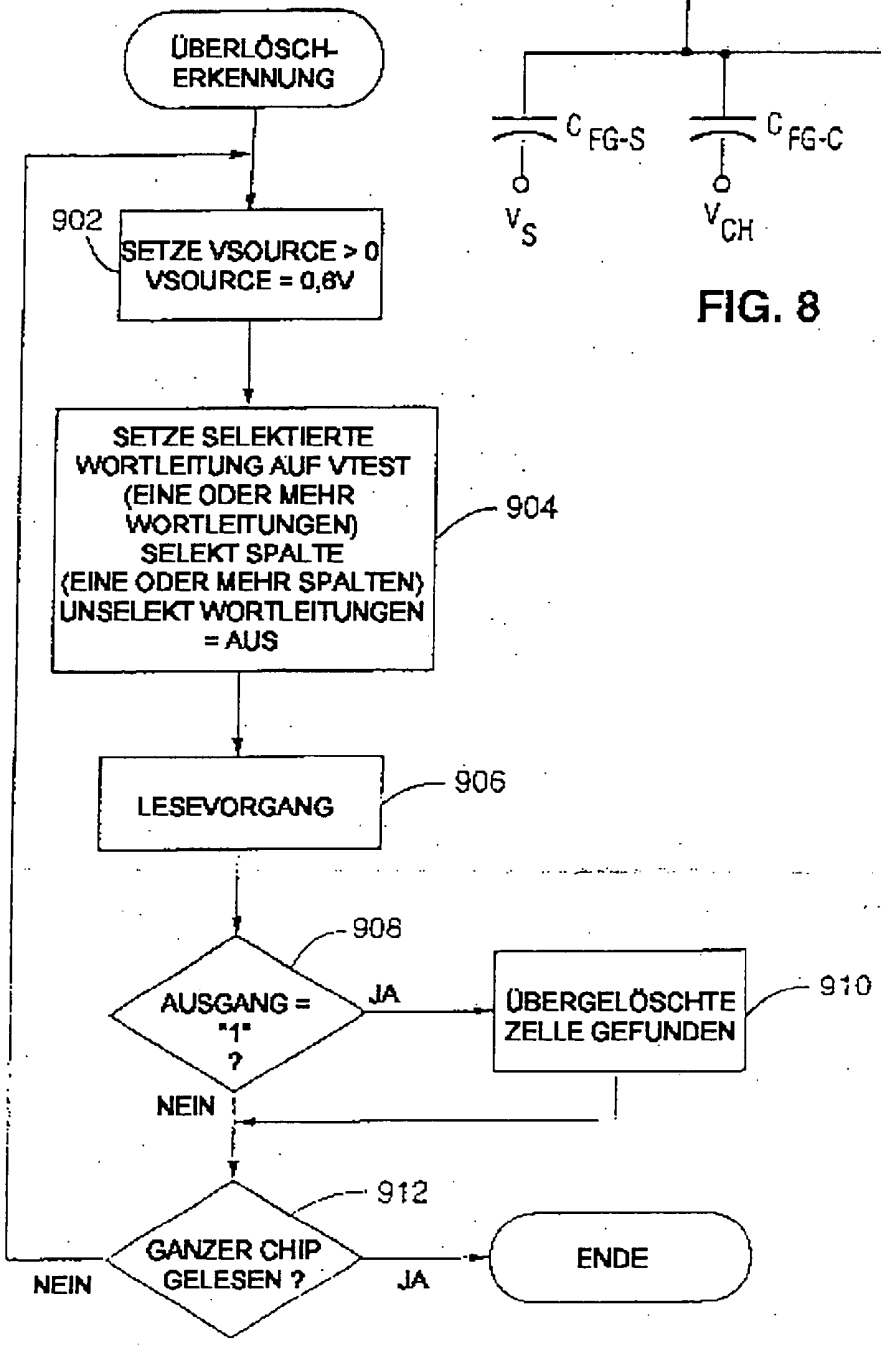
ÜBERLÖSCH-ERKENNUNG
902
SETZE VSOURCE > 0
VSOURCE = 0,6V
SETZE SELEKTIERTE WORTLEITUNG AUF VTEST (EINE ODER MEHR WORTLEITUNGEN) SELEKT SPALTE (EINE ODER MEHR SPALTEN) UNSELEKT WORTLEITUNGEN = AUS
904
LESEVORGANG
906
908
AUSGANG = "1" ?
JA
ÜBERGELÖSCHTE ZELLE GEFUNDEN
910
NEIN
912
GANZER CHIP GELESEN ?
NEIN
JA
ENDE

FIG. 9

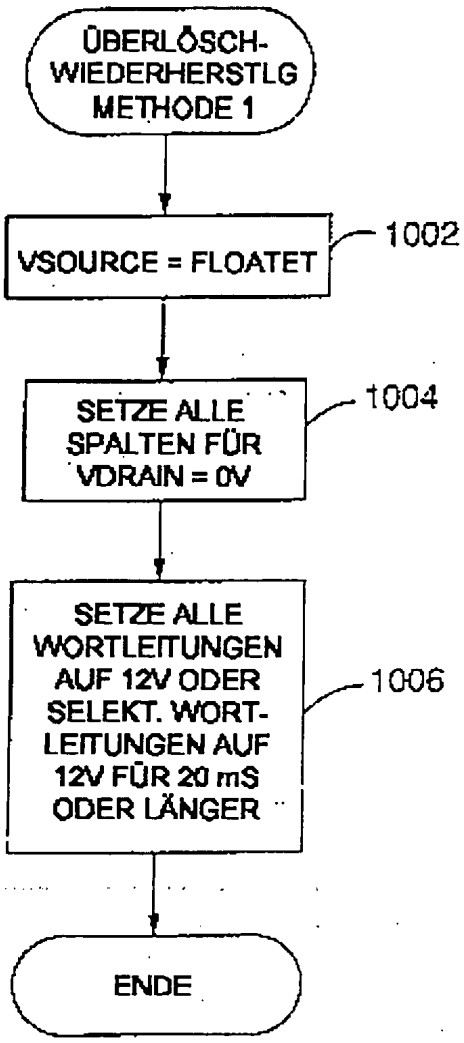

FIG. 10A

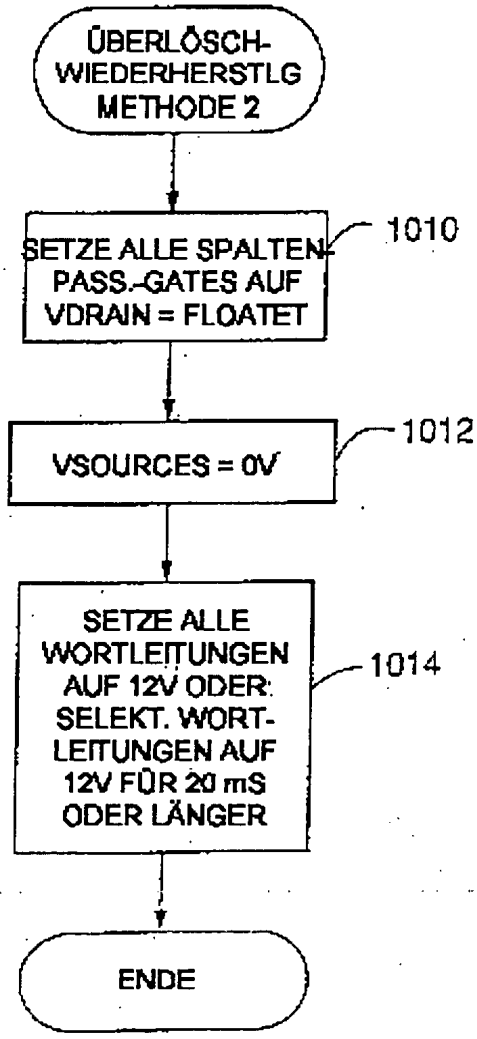

FIG. 10B

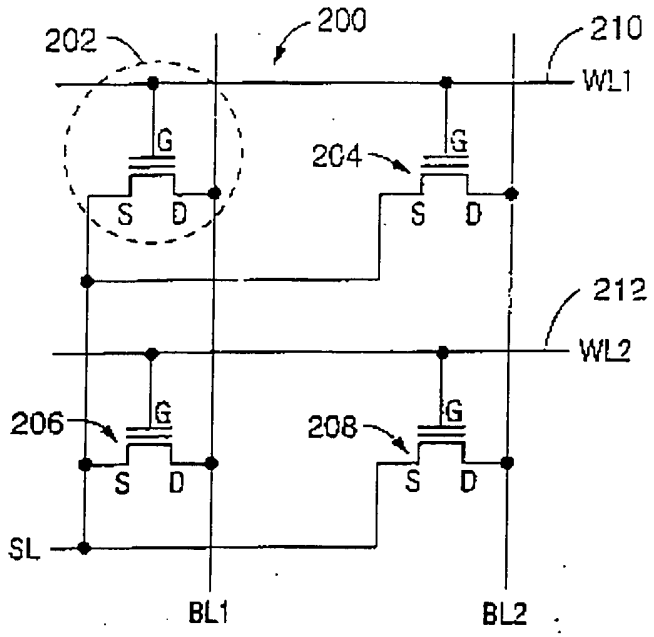
202
200
210
WL1
G
S
D
204
212
WL2
206
208
SL
BL1
BL2

FIG. 11

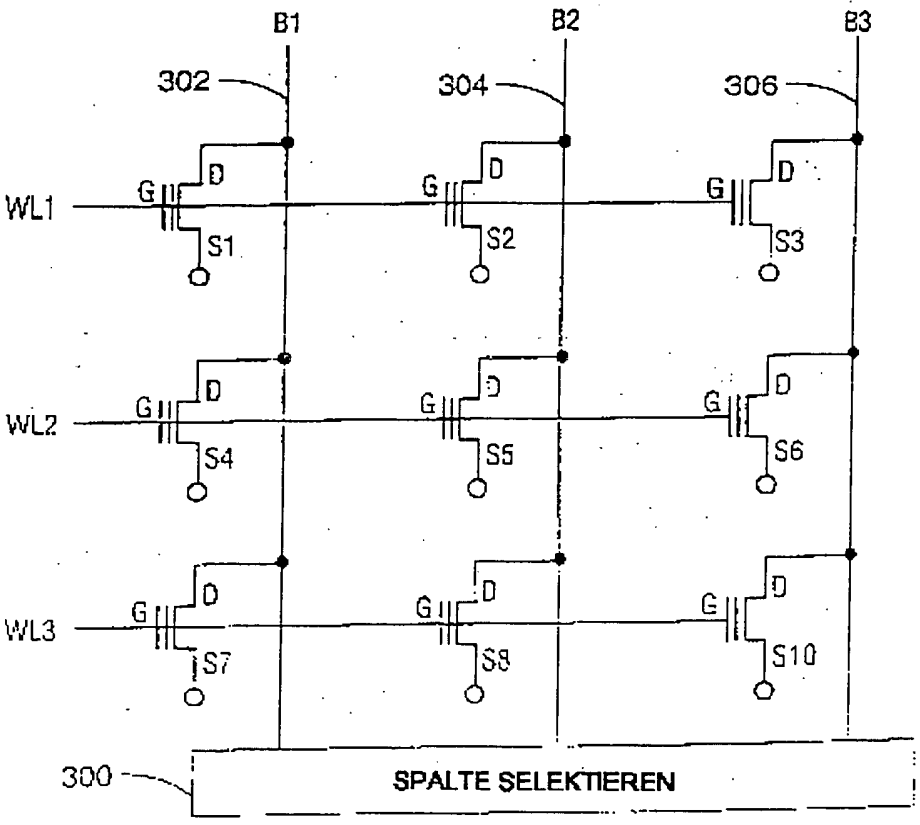
B1
B2
B3
302
304
306
WL1
WL2
WL3
G
D
S1
S2
S3
S4
S5
S6
S7
S8
S10
300
SPALTE SELEKTIEREN

FIG. 12

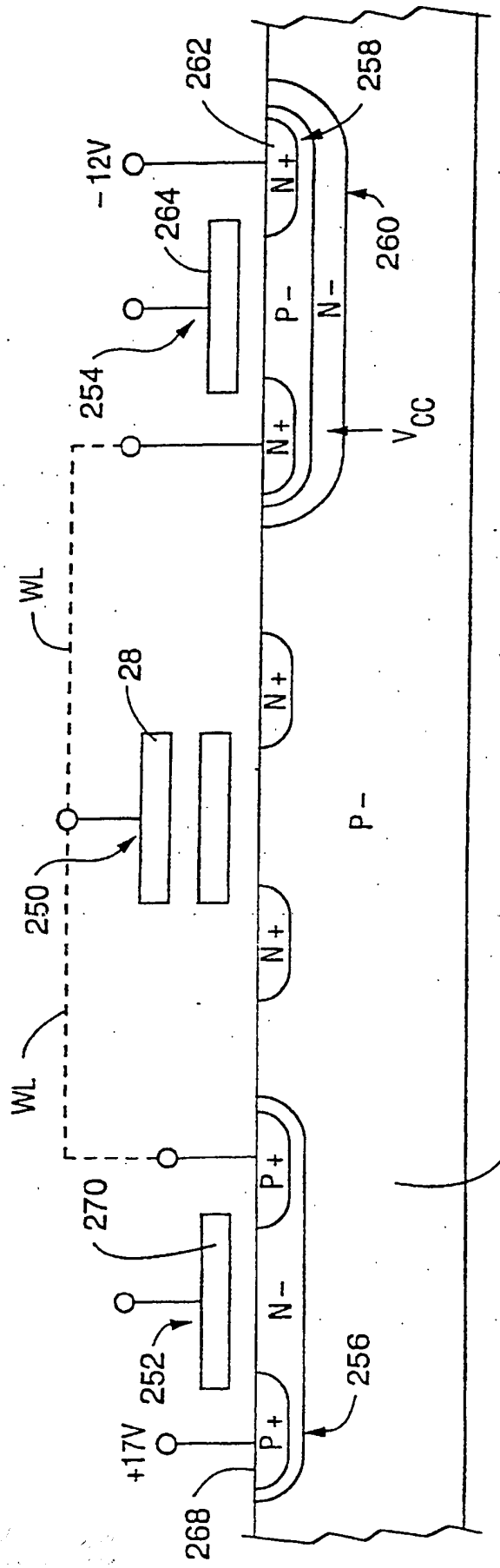
262
258
-12V
264
260
254
N+
P-
N-
V_{CC}
WL
28
250
WL
N+
P-
266
270
P+
N-
252
+17V
256
268

FIG. 13

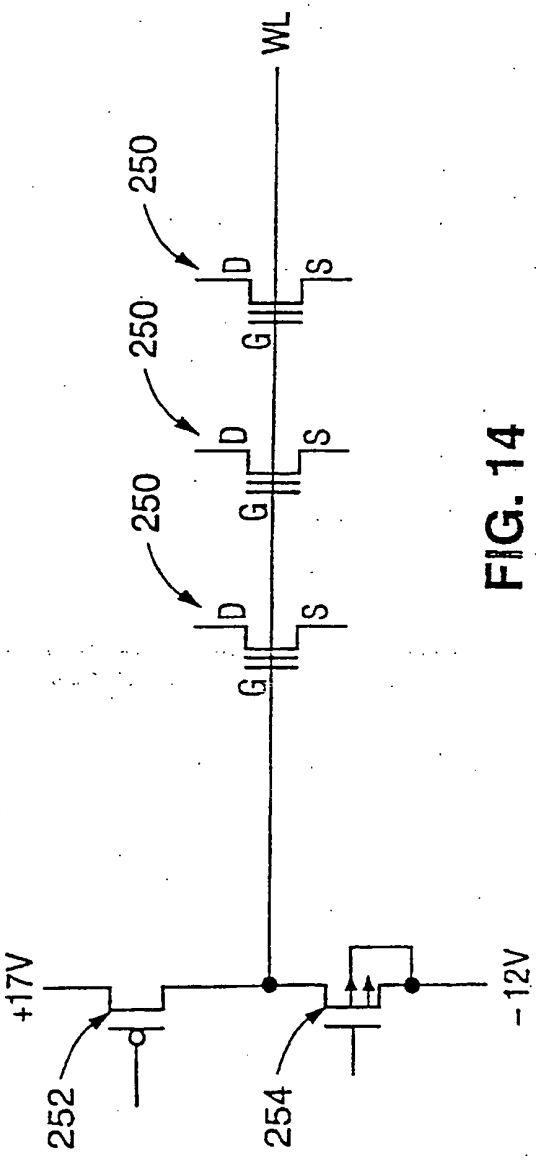
WL
250
250
250
D
G
S
+17V
-12V
252
254

FIG. 14