

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 2월 5일 (05.02.2015)



(10) 국제공개번호
WO 2015/016541 A1

- (51) 국제특허분류: B82B 3/00 (2006.01) B81B 7/04 (2006.01)
- (21) 국제출원번호: PCT/KR2014/006833
- (22) 국제출원일: 2014년 7월 25일 (25.07.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2013-0091107 2013년 7월 31일 (31.07.2013) KR
- (71) 출원인: 국립대학법인 울산과학기술대학교 산학협력단 (UNIST ACADEMY-INDUSTRY RESEARCH CORPORATION) [KR/KR]; 689-798 울산시 울주군 언양읍 유니스트 길 50, Ulsan (KR).
- (72) 발명자: 최경진 (CHOI, Kyoung-Jin); 361-951 충청북도 청주시 흥덕구 오송읍 오송생명 3로 87 504-1702, Chungcheongbuk-do (KR).
- (74) 대리인: 이학수 (LEE, Hak-Soo); 611-728 부산시 연제구 법원로 18 906, Busan (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ,

CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

규칙 4.17에 의한 선언서:

— 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

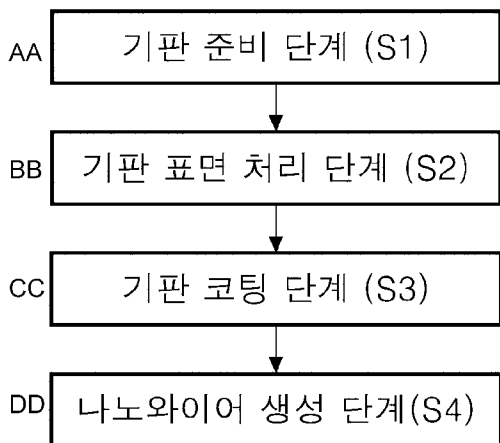
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

[다음 쪽 계속]

(54) Title: METHOD FOR MANUFACTURING NANOWIRE ELEMENT

(54) 발명의 명칭: 나노와이어 소자 제조 방법



- AA ... Substrate preparation step (S1)
- BB ... Substrate surface treatment step (S2)
- CC ... Substrate coating step (S3)
- DD ... Nanowire-forming step (S4)

(57) Abstract: The objective of the present invention is to provide a method for manufacturing a nanowire element which enhances productivity by uniformly forming nanowires on an entire surface of a single substrate. To achieve this objective, the present invention relates to the method for manufacturing the nanowire element for forming nanowires on the entire surface area of entire substrate, comprising: a substrate preparation step of preparing the substrate for forming the nanowires; a substrate surface treatment step of soaking the prepared substrate in a polylysine solution for a specific duration of time; a substrate coating step of uniformly coating As atoms on the entire surface area of the substrate; and a nanowire-forming step of forming an InAsP nanowire alignment on the substrate which has been coated.

(57) 요약서: 본 발명은 단일 기판 전체면에 대하여 나노와이어를 균일하게 생성하여 생산성을 향상시키는 나노와이어 소자 제조 방법을 제공하는 것을 그 목적으로 한다. 상기의 목적을 달성하기 위하여 본 발명은, 기판 면적 전체에 나노와이어를 생성하는 나노와이어 소자 제조 방법에 있어서, 나노와이어 생성을 위한 기판을 준비하는 기판 준비 단계; 준비된 상기 기판을 폴리라이신 용액에 일정시간 침액시키는 기판 표면 처리 단계; 상기 기판 전면적에 균일하게 As 원자를 코팅하는 기판 코팅 단계; 및 상기 코팅된 기판에 InAsP 나노와이어 배열을 생성하는 나노와이어 생성 단계를 포함하는 것을 특징으로 한다.

WO 2015/016541 A1



-
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

명세서

발명의 명칭: 나노와이어 소자 제조 방법

기술분야

- [1] 본 발명은 나노와이어 소자 제조 방법에 관한 것으로 더욱 상세하게는 반도체 웨이퍼면 전체에 균일하게 나노와이어를 생성하는 나노와이어 소자 제조 방법에 관한 것이다.

배경기술

- [2] 나노와이어는 직경이 나노미터 영역이고, 길이가 직경에 비해 훨씬 큰 수백 나노미터, 마이크로미터 또는 더 큰 밀리미터 단위를 갖는 선형 재료이다. 이러한 나노와이어의 물성은 그들이 갖는 직경과 길이에 의존한다.
- [3] 상기 나노와이어는 작은 크기로 인하여 미세 소자에 다양하게 응용될 수 있으며, 특정 방향에 따른 전자의 이동 특성이나 편광 현상을 나타내는 광학 특성을 이용할 수 있는 장점이 있어, FET와 같이 각종 전자소자의 핵심부품인 트랜지스터로 이용될 수 있고, 각종 화학센서 및 바이오센서 등에 응용이 가능하다.
- [4] 나노와이어를 현재 나노 기술 분야에서 널리 연구되고 있으며, 현재 레이저와 같은 광소자, 트랜지스터 및 메모리 소자 등 다양한 분야에 널리 응용되고 있는 차세대 기술이다. 현재 나노 와이어에 사용되는 재료는 실리콘, 아연 산화물과 발광반도체인 갈륨질화물 등의 III-V족 카드뮴설과이드계의 II-VI족 반도체 물질 등이 있다. 현재 나노와이어 제조 공정 기술은 나노 와이어의 길이 및 폭을 조절할 수 있는 수준까지 발전했으나 기판 위의 원하는 위치에 배열하여 소자화하기 위한 기술은 아직 성숙하지 못한 상황이다.
- [5] 기존의 대표적인 코어/셸 형태의 나노와이어 제조방법으로는 예를 들어, 화학기상증착법(Chemical Vapor Deposition: CVD), 레이저 어블레이션법(Laser Ablation) 및 템플릿(template)을 이용하는 방법 등이 있다.
- [6] 최근 코어/셸 형태의 나노와이어 제조방법으로서, 미국 공개특허 제 2006/0273328호에서 코어/셸로 이루어진 나노 와이어를 형성시킨 후 기판과 분리시켜 셸의 한쪽을 전극으로 접촉시키고 반대편 셸의 일부분을 제거하여 드러난 코어부에 다시 전극을 형성하는 방법이 개시되었다. 여기서 p-GaN과 n-GaN을 코어 및 셸로 만든 나노 와이어로 형성시킨 후 정렬된 나노 와이어 박막 형태로 만들어 한쪽에 전극을 접촉시키고 반대편 셸을 에칭시켜 p-GaN 코어부가 드러나게 하고, 드러난 p-GaN에 전극을 형성하여 발광 소자로 이용하고 있다.
- [7] 또한 공개특허 제2004-0090524 호에는 다중벽 구조의 ZnO계 나노 와이어 및 이의 제조 방법에 관한 것으로, 코어부는 ZnO 나노 와이어이고 셸부는 질화물 반도체, 유전체 등으로 구성된 나노선에 대한 것이 개시되어있다.

- [8] 또한, 공개특허 제2009-0003840호에는 코어부 및 셸부 나노와이어의 접촉을 미리 패턴을 형성한 절연막으로 차단하여 밀도 및 위치 제어가 가능한 코어/셸 형태의 나노와이어를 제조하는 방법이 개시되어 있다.
- [9] 상기 방법들은 재질 등의 특성을 고려하여 효율적인 나노와이어를 제조하는 방법으로 소자에 적용될 수 있는 장점은 있으나, 대부분 기판의 일부 영역에 나노와이어를 형성하는 구성이며, 또한 기판 전체 영역에 나노와이어를 형성하는 경우 기판 영역에 따라 불균일한 분포를 나타내므로, 생산성에 한계를 나타내고 있다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 상기와 같은 종래 기술의 단점을 극복하기 위하여 안출된 것으로, 단일 기판 전체면에 대하여 나노와이어를 균일하게 생성하여 생산성을 향상시키는 나노와이어 소자 제조 방법을 제공하는 것을 그 목적으로 한다.

과제 해결 수단

- [11] 상기의 목적을 달성하기 위하여 본 발명은, 기판 면적 전체에 나노와이어를 생성하는 나노와이어 소자 제조 방법에 있어서, 나노와이어 생성을 위한 기판을 준비하는 기판 준비 단계; 준비된 상기 기판을 폴리라이신 용액에 일정시간 침액시키는 기판 표면 처리 단계; 상기 기판 전면적에 균일하게 As 원자를 코팅하는 기판 코팅 단계; 및 상기 코팅된 기판에 InAsP 나노와이어 배열을 생성하는 나노와이어 생성 단계를 포함하는 것을 특징으로 한다.
- [12] 바람직하게는, 상기 기판은 실리콘, 유리 위에 실리콘을 코팅한 기판, 인듐석 산화물, 흑연, 황화 몰리브덴, 구리, 아연 및 알루미늄 중 선택된 어느 하나인 것을 특징으로 한다.
- [13] 바람직하게는, 상기 기판 표면 처리 단계에서 상기 기판은 상기 폴리라이신 용액에 1분 내지 10분 침액되는 것을 특징으로 한다.
- [14] 바람직하게는, 상기 기판 코팅 단계에서 As코팅은 유기금속화학증착법으로 AsH_3 전구체를 기판에 흘려 수행되는 것을 특징으로 한다.
- [15] 바람직하게는, 상기 나노와이어 생성 단계에서 나노와이어는 유기금속화학증착법으로 In, As 및 P원자 전구체를 동시에 흘려 생성되는 것을 특징으로 한다.
- [16] 더욱 바람직하게는, 상기 In, As 및 P원자 전구체는 비율을 달리 공급하여 나노와이어의 In, As와 P의 조성비율을 조절하는 것을 특징으로 한다.
- [17] 더욱 바람직하게는, 상기 나노와이어 생성 단계 이후 나노와이어 표면에 InP 성분의 패시베이션 층을 형성하여 광소자로 응용 시, 광여기된 전자-전공이 InAsP 나노선 표면에 존재하는 고농도의 표면결함에 비발광적으로 재결합하는 메커니즘을 억제하는 패시베이션 층 생성 단계를 더 포함하는 것을 특징으로 한다.

[18] 더욱 바람직하게는, 상기 패시베이션 층 생성 단계 이후에 상기 나노와이어 끝단에 전기적 연결을 위하여 TCO 층을 추가로 형성하는 TCO 층 생성 단계를 더 포함하는 것을 특징으로 한다.

[19] 더욱 바람직하게는, 상기 기판은 p-형 실리콘 재질이고 상기 나노와이어는 n형 $\text{InAs}_{0.75}\text{P}_{0.25}$ 재질인 것을 특징으로 한다.

발명의 효과

[20] 본 발명에 따른 나노와이어 소자 제조 방법은 표준 크기의 기판 상면 전체 영역에 나노와이어를 균일한 밀도로 생성하는 것을 특징으로 하여, 소자 양산 시에 높은 생산성을 나타내는 효과가 있으며, 또한 물리적 특성 역시 우수하여 다양한 소자로소 활용 가능한 효과가 있다.

도면의 간단한 설명

- [21] 도 1은 본 발명에 따른 나노와이어 소자 제조 방법의 절차도이며,
 [22] 도 2는 비교예의 방법으로 제조된 기판의 외형 사진이며,
 [23] 도 3은 도 2에 생성된 나노와이어의 전자현미경 사진이며,
 [24] 도 4는 실시예의 방법으로 제조된 기판의 외형 사진이며,
 [25] 도 5는 도 2에 생성된 나노와이어의 전자현미경 사진이며,
 [26] 도 6은 실시예의 방법으로 제조된 다른 기판의 외형 사진이며,
 [27] 도 7은 도 6에 생성된 나노와이어의 전자현미경 사진이며,
 [28] 도 8은 도 6에 생성된 다른 나노와이어의 전자현미경 사진이며,
 [29] 도 9는 도 6의 위치별 나노와이어 밀도 분포 그래프이며,
 [30] 도 10은 도 6의 위치별 나노와이어의 직경 분포 그래프이며,
 [31] 도 11은 실시예의 방법으로 제조된 나노와이어의 포토루미네선스 그래프이며,
 [32] 도 12는 실시예의 방법으로 제조된 나노와이어 표면에 패시베이션 층을 추가한 구성의 XRD스펙트럼 그래프이며,
 [33] 도 13은 실시예의 방법으로 제조된 나노와이어의 EDX 그래프이며,
 [34] 도 14는 실시예의 방법으로 제조된 나노와이어의 조성에 따른 XRD스펙트럼 그래프이며,
 [35] 도 15는 실시예의 방법으로 제조된 나노와이어를 태양전지로 구현한 전자현미경 사진이며,
 [36] 도 16은 도 15의 전류-전압 특성 그래프이며,
 [37] 도 17은 도 15의 이상계수와 정류률 값의 그래프이다.

발명의 실시를 위한 형태

[38] 이하 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 구체적으로 설명한다.

[39] 본 발명에 따른 나노와이어 소자 제조 방법은 도 1에 도시된 바와 같이, 기판 준비 단계(S1), 기판 표면 처리 단계(S2), 기판 코팅 단계(S3) 및 나노와이어 생성 단계(S4)를 포함하여 구성된다.

- [40] 상기 단계들을 상세히 설명하면 다음과 같다.
- [41] 1) 기판 준비 단계(S1)
- [42] 기판 준비 단계(S1)는 나노와이어를 생성하기 위한 기판을 준비하는 단계이다. 여기서 상기 기판은 특별한 제한은 없으나, 일측의 전극으로 사용하기 위해서는 실리콘, 유리 위에 실리콘을 코팅한 기판, 인듐석 산화물, 흑연, 황화 몰리브덴, 구리, 아연, 알루미늄 등 전도성 재질이면 무방하나, 바람직하게는 n형 또는 p형이 도핑된 실리콘이 적절하다.
- [43] 또한 표면의 불순물을 제거하기 위한 크리닝 작업 등 통상의 사전 기판 처리와 동일한 방법으로 진행한다.
- [44]
- [45] 2) 기판 표면 처리 단계(S2)
- [46] 기판 표면 처리 단계(S2)에서는 기판 준비 단계(S1)를 통하여 준비된 기판의 표면을 별도로 처리하는 단계이다.
- [47] 상기 단계에서는 기판을 폴리라이신(poly-L-lysine, PLL) 용액에 일정시간 침액(dipping)시킨다.
- [48] 상기 침액에 의하여 상기 기판의 표면에는 얇은 고분자 전해질(polyelectrolyte)이 형성되어 기판 표면은 '+' 전하가 띄게 된다.
- [49] 상기 침액시간은 1분 내지 10분이 적절하다. 상기 침액시간이 1분 미만인 경우에는 기판 표면의 '+' 전하 생성이 완전하지 않으며, 10분을 초과하는 경우 생산성이 악화된다.
- [50]
- [51] 3) 기판 코팅 단계(S3)
- [52] 상기 기판 표면 처리 단계(S2)에 의하여 표면 처리된 기판은 기판 코팅 단계(S3)가 수행된다.
- [53] 상기 기판 코팅 단계(S3)는 PLL 처리된 기판을 유기금속화학증착법(MOCVD: Metal Organic Chemical Vapor Deposition)을 이용하는데 폴리라이신 처리된 기판을 MOCVD 챔버에 장입 후, 챔버 내부에 수소 가스를 15 L/min의 유량으로 흘려줌으로써 내부 압력을 10 mbar 내지 100 mbar, 기판 온도는 570°C도 내지 630°C로 유지하면서 '-' 전하를 띄는 AsH₃ 전구체를 기판 위에 1분간 흘려준다.
- [54] 상기 단계(S3)에서는 '+' 전하의 기판 표면과 '-' 전하의 AsH₃ 사이의 정전기적 반응으로 인하여 기판 전면적에 균일하게 As 원자가 코팅된다.
- [55]
- [56] 4) 나노와이어 생성 단계(S4)
- [57] 상기 기판 코팅 단계(S3)에서 기판 표면은 As 원자가 코팅되어 있으므로, 이후 동일한 유기금속화학증착법을 이용하여 기판 표면에 In 및 P 원자 전구체를 동시에 흘려주면, 기판 전면적에 균일한 InAsP 나노와이어 배열이 형성된다.
- [58] As과 P 원자의 조성이 변조된 InAs_yP_{1-y} 나노선을 합성하기 위해서 In, As, 및 P 전구체인 trimethylindium(TMIn), arsine(AsH₃), 및 phosphine(PH₃)을 각각 2×10⁻⁵,

2.2×10^{-4} , $4.5 \times 10^{-3} \sim 8.4 \times 10^{-2}$ mol/min 의 유량으로 흘려주었고 챔버 압력 및 온도는 S3 단계와 동일하게 유지한다.

[59]

[60] 실시예

[61] 먼저 준비된 2인치 직경의 실리콘 기판을 PLL 용액에 3분간 침액시킨 후 바로 MOCVD 챔버에 장입한 후, 내부 압력을 10 mbar 내지 100 mbar, 기판 온도는 570°C 내지 630°C 로 유지하면서, S4단계와 같은 공정 조건으로 In, As, P 전구체를 투입하고 성장 시간은 5분 내지 60분간 지속하여 $\text{InAs}_y\text{P}_{1-y}$ 나노와이어를 생성하였다.

[62]

[63] 비교예

[64] 실시예와 동일한 실리콘 기판을 이용하여 PLL 용액 침액을 제외하고, 나머지는 동일한 방법으로 나노와이어를 생성하였다.

[65]

[66] 시험예 1(외형 분석)

[67] 상기 실시예와 비교예에 의하여 제조된 기판의 외부 형상과 SEM을 통하여 생성된 나노와이어의 형상을 촬영하였다.

[68] 도 2는 비교예의 방법으로 제조된 기판의 외부 형상이고 각 A점과 B점의 SEM사진을 도 3에 도시하였다.

[69] 그리고 실시예의 방법으로 제조된 기판의 외부형상은 도 4에 그리고 도 4의 A점과 B점에서 생성된 나노와이어의 SEM사진을 도 5에 도시하였다.

[70] 비교예에서 생성된 나노와이어는 도 3에 도시된 바와 같이, A지점과 B지점에 밀도 차이를 나타내고 있으나, 실시예의 경우에는 도 5에 도시된 바와 같이 A지점 및 B지점 모두 높은 나노와이어 밀도를 나타내고, 또한 양지점에 동일한 밀도로 생성되었음을 확인할 수 있다.

[71]

[72] 시험예 2(균일성 분석)

[73] 실시예에 의하여 제조된 다른 실리콘 기판에 생성된 나노와이어에 대한 균일성을 분석하였다.

[74] 도 6은 실시예에 의하여 제조된 실리콘 기판의 외형 광학사진이며, 도 7은 45° 방향에서 촬영한 나노와이어의 SEM 사진이다. 상기 도 7에 도시된 바와 같이 나노와이어가 기판에 수직으로 성장하였음을 확인하였다.

[75] 도 8은 측면에서 촬영한 나노와이어의 SEM 사진으로 상기 도면을 통하여 나노와이어의 평균길이가 $14\mu\text{m}$ 임을 확인하였다.

[76] 도 9는 도 6의 A, B 및 C지점의 밀도를 나타낸 그래프로 위치에 무관하게 나노와이어의 밀도가 균일함을 확인할 수 있고, 도 10에 도시된 바와 같이, 나노와이어의 직경 역시 위치에 무관하게 균일함을 확인하였다.

[77]

[78] 시험예 3(스펙트럼 분석)

[79] 실시예에 의하여 나노와이어 표면에 InP 패시베이션 층을 형성하여 포토루미네선스(PL) 분석을 수행한 결과 도 11에 도시된 바와 같이, 50배의 포토루미네선스 스펙트럼 강도 증가를 나타내었다. 패시베이션 층이 없는 나노와이어 표면에는 무수한 표면 결함(surface states)이 존재하여 광여기된 전자-전공이 발광적으로 재결합되지 못하고 표면 결합되기 때문이며, 이때 표면에 밴드갭 에너지가 큰 InP로 나노와이어 표면을 패시베이션하면, InP에 의하여 표면 결함과 공간적으로 분리되므로, 비발광 재결합이 감소하게 되는 것에 그 이유가 있다.

[80] 도 12에는 InAs_{0.75}P_{0.25} 나노와이어의 XRD 스펙트럼 값이 도시되어 있다. 25.6도에서 관찰된 피크치는 나노와이어에 의한 값이고, 0.1도의 작은 반치폭(full width at half maximum)은 나노와이어의 우수한 결정성을 의미한다.

[81] 도 13은 EDX(energy-dispersive X-ray spectroscopy)을 이용하여 나노와이어의 길이방향 조성성분을 분석한 그래프이다. 여기서 As의 조성이 75%로 관찰되어 PL 및 XRD로부터 결정된 조성과 정확히 일치함을 확인하였다.

[82] 도 14는 As 및 P 원자 조성이 변조된 나노와이어 XRD 스펙트럼을 나타내는 그래프이다. 순수한 InP에서 P 조성이 증가함에 따라 징크블렌드(Zincblende) 구조를 가지는 InAs_yP_{1-y} 나노와이어 피크값이 25.3도에서 점차적으로 25.6도까지 증가함을 확인하였다.

[83]

[84] 시험예 4(광특성 분석)

[85] 실시예의 방법으로 제조된 p형 실리콘 기판과 n형 InAs_{0.75}P_{0.25} 나노와이어 상단에 TCO 층을 형성하여 이중접합 태양전지를 제조하였다.

[86] 도 15는 제조된 태양전지의 SEM 사진이며, 도 16은 상온에서 측정된 상기 태양전지의 전류-전압 특성 그래프이며, 도 17은 전류-전압 특성 그래프로부터 구한 이상계수(ideality factor)와 정류률(rectifying ratio) 도표이다.

[87] 본 실시예에서 구현된 p-형 실리콘 기판/n-형 n형 InAs_{0.75}P_{0.25} 나노와이어 이중접합 구조는 동중접합 나노와이어 또는 본딩 공정으로 제작된 이중접합 구조와 비교할 때 우수한 특성을 나타냄을 확인하였다.

[88]

[89] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

[90]

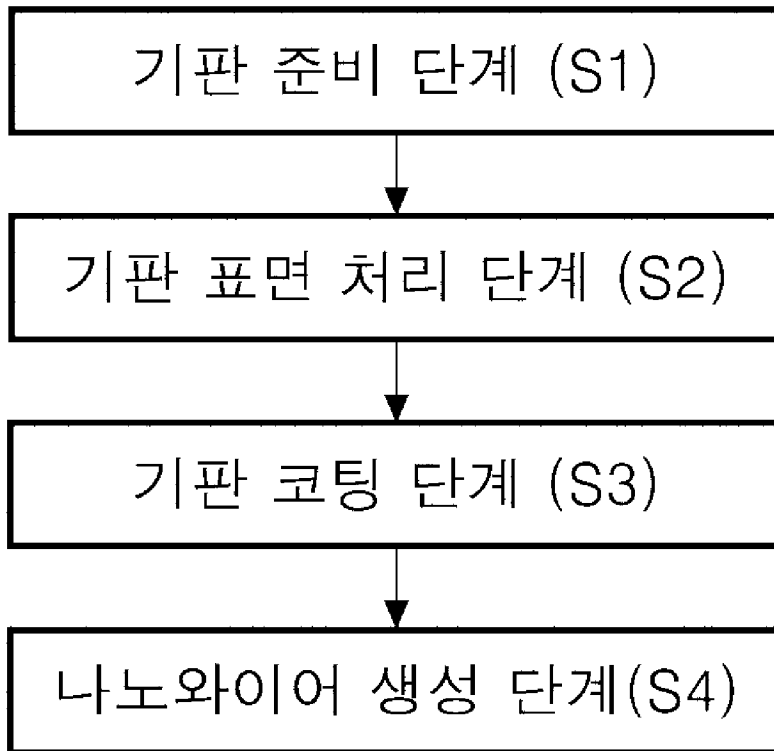
청구범위

- [청구항 1] 기판 면적 전체에 나노와이어를 생성하는 나노와이어 소자 제조 방법에 있어서,
 나노와이어 생성을 위한 기판을 준비하는 기판 준비 단계;
 준비된 상기 기판을 폴리라이신 용액에 일정시간 침액시키는 기판 표면 처리 단계;
 상기 기판 전면적에 균일하게 As 원자를 코팅하는 기판 코팅 단계;
 및
 상기 코팅된 기판에 InAsP 나노와이어 배열을 생성하는 나노와이어 생성 단계를 포함하는 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 2] 청구항 1에 있어서, 상기 기판은 실리콘, 유리 위에 실리콘을 코팅한 기판, 인듐석 산화물, 흑연, 황화 몰리브덴, 구리, 아연 및 알루미늄 중 선택된 어느 하나인 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 3] 청구항 1에 있어서, 상기 기판 표면 처리 단계에서 상기 기판은 상기 폴리라이신 용액에 1분 내지 10분 침액되는 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 4] 청구항 1에 있어서, 상기 기판 코팅 단계에서 As코팅은 유기금속화학증착법으로 AsH_3 전구체를 기판에 흘려 수행되는 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 5] 청구항 1에 있어서, 상기 나노와이어 생성 단계에서 나노와이어는 유기금속화학증착법으로 In, As 및 P원자 전구체를 동시에 흘려 생성되는 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 6] 청구항 5에 있어서, 상기 In, As 및 P원자 전구체는 비율을 달리 공급하여 나노와이어의 In, As와 P의 조성비율을 조절하는 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 7] 청구항 6에 있어서, 상기 나노와이어 생성 단계 이후 나노와이어 표면에 InP 성분의 패시베이션 층을 형성하여 광소자로 응용 시, 광여기된 전자-전공이 InAsP 나노선 표면에 존재하는 고농도의 표면결함에 비발광적으로 재결합하는 메커니즘을 억제하는 패시베이션 층 생성 단계를 더 포함하는 것을 특징으로 하는 나노와이어 소자 제조 방법.
- [청구항 8] 청구항 7에 있어서, 상기 패시베이션 층 생성 단계 이후에 상기 나노와이어 끝단에 전기적 연결을 위하여 TCO 층을 추가로 형성하는 TCO 층 생성 단계를 더 포함하는 것을 특징으로 하는 나노와이어 소자 제조 방법.

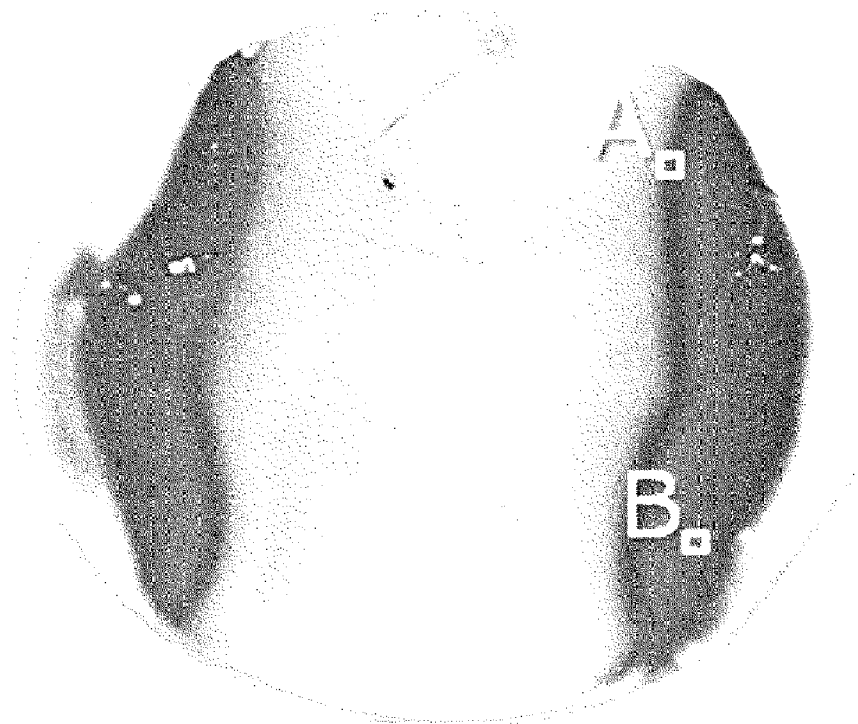
[청구항 9]

청구항 8에 있어서, 상기 기판은 p-형 실리콘 재질이고 상기 나노와이어는 n형 $\text{InAs}_{0.75}\text{P}_{0.25}$ 재질인 것을 특징으로 하는 나노와이어 소자 제조 방법.

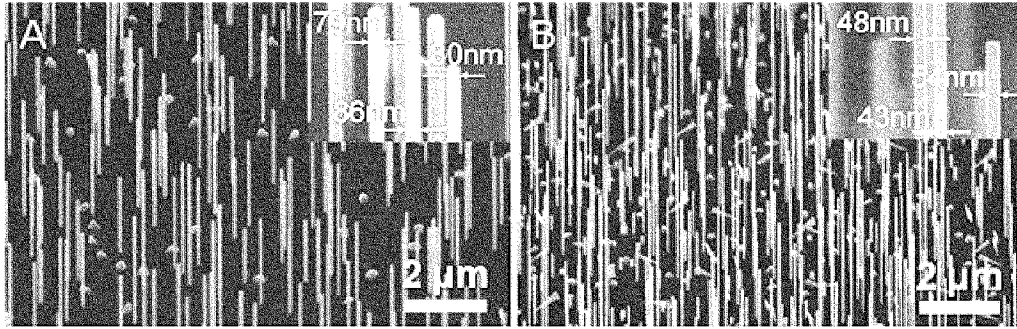
[Fig. 1]



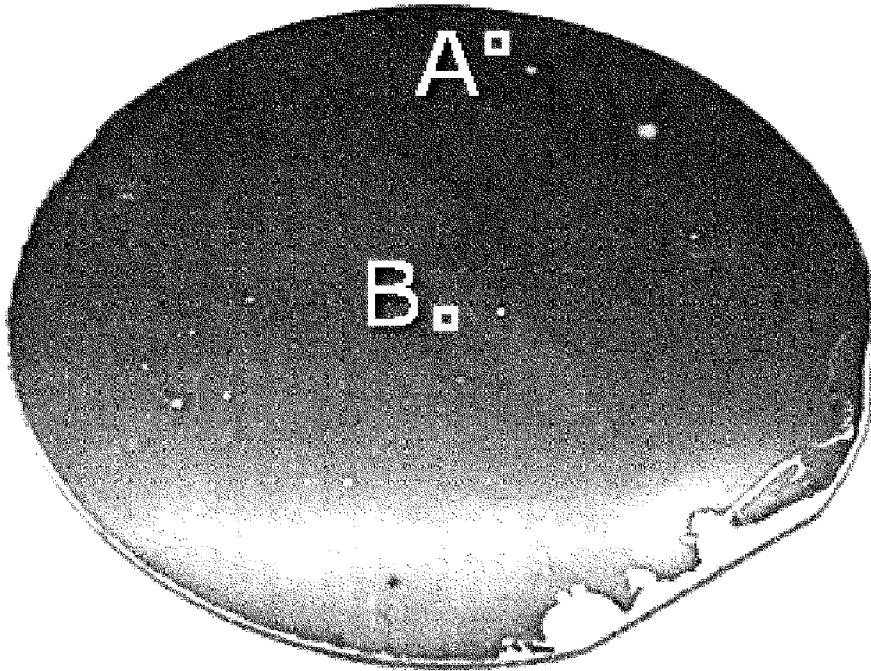
[Fig. 2]



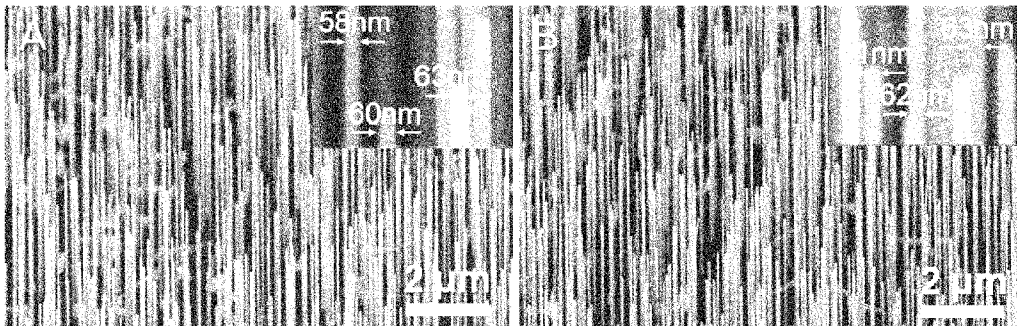
[Fig. 3]



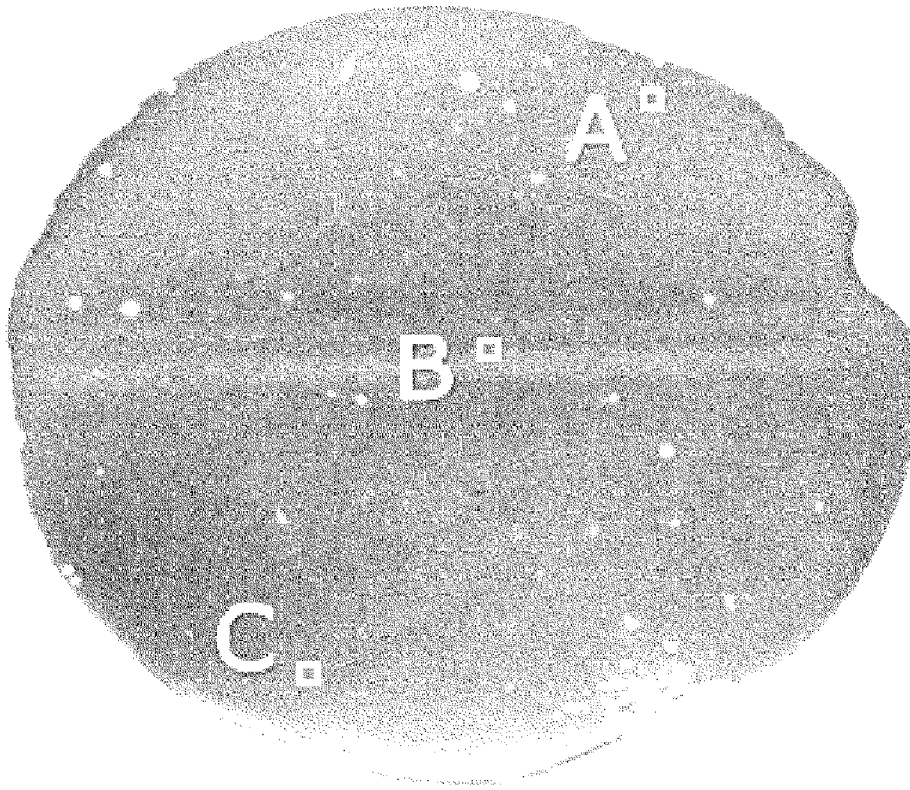
[Fig. 4]



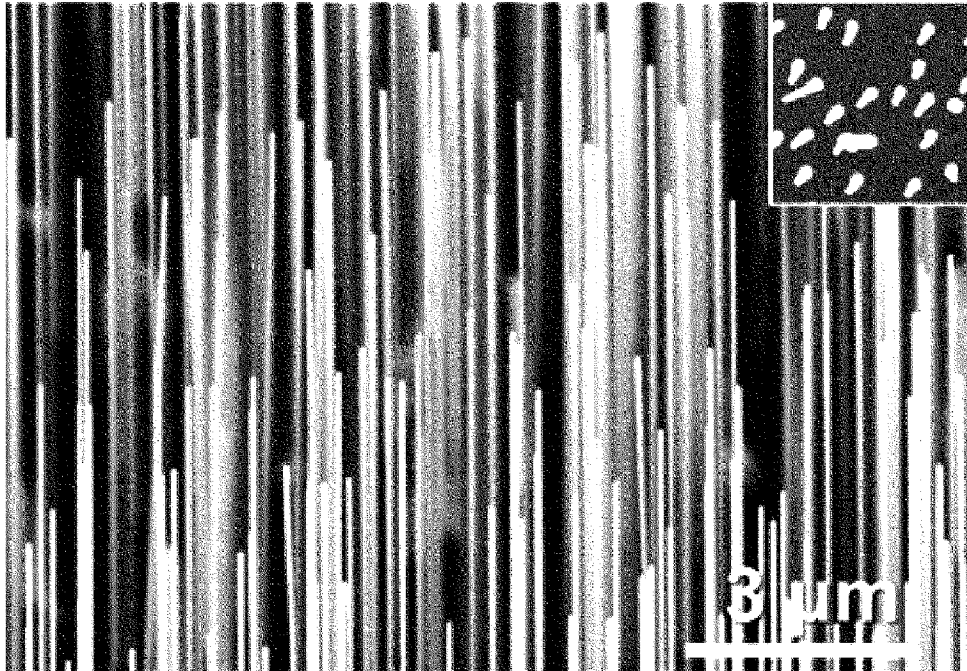
[Fig. 5]



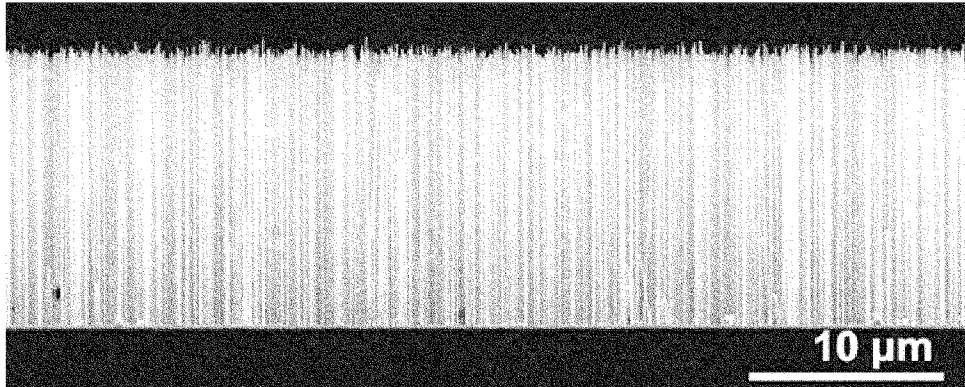
[Fig. 6]



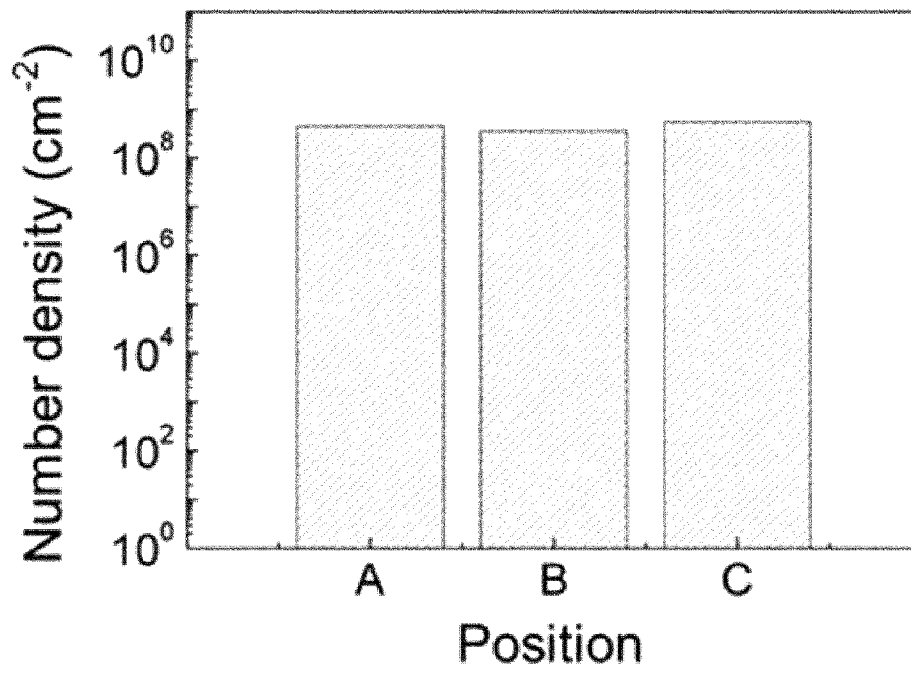
[Fig. 7]



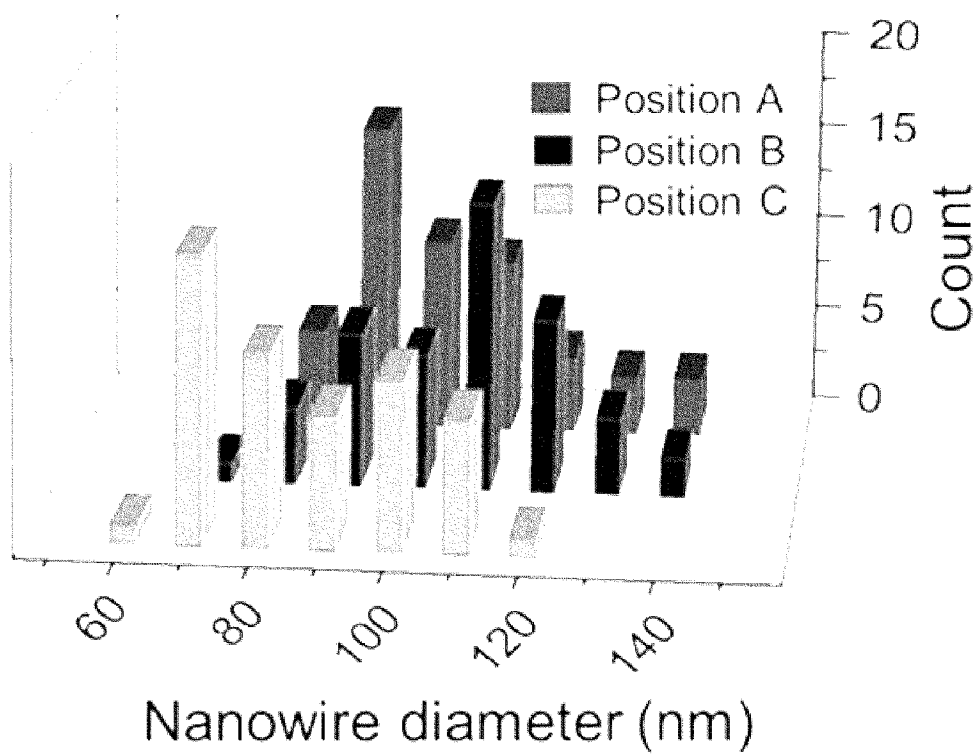
[Fig. 8]



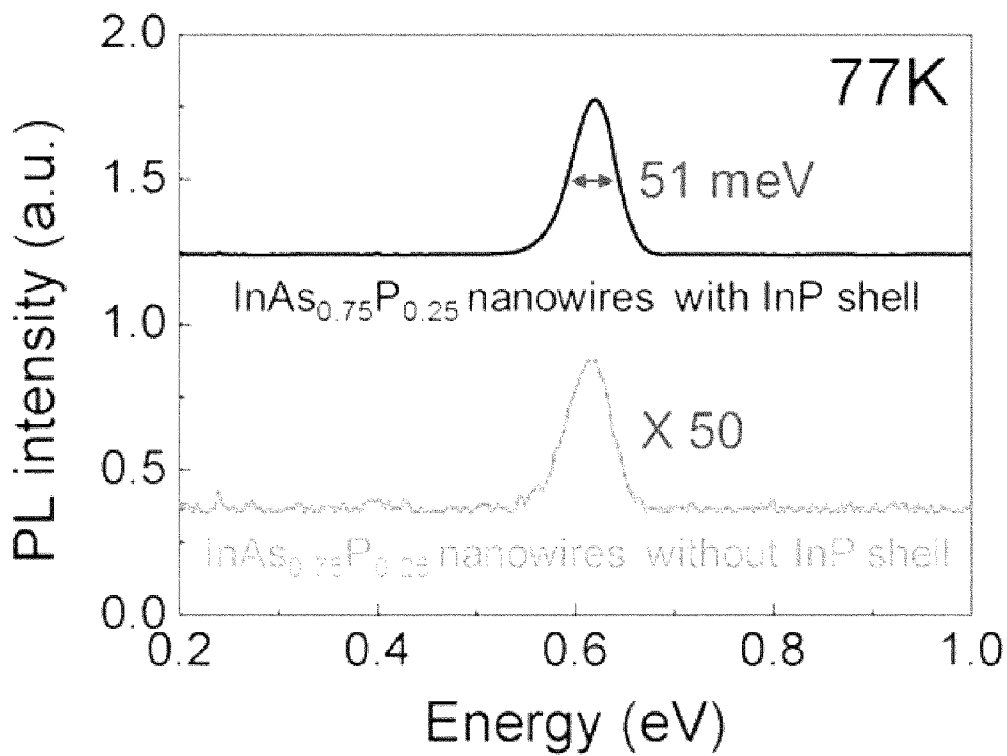
[Fig. 9]



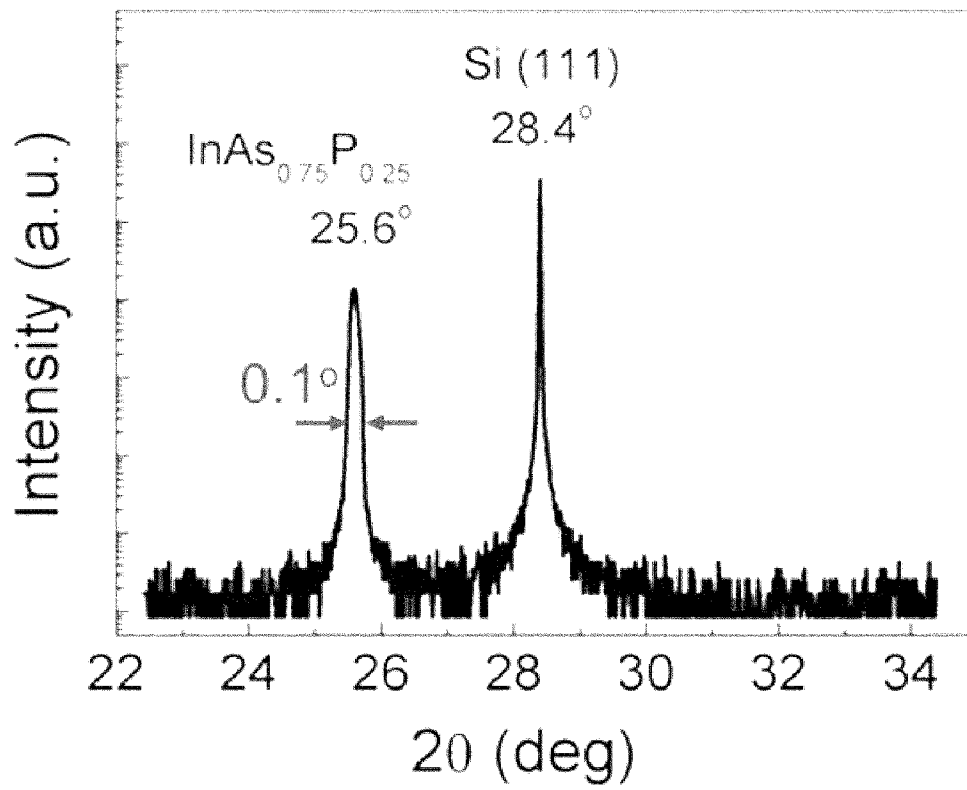
[Fig. 10]



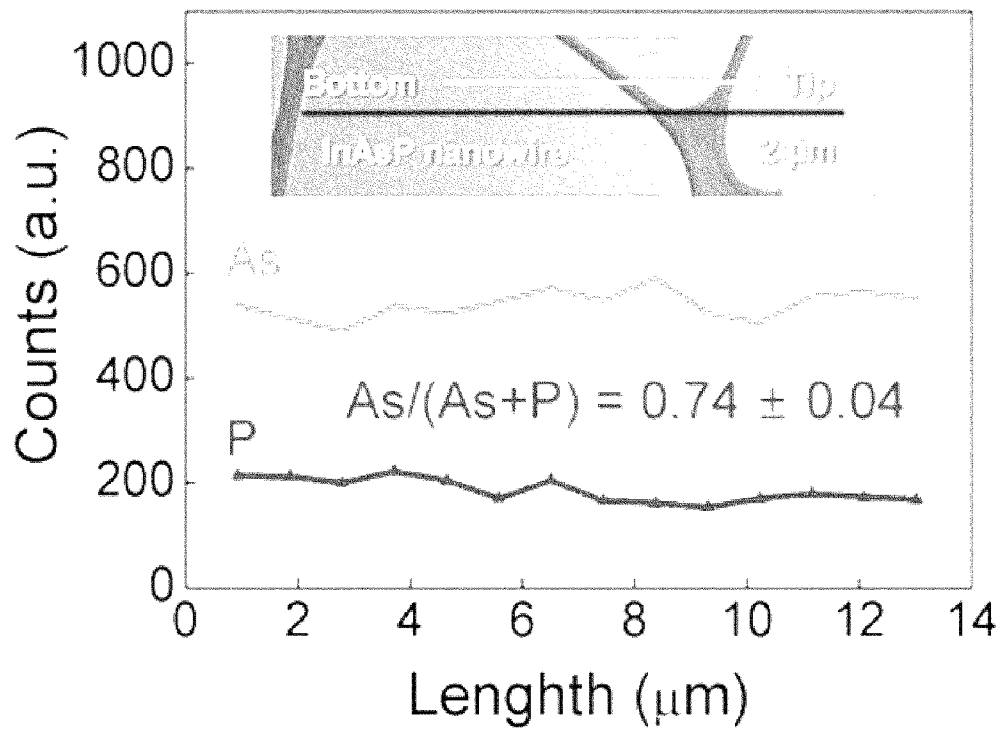
[Fig. 11]



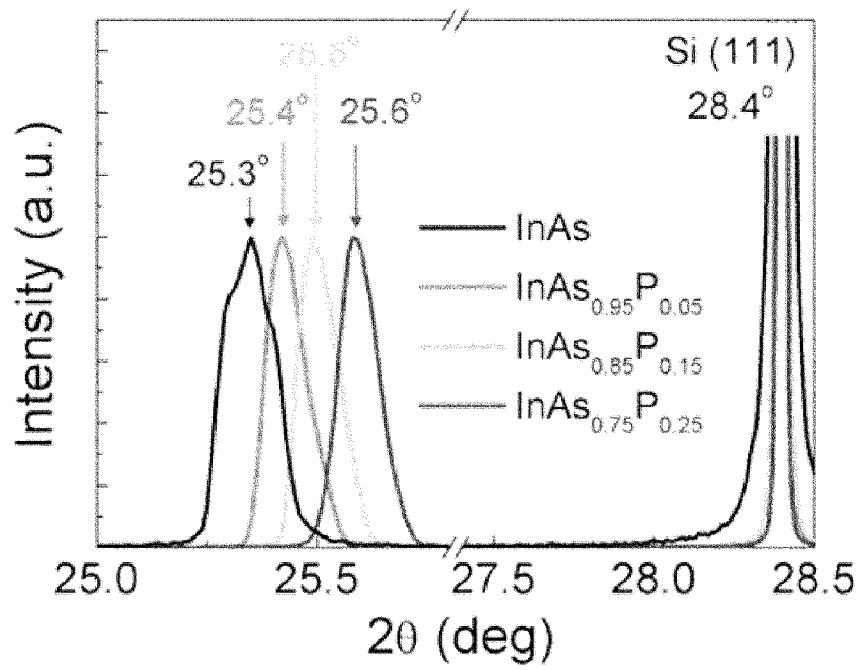
[Fig. 12]



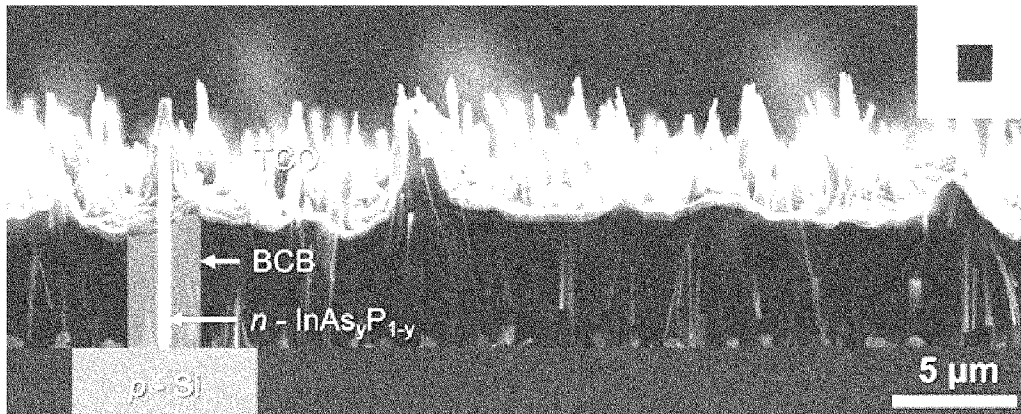
[Fig. 13]



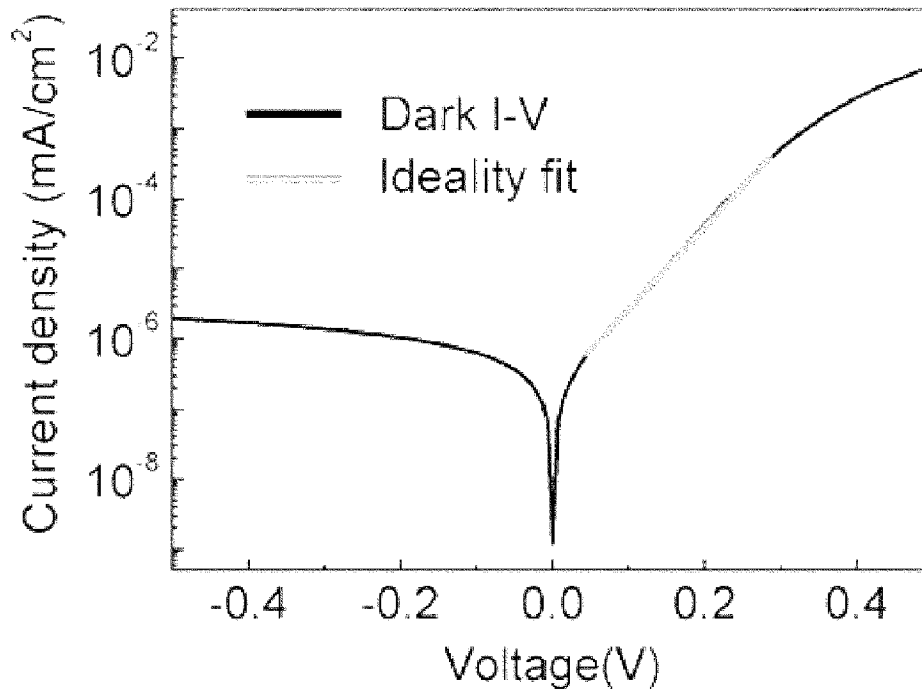
[Fig. 14]



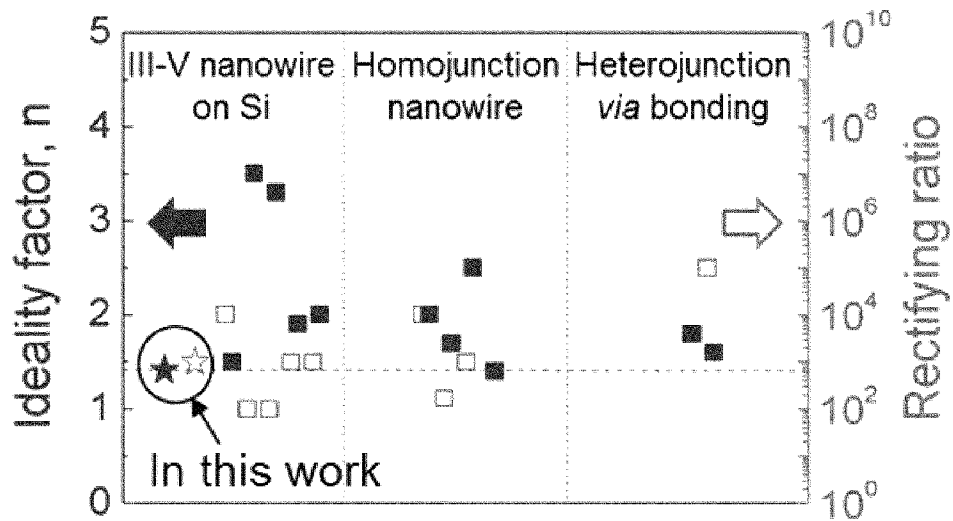
[Fig. 15]



[Fig. 16]



[Fig. 17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/006833

A. CLASSIFICATION OF SUBJECT MATTER

B82B 3/00(2006.01)i, B81B 7/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

B82B 3/00; B81B 7/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: nanowire, InAsP, lysine

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Maria Tchernycheva et al., "Growth and Characterization of InP Nanowires with InAsP Insertions", Nano Lett., 2007, vol. 7, no. 6, pp. 1500-1504 See the entire document.	1-9
A	Josef A. Czaban et al., "GaAs Core-Shell Nanowires for Photovoltaic Applications", Nano Lett., 2009, vol. 9, no. 1, pp. 148-154 See the entire document.	1-9
A	Dan Dalacu et al., "Selective-area vapor-liquid-solid growth of tunable InAsP quantum dots in nanowires", Appl. Phys. Lett., 2011, vol. 98, p. 251101 See the entire document.	1-9
A	Maarten H. M. van Weert et al., "Selective Excitation and Detection of Spin States in a Single Nanowire Quantum Dot", Nano Lett., 2009, vol. 9, no. 5, pp. 1989-1993 See the entire document.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family


Date of the actual completion of the international search

05 DECEMBER 2014 (05.12.2014)

Date of mailing of the international search report

08 DECEMBER 2014 (08.12.2014)

Name and mailing address of the ISA/KR


 Korean Intellectual Property Office
 Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
 Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/006833

Patent document cited in search report	Publication date	Patent family member	Publication date
NONE			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) B82B 3/00(2006.01)i, B81B 7/04(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) B82B 3/00; B81B 7/04 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 나노와이어, InAsP, 라이신		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	Maria Tchernycheva et al., "Growth and Characterization of InP Nanowires with InAsP Insertions", Nano Lett., 2007, Vol.7, No.6, pp.1500-1504 전체 문헌 기재 참조.	1-9
A	Josef A. Czaban et al., "GaAs Core-Shell Nanowires for Photovoltaic Applications", Nano Lett., 2009, Vol.9, No.1, pp.148-154 전체 문헌 기재 참조.	1-9
A	Dan Dalacu et al., "Selective-area vapor-liquid-solid growth of tunable InAsP quantum dots in nanowires", Appl. Phys. Lett., 2011, Vol.98, p.251101 전체 문헌 기재 참조.	1-9
A	Maarten H. M. van Weert et al., "Selective Excitation and Detection of Spin States in a Single Nanowire Quantum Dot", Nano Lett., 2009, Vol.9, No.5, pp.1989-1993 전체 문헌 기재 참조.	1-9
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허문헌 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 "T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. "&" 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2014년 12월 05일 (05.12.2014)	국제조사보고서 발송일 2014년 12월 08일 (08.12.2014)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140	심사관 김란 전화번호 +042-0481-8304	



국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

없음