(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/28

(45) 공고일자 2006년01월12일
(11) 등록번호 10-0525903
(24) 등록일자 2005년10월26일

(21) 출원번호 10-1998-0020866
(22) 출원일자 1998년06월05일

(65) 공개번호 10-2000-0000924
(43) 공개일자 2000년01월15일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 손현철
경기도 성남시 분당구 수내동 양지마을 304-803

홍상기
경기도 성남시 분당구 구미동 무지개마을 엘지아파트 210-1504

(74) 대리인 최승민
신영무

심사관 : 이우식

(54) 반도체 소자의 금속 배선 형성 방법

요약

본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것이다.

장벽 금속층으로 Ti/TiN막을 사용할 경우 실리사이드화하기 위한 급속 열처리 공정 중 열에 의한 스트레스로 인하여 WF_6의 침투 방지 및 텅스텐 핵형성의 역할을 하는 TiN막의 결합이 깨져 후속 텅스텐 증착 공정시 텅스텐이 비정상적으로 성장되어 메탈 라인간의 브리지를 유발하게 되어 소자의 수율을 감소시키는 결과를 초래한다.

본 발명에서는 WF_6의 침투 방지 및 텅스텐 핵형성의 역할을 하도록 텅스텐 나이트라이드막을 텅스텐 증착 장비에서 인-시츄(in-situ)로 증착함으로써 텅스텐의 비정상적인 성장을 억제하여 수율을 향상시킨다. 또한, WF_6의 장벽 특성이 우수한 텅스텐 나이트라이드막을 급속 열처리 공정 후에 증착함으로써 장벽 금속층에 가해지는 열에 의한 스트레스를 줄여 소자의 신뢰성을 향상시킨다.

대표도

도 1

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

1 : 반도체 기판 2 : 층간 절연막

3 : 티타늄막 4 : 티타늄 실리사이드막

5 : 텅스텐 나이트라이드막 6 : 텅스텐막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 텅스텐막의 비정상적인 성장을 억제하여 생산성 및 수율을 향상시킬 수 있는 반도체 소자의 금속 배선 형성 방법에 관한 것이다.

종래의 텅스텐 플러그를 형성하기 위해 다음과 같은 공정을 실시한다.

반도체 기판 상부에 형성된 층간 절연막의 선택된 영역을 식각하여 메탈 콘택을 형성한 후 메탈 콘택을 포함한 전체 구조 상부에 장벽층(barrier layer)으로 Ti/TiN막을 증착한다. 열공정을 실시하여 층간 절연막을 구성하는 실리콘 원자와 티타늄 원자를 반응시켜 티타늄 실리사이드($TiSi_x$)를 형성한 후 메탈 콘택이 매립되도록 텅스텐막을 증착한다.

WF_6을 이용한 CVD 방법으로 텅스텐막을 증착할 경우 TiN막은 WF_6의 침투 방지층 및 텅스텐 핵형성(nucleation)층으로 사용된다.

장벽층으로 Ti/TiN막을 사용할 경우 실리사이드화(silicidation)하기 위한 급속 열처리 공정 중 열에 의한 스트레스(thermal stress)로 인하여 TiN막의 결합이 깨져 후속 텅스텐 증착 공정시 텅스텐의 비정상적인 성장(abnormal growth)이 발생하여 메탈 라인(metal line)간의 브리지(bridge)를 유발하게 된다. 이로써 소자의 수율을 감소시키는 결과를 초래한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 TiN막의 결함에 의해 발생되는 후속 텅스텐의 비정상적인 성장으로 인한 소자의 수율 감소를 방지할 수 있는 반도체 소자의 금속 배선 형성 방법을 제공하는 것을 목적으로 한다.

상술한 목적을 달성하기 위한 본 발명은 반도체 기판상에 층간 절연막을 형성한 후 층간 절연막의 선택된 영역을 식각하여 콘택홀을 형성하는 단계와, 상기 콘택홀을 포함한 전체 구조 상부에 장벽 금속층으로 작용하는 티타늄막을 형성하는 단계와, 급속 열처리 공정에 의해 상기 티타늄막을 티타늄 실리사이드막으로 변형시키는 단계와, 상기 티타늄 실리사이드막 상부에 텅스텐 나이트라이드막을 형성하는 단계와, 상기 콘택홀이 매립되도록 상기 텅스텐 나이트라이드막이 형성된 챔버내에서 인시투로 텅스텐막을 증착하는 단계를 포함하여 이루어진 것을 특징으로 한다.

발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

도 1(a)를 참조하면, 반도체 소자를 제조하기 위한 다수의 요소가 구성된 반도체 기판(1) 상부에 층간 절연막(2)을 형성한다. 층간 절연막(2)의 선택된 영역을 식각하여 콘택홀을 형성한 후 콘택홀을 포함한 전체 구조 상부에 장벽 금속층으로 작용하는 티타늄막(3)을 형성한다.

도 1(b)를 참조하면, NH_3 또는 N_2 분위기에서 급속 열처리 공정을 실시하여 티타늄막(3)의 티타늄 원자와 그 하부의 실리콘 원자를 반응시켜 티타늄 실리사이드막($TiSi_2$)(4)을 형성한다. 이때, 콘택 기저부의 반도체 기판(1)의 일정 영역까지 티타늄 실리사이드막(4)이 형성된다.

도 1(c)를 참조하면, 티타늄 실리사이드막(4) 상부에 텅스텐 나이트라이드막(WN_x)(5)을 형성한다. 텅스텐 나이트라이드막(5)은 CVD 텅스텐 증착 장비내에서 증착되며, 후속 텅스텐 증착 공정시 WF_6의 침투를 막는 장벽층으로 작용하고, 텅스텐의 핵형성을 원활하게 하는 역할도 한다.

콘택홀이 매립되도록 전체 구조 상부에 텅스텐막(6)을 형성한다. 텅스텐막(6)은 텅스텐 나이트라이드막(5) 증착 장비와 동일한 장비에서 CVD 방법으로 증착한다. 이 과정 중 텅스텐 나이트라이드막(5)의 질소 소스 가스의 양을 조절하여 계면에서의 조성 변화를 급격하게 하거나 완만하게 형성할 수 있다. 계면에서의 조성 변화를 완만하게 형성할 경우 텅스텐의 핵생성 단계를 실시하지 않아도 되므로 공정을 더욱 단순화시킬 수 있다. 즉, 텅스텐 나이트라이드막을 어느 정도의 두께로 증착한 후 질소 소스 가스를 서서히 줄여 텅스텐 나이트라이드막내의 질소 조성에 변화를 주면 핵형성 단계를 생략할 수 있어 공정을 더욱 단순화시켜 생산성을 향상시킬 수 있다.

이러한 방법으로 진행된 텅스텐막 상부에 후속 배선 공정을 실시한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 장벽층으로 텅스텐 나이트라이드막을 형성하므로써 텅스텐막의 비정상적인 성장을 방지하여 텅스텐 플러그 및 텅스텐 배선 공정을 안정화시킬 수 있고, 텅스텐 나이트라이드막을 WF_6의 장벽층으로 사용하므로써 256M급 이상의 DRAM 소자에서 안정된 콘택 저항을 얻을 수 있다. 또한 텅스텐막을 증착하기 위한 챔버에서 장벽 금속층을 인-시츄로 증착하여 공정을 단순화시킬 수 있고, 계면에 기울기를 가진 텅스텐 나이트라이드막을 사용하므로써 텅스텐 증착시의 공정을 줄일 수 있다. 이로써 생산성을 향상시키고, 소자를 안정화시켜 수율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판상에 층간 절연막을 형성한 후 층간 절연막의 선택된 영역을 식각하여 콘택홀을 형성하는 단계와,

상기 콘택홀을 포함한 전체 구조 상부에 장벽 금속층으로 작용하는 티타늄막을 형성하는 단계와,

급속 열처리 공정에 의해 상기 티타늄막을 티타늄 실리사이드막으로 변형시키는 단계와,

상기 티타늄 실리사이드막 상부에 텅스텐 나이트라이드막을 형성하는 단계와,

상기 콘택홀이 매립되도록 상기 텅스텐 나이트라이드막이 형성된 챔버내에서 인시투로 텅스텐막을 증착하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항 2.

제 1 항에 있어서, 상기 텅스텐 나이트라이드막은 질소 소스 가스의 양을 조절하여 계면에서의 조성을 변화시키는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

도면

도면1

