

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3755338号

(P3755338)

(45) 発行日 平成18年3月15日(2006.3.15)

(24) 登録日 平成18年1月6日(2006.1.6)

(51) Int. Cl.

F I

G06F 3/00 (2006.01)

G06F 3/00 K

G06F 13/36 (2006.01)

G06F 13/36 310E

H03K 19/0175 (2006.01)

H03K 19/00 101Q

H03K 19/00 101S

請求項の数 5 (全 19 頁)

(21) 出願番号	特願平11-132334	(73) 特許権者	000005108
(22) 出願日	平成11年5月13日(1999.5.13)		株式会社日立製作所
(65) 公開番号	特開2000-322164(P2000-322164A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成12年11月24日(2000.11.24)	(74) 代理人	100075096
審査請求日	平成15年4月22日(2003.4.22)		弁理士 作田 康夫
		(72) 発明者	大坂 英樹
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所 システム開発研究
			所内
		(72) 発明者	山際 明
			神奈川県海老名市下今泉810番地 株式
			会社日立製作所 PC事業部内

最終頁に続く

(54) 【発明の名称】 無反射分岐バスシステム

(57) 【特許請求の範囲】

【請求項1】

少なくとも3つの半導体素子を有する無反射分岐バスシステムにおいて、
 3つの半導体素子間に接続された可変抵抗器を有し、
 該可変抵抗器は、該3つの半導体素子のそれぞれに接続するための3つの信号端子と、
 該信号端子とは別に該3つの半導体素子のそれぞれに対する該可変抵抗器の抵抗値を制御
 するための2つの制御信号端子とを有し、

該2つの制御信号端子のそれぞれに入力される制御信号を d_1 、 d_2 で表し、該制御信号
 の状態がONか否かをH、Lで表し、該3つの半導体素子のそれぞれに対する該可変抵抗
 器の抵抗値を r_a 、 r_b 、 r_c で表し、該3つの半導体素子のそれぞれと該可変抵抗器
 との間の特性インピーダンスを Z_o で表すとき、

d_1 がL、 d_2 がLである場合、 r_a が r_o 、 r_b が r_o 、 r_c が r_o であり、
 d_1 がL、 d_2 がHである場合、 r_a が r_h 、 r_b が r_l 、 r_c が r_l であり、
 d_1 がH、 d_2 がLである場合、 r_a が r_l 、 r_b が r_h 、 r_c が r_l であり、
 d_1 がH、 d_2 がHである場合、 r_a が r_o 、 r_b が r_o 、 r_c が r_o であり、
 但し、 $r_o = Z_o / 3$ 、 $r_h = Z_o$ 、 $r_l < 5$

という関係を満足するよう、該3つの半導体素子のそれぞれに対する該可変抵抗器の抵抗
 値を設定することを特徴とする無反射分岐バスシステム。

【請求項2】

請求項1の無反射分岐バスシステムにおいて、

10

20

該可変抵抗器は、ゲート幅が倍数関係にあるM O Sトランジスタを複数並列接続して構成され、

該M O Sトランジスタのゲート電圧を印加・非印加することで該特性インピーダンス Z_0 を可変することを特徴とする無反射分岐バスシステム。

【請求項3】

請求項2の無反射分岐バスシステムにおいて、

該可変抵抗器外に設けられ、該特性インピーダンス Z_0 と同等の基準インピーダンスを有する基準インピーダンス素子を有し、

該基準インピーダンス素子の該基準インピーダンスに対する該並列接続されたM O Sトランジスタのインピーダンスを比較することで該並列接続されているM O Sトランジスタのインピーダンスの大小を判定し、該判定結果に基づいて該並列接続されているM O Sトランジスタの選択の組合せを変えることで該可変抵抗器のインピーダンスを該特性インピーダンス Z_0 に制御して、 $r_h = Z_0$ の状態にすることを特徴とする無反射分岐バスシステム。

10

【請求項4】

請求項2または3の無反射分岐バスシステムにおいて、

該並列接続されているM O Sトランジスタ全てを導通状態にすることで $r_l < 5$ の状態にすることを特徴とする無反射分岐バスシステム。

【請求項5】

請求項3の無反射分岐バスシステムにおいて、

前記基準インピーダンスに等価なM O Sトランジスタのゲート幅に対し、該M O Sトランジスタのゲート幅を $1/3$ に設定することで $r_0 = Z_0/3$ の状態にすることを特徴とする無反射分岐バスシステム。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置においてマルチプロセッサやメモリ等の素子間（例えばC M O S等により構成されたデジタル回路間又はその機能ブロック間）での信号伝送のための技術に関し、特に、複数のL S Iが同一の伝送線に接続され、L S I間でデータ転送を行うバス伝送の高速化技術に関するものである。

30

【0002】

【従来の技術】

マルチプロセッサ装置のように多数のノード間を高速にデータを転送するためのバス方式としてJEDEC (Joint Electron Device Engineering Council) 標準のSSTL (Stub Series terminated Transceiver Logic) (EIA/JESD8-8)インターフェースが有る。このインタフェースは図2のように、受信用のレシーバ21~25とデータ送信用のドライバ11~21を有する入出力インタフェースを内蔵するLSI間のデータ送受信に用いられるバス配線で、データバス配線（メインライン）3の両端を終端抵抗 R_{tt} で整合終端させることで両端での反射を無くし、かつ、メインライン3とインタフェース回路を接続するスタブライン61~65上にマッチング抵抗31~35が配置されている。このマッチング抵抗31~35はドライバ11~15の一つがデータを出力する場合、これに接続しているスタブとメインライン3との間のインピーダンス不整合による反射波を抑える働きをする。

40

【0003】

【発明が解決しようとする課題】

しかしながら図2のSSTLインタフェースではメインライン3上を伝搬する信号波形にインピーダンスの不整合に起因する反射波が生じ高速動作の妨げとなっていた。すなわち、例えば図2でドライバ11からレシーバ25にデータ伝送する場合、ドライバ11からの信号波形はスタブ61とマッチング抵抗31を介し、メインライン3に到達する。一般的にマッチング抵抗31の抵抗値はスタブ61の特性インピーダンス Z_0 とメインライン3の特性インピーダンス Z_0' から（数1）のように決められる。

50

【0004】

【数1】

$$R_m = Z_0 - Z_0' / 2 \dots (1)$$

ここで、 R_m はマッチング抵抗3である。(数1)はスタブ側からメインラインを見た場合の整合終端条件である。たとえば、メインライン3の特性インピーダンス Z_0' とスタブ61の特性インピーダンス Z_0 がそれぞれ50の場合 $R_m = 25 = 50 - 50 / 2$ となる。

【0005】

他方、メインライン3に到達した、ドライバ11からの信号波形は左右に伝搬し、左に進行する波形は終端抵抗 R_{tt} で終端され反射波はない。しかし、右側に進行する信号は分岐点52~55を通過する。この点52での反射係数は、(数2)の通りとなる。

10

【0006】

【数2】

$$= (Z_1 - Z_0) / (Z_1 + Z_0) \dots (2)$$

ここで、 Z_1 はメインライン3とマッチング抵抗32を介したスタブ62の合成インピーダンスであり、(数3)の通りになる。

【0007】

【数3】

$$Z_1 = (Z_0' (R_m + Z_0)) / (Z_0' + R_m + Z_0) = 30 \dots (3)$$

よって点52での反射係数 $\Gamma = 0.25$ となり、25%反射することが分かる。

20

【0008】

すなわち、ドライバ11からのデータはメインライン3上の分岐点を1つ通過する毎に25%反射波が重畳されることになる。この反射波はスタブ61~65の往復伝搬遅延時間生じるので高速伝送のための低ノイズ化にはスタブ線路長の制限があった。すなわち、装置構造に大きな制約を課していた。

【0009】

本発明の第一の目的はこの分岐点でのインピーダンスの乱れを少なくすることで反射波によるノイズを低減することにある。これにより、SSTLに比べて更なる高速動作を提供する事が出来るようになる。

【0010】

本発明の第2の目的はLSIからメインラインの分岐点までのスタブライン長制限を緩めることにある。これにより、SSTLより装置の構造に大きな自由度を与えることが出来る。

30

【0011】

本発明の第3の目的は、高速バスに必要な終端抵抗をLSIに内蔵することでこれを無くし、実装の面積を低減することにある。

【0012】

【課題を解決するための手段】

LSIのインタフェース回路を終端抵抗内蔵としこのインタフェース部でのスタブ配線を伝搬する信号の反射波を無くす。またメインライン上で3方向に分岐している点に可変抵抗素子を直列に入れる。線路の特性インピーダンス Z_0 に合わせ、LSIがデータを受信する或いは送受信しない場合、該LSIが接続されているスタブ線に繋がった可変抵抗器を該線路の特性インピーダンス Z_0 の1/3に合わせる。LSIがドライブする場合、該LSIが接続されているスタブ線に繋がった可変抵抗器を5以下程度の低抵抗に、分岐する他の2線路に接続されている可変抵抗をメインライン側を低抵抗に、他方の抵抗を該線路の特性インピーダンス Z_0 に合わせる。

40

【0013】

このように構成することで、LSIがデータを受信する或いは送受信しない場合、該LSIが接続されているスタブ線に繋がった可変抵抗器を該線路の特性インピーダンスの1/3に合っているため、この分岐点ではどの配線からも完全整合終端しているように作用す

50

る。このため、分岐点で無反射となっているのでノイズが無くデータ転送が行える。

【0014】

また、LSIがドライブする場合、該LSIが接続されているスタブ線に繋がった可変抵抗器を1程度の低抵抗に、分岐する他の2線路に接続されている可変抵抗器をメインライン側を低抵抗に、他方の抵抗を該線路の特性インピーダンスに合っているので、ドライバからメインラインへのデータ伝搬は約80%伝搬し、これが更に他方の可変抵抗器に伝搬する場合、無反射で約40%伝搬するように作用するので信号レベルが十分な大きさに伝搬することができる。

【0015】

【発明の実施の形態】

第1の実施例を図1を用いて説明する。

図中5つのLSI a~eは配線と可変抵抗器を介して相互に接続されデータを送受信する。1、2は可変抵抗器である。LSI aと可変抵抗器1は配線T aで、LSI bと可変抵抗器1は配線T bで、LSI cと可変抵抗器2は配線T cで、LSI dと可変抵抗器2は配線T dで接続され、LSI eは配線T e 1, T e 2で可変抵抗器1、2に接続されている。

【0016】

配線d a~d dは可変抵抗器1、2を制御するための制御信号配線である。

LSI a~eには図1には記載していないデータ送受信用ドライバとレシーバからなるインタフェースを持っている。図1の配線はこれらのインタフェース間の接続を示したもので、アドレスやデータのビット幅分同等な相互接続バスがある。

【0017】

次に図3を用いて可変抵抗器1、2の構成を示す。

可変抵抗器1 aは信号入出力端子にa~cを持ち、端子a~c間をY字型に可変抵抗r a~r cが接続されている。この可変抵抗r a~r cは制御回路50により抵抗値を制御される。この抵抗制御回路50は端子d 1, d 2を介して行われる。

【0018】

この可変抵抗器1 aの端子a~cは図1の可変抵抗器1では、端子aが配線T aに、端子bが配線T bに端子cが配線T e 1に接続されている。端子d 1は配線d a、端子d 2は配線d bに接続されている。

【0019】

同様に可変抵抗器2の端子a~cでは、端子aが配線T cに、端子bが配線T dに、端子cが配線T e 2に接続されている。端子d 1は配線d c、端子d 2は配線d dに接続されている。

【0020】

可変抵抗値r a~r cの値は制御信号d 1, d 2により図4で示したように変化する。この図ではd 1, d 2は正論理で表現されており、Hで制御信号ONを意味するものとする。

【0021】

ここで、r oは図1の配線T a, T b, T e 1が同じ特性インピーダンスZ oを持つ場合、このZ oの1/3である。また、r hは該特性インピーダンスZ oであり、r lは5以下の低抵抗値である。

【0022】

制御信号d 1, d 2ともにL或いはHの場合、抵抗r a~r cは接続されている配線の特性インピーダンスの1/3であるので、一種のプアスプリッタとなっている。この場合の配線から見た反射係数Γを計算すると反射係数Γは"0"となる。電圧等価係数Tは"1/2"である。

【0023】

反射係数Γ=0となる理由は、インピーダンスZ oの配線T a, T b, T cが抵抗r a, r b, r cに接続されているとして、配線T aから見たインピーダンスは、1/3・Z

10

20

30

40

50

oの直列抵抗 r_a と、並列接続された $1/3 \cdot Z_o$ の抵抗 r_b 、 r_c を介した特性インピーダンス Z_o の配線T_b、T_cが直列接続されているので $1/3 \cdot Z_o + 1/2(1/3 \cdot Z_o + Z_o) = Z_o$ となり、配線T_aの特性インピーダンス Z_o と同じになるため結果として $\Gamma = 0$ となる。

【0024】

等価係数 $T_1 = 1/2$ となる理由は、以下の通り。抵抗 $r_a \sim r_c$ が接続している1点を合流点と呼ぶことにすると、スタブ配線T_aから伝搬してきた電圧波形はこの合流点の電圧では、 $1/3 \cdot Z_o$ の抵抗による分圧で入射電圧の $2/3$ となる。

【0025】

また、配線T_bの透過電圧を求めるため、合流点の電圧から線路T_bの電圧比を求めると、直列接続された抵抗 $r_b = 1/3 \cdot Z_o$ と線路T_bのインピーダンス Z_o の分圧比であるから $3/4 = (Z_o / (1/3 + 1) Z_o)$ となり、合流点の電圧比 $2/3$ との積になるので、結果として透過電圧係数は $1/2 (= 2/3 \cdot 3/4)$ となる。

10

【0026】

このように反射係数 Γ が0になるため、制御信号 d_1 、 d_2 が同じ場合、可変抵抗器1aはパワースプリッタとして機能し、それぞれに接続した配線に対し、無反射で分岐接続する。

【0027】

次に、制御信号 d_1 、 d_2 のどちらかが入力した場合、抵抗 $r_a \sim r_c$ は端子a \sim cからの信号の流れを変えるように抵抗 $r_a \sim r_c$ を制御する。 d_1 がHになった場合、抵抗 r_a 、 r_c は低抵抗 r_l になり、抵抗 r_b は r_h となる。このため、端子aから端子cへのインピーダンスは低抵抗 $(2r_l)$ で接続されることになる。他方端子aから端子bへの接続は高い抵抗 $(r_l + r_h)$ で接続されることになる。

20

【0028】

この場合の配線T_aから見た反射係数 Γ_2 と配線T_bに透過した透過係数 T_2 を計算しておく。

【0029】

抵抗 $r_a \sim r_c$ の合流点から配線T_b、T_cの合成抵抗を r_0 とすると、

【0030】

【数4】

$$r_0 = (r_l + Z_o) // (Z_o + r_h) \dots (4)$$

30

ここで、記号“//”は並列接続合成抵抗の演算子で $a//b = (ab)/(a+b)$ と定義される。このため、配線T_aから見た反射係数 Γ_2 は、以下の通りとなる。

【0031】

【数5】

$$\Gamma_2 = (r_l + r_0 - Z_o) / (r_l + r_0 + Z_o) = (2r_h r_l + r_l^2 + 2r_l Z_o - Z_o^2) / ((r_l + Z_o)(2r_h + r_l + 3Z_o)) \dots (5)$$

ここで、 $r_h = Z_o$ を代入し、 $Z_o \gg r_l$ で整理すると、以下の通りになる。

【0032】

【数6】

$$\Gamma_2 \sim - (Z_o - 4r_l) / (5Z_o + 6r_l) \dots (6)$$

40

$r_l = 0$ なら、反射係数 $\Gamma_2 = -0.2$ となる。

【0033】

同様に透過係数 T_2 は、以下の通りになる。

【0034】

【数7】

$$T_2 = (Z_o(r_l + Z_o)) / (2r_h r_l + r_l^2 + r_h Z_o + 3r_l Z_o + Z_o^2) \dots (7)$$

ここで、 $r_h = Z_o$ を代入し、 $Z_o \gg r_l$ で整理すると、以下の通りとなる。

【0035】

【数8】

50

$$T_2 = (Z_0 (r_l + Z_0)) / (r_l^2 + 5 r_l Z_0 + 2 Z_0^2) - (r_l + Z_0) / (5 r_l + 2 Z_0) \dots (8)$$

$r_l=0$ の場合、 $T_2=1/2$ となり、 T_1 に等しくなることが分かる。

【0036】

また、線路 T_c に伝搬する透過電圧係数 T_3 は、
透過電圧係数 $T_3 = (1 + 2) (Z_0 / (Z_0 + r_l)) \dots (9)$

となり、 $r_l=0$ ならば $T_3="0.8"$ となる。

【0037】

すなわち、端子 d_1 , d_2 のどちらかに H が入力されると、それに応じて抵抗 $r_a \sim r_c$ の抵抗が制御され端子 d_1 に H が入力されると端子 a - 端子 c 間が低抵抗で接続され、端子 a から端子 b への透過係数 T_2 がほぼ $1/2$ 、 T_3 が 0.8 となる。逆に端子 d_2 に H が入力されると端子 b - 端子 c 間が低抵抗で接続され、端子 b から端子 a への透過係数 T_2 がほぼ $1/2$ 、等価係数 T_3 が 0.8 となる。

10

【0038】

このように構成することで、可変抵抗器 1_a は制御信号 d_1 , d_2 により信号伝搬の方向を低反射係数で制御することが出来る。また、抵抗 $r_a \sim r_c$ の接続方法は Y 字型だけでなく π 型であっても基本的に同じ機能を実現できる。

【0039】

次に図5を用いて図1中の $L S I a \sim d$ に内蔵しているインタフェースの回路を説明する。

20

【0040】

図5(a)において、 1_1 は出力イネーブル(OE-N)付のドライバであり、OE_Nがアサートされた場合に、data端子のデータを出力する。 2_1 はレシーバで V_{ref} 端子の電圧と $I/O P A D$ の電圧とを比較するコンパレータであり、この比較結果を $L S I$ 内部のコア論理に出力する。

【0041】

ここで、ドライバ 1_1 とレシーバ 2_1 は $I/O P A D$ で接続されており、ここには記載されていない $L S I$ パッケージを介して外部配線に接続されている。

【0042】

ドライバ 1_1 はドライバが接続された配線のインピーダンス Z_0 に調整可能であるが、ドライブ時も出力イネーブル(OE_N)がネゲートされたときも $I/O P A D$ からみて出力インピーダンスは一定である。すなわち、ドライバ 1_1 の出力インピーダンスは調整可能であり、出力インピーダンスが一定のまま出力電圧が変化することにより信号を出力する。

30

ここで、ドライバ 1_1 に接続される配線のインピーダンスは便宜上 $50 [\quad]$ であり、出力インピーダンスは $50 [\quad]$ に設定されている。このため、ドライバへの波形は無反射となりノイズが低減する。

【0043】

更に、このドライバ 1_1 を図5(b)を用いて説明する。図5(b)はドライバの図5(a)の等価回路を更に詳細に記述した回路図である。

【0044】

$1_1 - h$ は $I/O P A D$ と電源 V_{cc} に接続された $M O S$ トランジスタで構成され、図では可変抵抗器で示している。 $1_1 - l$ は $I/O P A D$ とグランドに接続された $M O S$ トランジスタで構成され、図5(b)では可変抵抗器で示している。これらの可変抵抗器 $1_1 - h$, $1_1 - l$ は data 信号と OE_N 信号で制御されている。

40

【0045】

data 信号と OE_N 信号で制御された可変抵抗 $1_1 - h$ と $1_1 - l$ の抵抗値 (R_{hi} , R_{lo}) と $I/O P A D$ の電圧 (V_{io}) を図6に示す。

【0046】

$data = 0$, $O E_N = 0$ の場合ドライバから L が出力されるが、ドライバの出力インピーダンスは R_{lo} の $50 [\quad]$ であり、出力電圧 $V_{io} = 0 [V]$ となる。 $data$

50

= 0, OE_N = 1 の場合、ドライバからの出力は切れるが、ドライバの出力インピーダンスは $R_{lo} = 100 [\Omega]$ と $R_{hi} = 100 [\Omega]$ の並列接続の $50 [\Omega]$ となり、出力電圧 V_{io} は $V_{cc} = 1.0 [V]$ の場合、 $0.5 [V]$ となる。更に、 $data = 1$, OE_N = 0 の場合ドライバから H が出力されるが、ドライバの出力インピーダンスは R_{hi} の $50 [\Omega]$ であり、出力電圧 $V_{io} = 1.0 [V]$ となる。 $data = 1$, OE_N = 1 の場合、ドライバからの出力は切れるが、ドライバの出力インピーダンスは $R_{lo} = 100 [\Omega]$ と $R_{hi} = 100 [\Omega]$ の並列接続の $50 [\Omega]$ となり、出力電圧 V_{io} は $V_{cc} = 1.0 [V]$ の場合、 $0.5 [V]$ となる。

【0047】

このようにして、 $data$, OE_N が何れの状態にあっても出力インピーダンスは常に $50 [\Omega]$ となっている。そして、出力電圧 V_{io} は、 $data$ の状態により、 $V_{io}(H) = 1.0$ 、 $V_{io}(L) = 0 [V]$ であり、出力しない場合、 $V_{io} = 0.5 [V]$ となっている。

【0048】

このように構成することにより、I/O インタフェースはドライバがどのような状態でもインピーダンスが設定された $50 [\Omega]$ となっており、ドライバ 1 に接続された配線のインピーダンスと等しいため I/O インタフェースでの反射はほとんどなく、波形歪みが少ないデータ転送を提供することが出来る。また、図 5 (c) は図 1 の LSIE の等価モデルである。

【0049】

ドライバは OE_N がネゲートされているときハイインピーダンスとなる。また、OE_N がアサートされているとき出力インピーダンスは $R_s = Z_o / 2$ で無負荷時 V_{cc} - グランド間の電圧である $1.0 [V]$ の振幅をドライブする。 $50 [\Omega]$ の伝送線路が 2 本接続されている場合は信号振幅は V_{cc} - グランド間の電圧の半分の $0.5 [V]$ となる。

【0050】

次に、図 3 の可変抵抗器 1 a と、図 5 のインタフェースを図 1 のバス配線に用いた場合の波形を図 8 ~ 図 11、13 ~ 15 に示す。これらの図は SPICE (Simulation Program with Integrated Circuit Emphasis) と呼ばれる回路シミュレーションの結果であり、シミュレーション回路を図 7 に示した。

【0051】

図 6 において、点線で囲った a ~ d はインタフェース回路の等価回路であり、それぞれ抵抗 $R_{ra} \sim R_{rd}$ と静電容量 C_{io} が並列に接続されている。図 7 においてはドライバはインタフェース a であり、抵抗 R_{ra} がノード $data_{in}$ においてパルス電源に接続されている。そのほかのインタフェース b ~ d は信号をドライブしておらず信号受信の状態の等価回路である。すなわち、インタフェースは電源 V_{tt} に接続されインタフェースが持つインピーダンスが $R_{rb} \sim R_{rd} = Z_o$ である回路の等価回路である。

【0052】

配線はそれぞれ $T_a \sim T_d$ で示した伝送線路モデルである。可変抵抗器 1、2 は Y 字型接続されている 3 つの抵抗 R_a, R_b, R_{e1} と R_c, R_d, R_{e2} が等価回路である。

【0053】

可変抵抗 1、2 間を接続する配線の等価回路は T_{e1}, T_{e2} で示された伝送線路モデルである。

【0054】

また、図 1 の LSIE に対応するモデルは伝送線路 T_{e1}, T_{e2} の間に有る静電容量 C_{io} と R_{re} である。これは図 1 の LSIE のインタフェースが $LSI_a \sim LSI_d$ のインタフェースとは異なりインピーダンスが $H_i Z$ で有ることを模擬している。

【0055】

各 $LSI_a \sim e$ のピンに対応したノードは $a_1 \sim e_1$ で記した。

【0056】

また、各素子のインピーダンスは以下の通りであり、可変抵抗器 1 にはドライバ a から制

10

20

30

40

50

御信号が出力され図4のd1がHになった状態である。また、可変抵抗器2は制御信号がd1, d2とも入力されていない状態である。

【0057】

伝送線路Ta~Td, Te1, Te2のインピーダンス $Z_o = 50 [\quad]$

インタフェースa~dのインピーダンス $R_{ra} \sim R_{rd} = 50 [\quad]$

インタフェースeのインピーダンス $R_{re} = 1K [\quad]$

可変抵抗器のインピーダンス $R_a = R_{e1} = 0 [\quad]$

可変抵抗器のインピーダンス $R_b = 50 [\quad]$

可変抵抗器のインピーダンス $R_c = R_d = R_{e2} = 50 / 3 [\quad]$

また、伝送線路の長さは $T_a \sim r_d = 50 [\text{mm}]$ 、 $T_{e1}, T_{e2} = 100 [\text{mm}]$ である。また、インタフェースa~eの静電容量 C_{io} は全て 2 pF であり、ドライバの立上り、立ち下がり時間は $0.5 [\text{ns}]$ である。

10

【0058】

図8は図7の回路のシミュレーション波形である。横軸は[秒]を単位とする時間で、縦軸は電圧[V]と電流[A]の大きさを表している。

【0059】

図中凡例にあるように、実線はdatainのドライブ波形である。0V - 1V振幅のパルス幅 2 ns のパルスで、データ転送速度は $500 [\text{MT/s}]$ (Mega Transaction per Second)である。破線はa1での、点線はb1での、細かい点線はc1での、1点鎖線はd1での、太い1点鎖線はe1での、電圧波形である。

20

【0060】

各レシーブ点b1~e1での波形は極めてなめらかな、矩形波であることが分かる。また、ドライブ点a1の波形は、立上り、立下がりドライバのインピーダンス $R_{ra} = 50 [\quad]$ 伝送線路Taのインピーダンス $Z_o = 50 [\quad]$ との分圧比の $0.5 [\text{V}]$ である。しかし、可変抵抗1の20%のインピーダンスミスマッチにより進行波の20%がドライバ側に戻ってきており、この反射波が $0.1 [\text{V}] = 0.5 [\text{V}] \times 0.2$ であるので、結果として約 $0.1 [\text{V}]$ のオーバーシュートとなっている。しかし、この20%の反射波はドライバも伝送線路Taと整合終端しているので再反射されることはない。ただし、立上り時間だけインタフェースaの持つ静電容量 C_{io} により再反射される。この静電容量のインピーダンス Z_c は $j * \quad * C_{io}$ であり、ここで j は-1の平方根であり、 \quad は各周波数である。立上り時間が今、 $0.5 [\text{ns}]$ であるので、 $\quad = 2 / t_r$ であるので抵抗 $50 [\quad]$ と並列接続された静電容量による反射係数を計算すると $\quad = -0.1 - j 0.3$ となる。反射係数は小さな位相遅れだけであり、波形に大きな乱れは生じさせない。

30

【0061】

また、インタフェースb~eのピン位置b1~e1での電圧波形はドライバの電圧波形の1/2程度で、終端電圧 $0.5 [\text{V}]$ に対して $\pm 0.2 [\text{V}]$ になっている。ノードe1で振幅 $0.4 [\text{V}]$ となっているのはドライバaからの進行波が可変抵抗器1を通過後も、これが図4のように制御されるので低抵抗で接続され伝搬係数 $T_3 = 0.8$ すなわち $0.4 [\text{V}]$ で伝搬する。また、 R_{re} が $1K [\quad]$ でここでのインピーダンスの乱れが少

40

【0062】

この $\pm 0.2 [\text{V}]$ の振幅はC-MOSのゲートアレーなどに用いられる差動回路では十分に弁別できる大きさである。また、遅延時間がb1~e1で生じておるがこれはドライバからの配線長差に起因するものである。

【0063】

この様にしてドライバaからの波形は受信点b1~e1においてドライブ波形のa1に対して約半分の大きさに歪みが少なく高速に伝送できることがわかった。

【0064】

バスが高速化されデータ伝搬時間がデータパルス幅と同程度以上になると、データの干渉

50

いわゆる符号間干渉が生じる。これを調べるために、`datain`のパルスを疑似ランダム化して同様のシミュレーションを行った波形を図9～10に示す。

【0065】

図9はドライブ点`a1`での波形で繰り返しを重ねて表示したいわゆるアイパターン(eye pattern)である。図10は`b1`でのアイパターン、図11は`e1`でのアイパターンである。図10も図11もノイズが乗っているのが50[mV]以下と極めて小さく、また、立上りと立ち下がりの交差点はほとんど変化が無いので符号間干渉によるjitterが極めて少ないことが分かる。このため、500MT/sでは問題なくデータ転送できるといえる。

【0066】

図7はLSIaドライブであるが対称性からLSIb～dドライブでも同じ波形となることが分かる。ただし、可変抵抗器1、2はドライバの位置により図4に従うように遷移するものとする。

10

【0067】

次にLSIeドライブについてシミュレーションを行った。図12はその等価回路である。図7と異なるのはインタフェース`a`がレシーバであり $R_{ra} = 50[\quad]$ が V_{cc} に接続されていること、インタフェース`e`が R_{re} を介してパルス電源が接続されていることである。このパルス電源は図7のインタフェース`a`内のそれと接続点以外同じ波形を出力する。インタフェース`e`の出力インピーダンス R_{re} は線路 T_{e1} 、 T_{e2} の特性インピーダンス Z_0 の半分の25[\quad]である。これは配線が2本が並列接続されているためインタフェース`e`からの見かけの線路のインピーダンスが半分になっているためである。また、可変抵抗器1、2内の抵抗は全て $Z_0/3$ である。

20

【0068】

このインタフェースeドライブのシミュレーション波形は図13である。`datain`の波形は実線で示されており0-1[V]の500MT/sのパルスであり、ノード`e1`での波形は一点鎖線で示された0.5[V]振幅の波形であり、ノード`a1`～`d1`ではインタフェース`e`からの配線長が等しいため重なって表示されており、0.5[V]を中心に振幅 $\pm 0.125[V]$ の矩形波で非常にノイズが小さいことが分かる。これは、可変抵抗器1、2とそれに接続されている伝送線路 $T_a \sim T_d$ がそれぞれ伝送線路 T_{e1} 、 T_{e2} からみて完全整合終端されているためである。

【0069】

30

図14と図15にノード`e1`、ノード`a1`のアイパターンを示す。図9～図11に比べて更に低ノイズ、低jitterであることが分かる。このため、インタフェースeドライブにおいても低ノイズで高速データ転送を行うことができることがわかる。

【0070】

このようにバスを構成することによりLSIa～eのいずれがドライバになっても低ノイズで高速にデータ転送することができることが分かった。これにより、本発明を用いた高速データ転送を内蔵する装置を提供できる。

【0071】

更に動作原理から可変抵抗器1、2とLSIa～dまでの配線は1対1配線であり無損失で近似できる長さで特性インピーダンスが一定ならば長さの制限が無く波形は低歪みのまま伝送できることがわかる。このことにより、スタブ配線である図1の配線 $T_a \sim T_d$ の配線長制限が基本的にない。すなわち、長さの制約がないので構造設計に自由度を持たせられるという効果がある。

40

【0072】

また、このように構成することで配線に終端抵抗が不要となり実装面積を削減することができるという効果がある。

【0073】

次に第2の実施例である無反射整合終端を実現する定インピーダンス・インタフェースを図16を用いて説明する。このインタフェースは図6で記載の出力インピーダンスと出力電圧 V_{io} をC-MOSで実現したものである。

50

【 0 0 7 4 】

点線で囲った 1 1 はドライバ部で、data端子とデータ出力制御端子(OE_N)により出力インピーダンスが変化する。2 1 はレシーバでドライバ 1 1 と I/Opad を共用しており、I/Opad を通じて入力された受信信号を基準電圧 V_{ref} と比較することでデータの H, L を検出する。

【 0 0 7 5 】

ドライバ 1 1 は P - M O S と N - M O S がそれぞれ並列接続された p u s h - p u l l 型のトータポールである。P - M O S は電源 V_{cc} と I/Opad に接続され、N - M O S はグランドと I/Opad に接続されている。それぞれのゲート電圧は 5 1、5 2 で示されたドライバインピーダンス制御回路に接続されて制御されている。なお、図 6 の機能を実現するため V_{cc} の電位は 1 . 0 [V] であるが、本来任意であり、選択するデバイスや給電システムの使用可能電源あるいはレシーバの感度から決まる電圧であり、1 . 0 [V] 以上であっても 1 . 0 [V] 以下であっても良い。

10

【 0 0 7 6 】

インピーダンス制御回路 5 1、5 2 は data、OE_N により P - M O S、N - M O S のゲート電圧を制御しドライバ 1 1 の出力インピーダンスと出力電圧を制御する。この制御回路の一例を図 1 7 を用いて説明する。

【 0 0 7 7 】

図 1 7 においてドライバの出力段は幅 (W) の等しい 2 つの N - M O S トランジスタと P - M O S トランジスタがペアとなり、この幅 W の 2 倍、4 倍、8 倍の幅を持つ P - M O S、N - M O S トランジスタがそれぞれ並列接続されている。

20

【 0 0 7 8 】

5 1 - a は H 側の P - M O S トランジスタのインピーダンスを設定するためのレジスタであり、w、2 w、4 w、8 w のトランジスタを 2 つあるうち 1 つずつ複数組み合わせることでインピーダンスを制御することができる。すなわち、選択の組合せは w のトランジスタのインピーダンスを単位として 1 / 1 5 まで離散的に制御可能である。同様に 5 2 - a は L 側の N - M O S トランジスタのインピーダンスを設定するためのレジスタであり、w、2 w、4 w、8 w のトランジスタを 2 つあるうち 1 つずつ複数組み合わせることでインピーダンスを制御することができる。今、レジスタ 5 1 - a、5 2 - a の設定値はインタフェースが接続されている伝送線路の特性インピーダンス $Z_0 = 50 [\quad]$ の倍の 1 0 0 [\quad] に設定されている。

30

【 0 0 7 9 】

このレジスタ 5 1 - a、5 2 - a の設定信号と data、OE_N の信号を入力とする AND、NAND 回路により図 1 7 に示されるような配線によりそれぞれの P - M O S、N - M O S トランジスタは制御され、図 6 で示されたインピーダンスと出力電圧を実現している。

【 0 0 8 0 】

例えば、data が H で OE_N が L の場合、N - M O S は全て切れる状態となり、また、P - M O S はインピーダンス制御回路 5 1 - a で選択されたトランジスタの組合せの倍のトランジスタが On することになる。すなわち 1 0 0 [\quad] に設定されている P - M O S トランジスタのゲート幅が倍になりインピーダンスは半分の 5 0 [\quad] となる。そして I/Opad 出力電圧は無負荷時 $V_{cc} = 1 . 0 [V]$ になる。また、5 0 [\quad] の特性インピーダンスを持つ配線が接続されている場合は、抵抗分圧比の 1 / 2 の 0 . 5 [V] が出力される。

40

【 0 0 8 1 】

更に OE_N が H の場合、すなわち出力が切れる場合は P - M O S はインピーダンス制御回路 5 1 - a で選択されたトランジスタの組合せのトランジスタが On することになる。すなわち P - M O S のインピーダンスの合計は 1 0 0 [\quad] である。N - M O S もインピーダンス制御回路 5 1 - b で選択されたトランジスタの組合せのトランジスタが On することになる。すなわち N - M O S のインピーダンスの合計は 1 0 0 [\quad] である。これにより

50

出力インピーダンスは半分の $50[\Omega]$ となり、出力電圧は V_{cc} - グランド間の半分の $0.5[V]$ となる。

【0082】

このように構成することにより図6の出力インピーダンスと出力電圧をC-MOSトランジスタのみで実現することができ、LSIに搭載することが簡単にできる。これはまた、図7の等価回路を持つインタフェースを実現した回路となっている。

【0083】

次に図18を用いてインピーダンス調整回路の実現方法を説明する。これはLSIの外部に精度の高い抵抗 R_{arg} を設けて、この抵抗 R_{arg} を V_{cc} と I/Opad に接続し、図17のドライバと同じ種類のセルをこの I/Opad に接続する。この I/Opad には更に21のコンパレータ型レシーバが接続されており電圧 V_{ref} と比較結果をインピーダンス調整回路53に伝える。 $R_{arg} = 100[\Omega]$ に選び $V_{cc} = 1.0[V]$ に選べばインピーダンス調整回路53はN-MOSトランジスタの幅を選択的に変えることで R_{arg} とドライバ11の分圧比に応じた電圧が V_{ref} に対して大きい小さいかをモニターできる。インピーダンス調整回路53はドライバ11のN-MOSトランジスタを幅 w が最小幅から順に大きくなるように On することでインピーダンスを小さくしていくことができ、 R_{arg} と同じかそれ以下になったときレシーバ21の出力が反転するのでこの変移点をモニターする事ができる。更に今度は逆にトランジスタの幅を最大幅から順に小さくすることでドライバのインピーダンスを大きくしていくことができ、 R_{arg} と同じかそれ以上になったときレシーバ21の出力が反転するのでこの変移点をモニターする事ができる。この2つの変移点の設定の中に目標の R_{arg} が有ることが分かる。これにより、先の2つの変移点の設定のどちらかを採用することで R_{arg} に最小の誤差を持ってドライバ11のインピーダンスを $V_{ds} = 0.5[V]$ で設定することができる。更に、この設定値を他のドライバが有している図17のインピーダンス制御レジスタ52-bに書き込むことで書き込まれたドライバ全てのL側のインピーダンスを $100[\Omega]$ に設定できる。

【0084】

同様に、 R_{arg} を I/Opad と グランド に接続したセルを用意し、これのP-MOSを順位選択することで R_{arg} と同じインピーダンスに最小の誤差を持って設定できる。更に、この設定値を他のドライバが有している図17のインピーダンス制御レジスタ52-aに書き込むことで書き込まれたドライバ全てH側を $100[\Omega]$ に設定できる。

【0085】

この設定はシステムがパワーオンしたときに行っても良いし、温度が一定とみなせる例えば5分間隔に行っても良い。

【0086】

このようにLSIがインピーダンス調整用の回路を持つことで目標の $100[\Omega]$ に設定できる。これにより、製造バラツキや温度バラツキに起因するインピーダンスの誤差を取り除くことができる。

【0087】

第3の実施例として可変抵抗器1を図19を用いて説明する。これは図4の可変抵抗器1をMOSトランジスタを用いて実現した実施例である。端子a~c間のインピーダンスを55a~55cで示したインピーダンス調整回路で制御する。可変抵抗 $r_a \sim r_c$ を実現するトランジスタは幅の異なるトランジスタが並列接続されており、その組み合わせでインピーダンスを調整する。図では w から $32w$ までの6個のMOSトランジスタが並列接続されている。このインピーダンス調整回路は更に端子 d_1, d_2 に接続されている方向制御回路50により制御されている。 d_1, d_2 の状態により図4に示したように抵抗 $r_a \sim r_c$ が変化する。図4では抵抗 $r_a \sim r_c$ は3つの状態があり、それぞれ低抵抗の r_l 、高抵抗の $r_h (= Z_o)$ 、線路インピーダンスの $r_0 (= Z_o / 3)$ で表されている。

【0088】

ここで、図4の r_l は低抵抗を意味し全てのトランジスタがオンすることを意味する。ま

10

20

30

40

50

た、 r_h は可変抵抗器1に接続される線路の特性インピーダンス Z_o と同じであり、第1の実施例では $50[\quad]$ である。この $50[\quad]$ を実現するMOSトランジスタの幅の3倍の組合せで $r_o = Z_o / 3$ の状態を作る事ができる。

【0089】

インピーダンス調整回路は第2の実施例と同じく図18と同じ回路を有すれば簡単に実現できる。この場合、目標のインピーダンスは $50[\quad]$ なので R_{arg} は $50[\quad]$ を選ばよい。

【0090】

図18のインピーダンス設定をインピーダンス制御回路55-a~55-cに設定すれば r_h を設定できる。

10

【0091】

ここで、トランジスタはN-MOS型のトランジスタで記載しているがP-MOSとN-MOSが並列接続されたパストラジスタでも構わないし、P-MOSのみでも構わない。この可変抵抗1に供給する電源電圧 V_{cc} が供給される場合それぞれの制御回路55-a~55-cがトランジスタを所定のインピーダンスに遷移できるかどうかでトランジスタの種類を選ばよい。

【0092】

また、図20に示すように3端子間の可変抵抗を集合させることで実装面積を削減することができる。図では9ビット構成であり、それに方向制御回路50とインピーダンス調整回路53を1つつつ共用することができる。ピン数が増加するが図20では3端子間の可変抵抗間をグランド(v_{ss})でビット間のクロストークを低減させることができる。ピン数を削減するために V_{ss} ピンを削減することも可能である。

20

【0093】

更に、1つの定インピーダンスインタフェースを持つLSIaからデータ信号を出力する場合、データ信号送出に先立ち、可変抵抗器1の抵抗値制御信号 d_1 を抵抗値が図4のように遷移するのに必要な時間以上前にLSIaから出力されることで確実に抵抗値を遷移させることができ、安定なデータ転送を行うことができる。当然、データ転送後は制御信号 d_a はネゲートするのがよい。例えばマルチプロセッサバスに本発明のバスシステムが応用された場合通常はプロセッサが有するキャッシュメモリの内容一致(コヒーレンシ)のため、バスをスヌープするためレシーブ状態となっているためである。すなわち本発明はマルチプロセッサバスにも応用することができるという効果がある。

30

【0094】

このように構成することにより、高精度のインピーダンス制御を安価なMOSを用いて実現でき、更に多ビット構成することができるので、実装面積を削減できる効果もある。

【0095】

第4の実施例を図21を用いて説明する。プリント基板100に4つのコネクタ70-a~70-dが搭載され、このコネクタ70-a~70-dとLSIe間を可変抵抗器1、2と配線3で接続されている。ここには示されていない可変抵抗1、2がそれぞれのコネクタ70-a~70-dから抵抗1、2へ一本ずつ配線されている。すなわち、インピーダンス制御信号はコネクタ70-aと70-bから可変抵抗器1へ、コネクタ70-cと70-dから可変抵抗器2へ接続されている。

40

【0096】

図22は図21のコネクタ70-a~70-dに挿抜可能なドータボード101である。ドータボード101に搭載されているコネクタ71はコネクタ70-a~70-dに挿入可能である。このコネクタ71にLSIからデータ、アドレス信号 T_a が接続されそのほか図21の抵抗1或いは抵抗2を制御するための制御信号 d_a が接続されている。図22のLSIは図6で記載されたインピーダンスを持つインタフェースを有する。図21のLSIはドライブ時は配線3の特性インピーダンスの半分のインピーダンスで、レシーブ時にはハイインピーダンスとなるようなインタフェースが搭載されている。

【0097】

50

このように構成することで配線に終端抵抗が不要となり実装面積を削減することができるという効果がある。また、ドータ基板をコネクタ接続できるのでプロセッサなどの高機能LSIをシステムの性能に応じて交換することができる。これはまた、壊れたドータ基板の交換もできる事を意味する。また、ドータ基板101を4枚搭載する必要がない場合はVttに50[]で終端された終端基板を装着する必要がある。これはこの終端基板が無い場合、終端状態が崩れるためである。

【0098】

また、図23のように接続することにより、ドータ基板を両面に搭載することもできる。図23は断面図である。ドータ基板101a~101dが基板100の両面に実装されている。表面にはドータ基板101aと101bの中間に可変抵抗1が搭載されている。裏面にはドータ基板101cと101dの中間に可変抵抗2が搭載されている。そして可変抵抗1、2間にLSIeが来るようにグランド・電源層でセパレートされた2層の信号配線を上下に配して接続することで第1の実施例と同じバスシステムを構成することができる。この第2バスを他方の側に設けることができる。第2のバスに接続されるドータ基板は102a~102dであらわしてあり、信号の層も第1のバス共有することができる。

10

【0099】

このように構成することで、同じサイズの基板100に2本バスを搭載することができ、システムの機能を向上することができる。

【0100】

第5の実施例として本バスを用いたシステム構成例を図24のに示す。図は4つのCPUがプロセッサバス201により相互接続されている。また、DRAMを制御する4つのメモリコントローラをメモリバス202により相互接続されている。更にPCIなどの周辺装置を接続するためのI/OポートLSIを4つ接続するI/Oバス203により相互接続されている。これらのバス201~203がセンタブリッジに接続されている。センタブリッジはバス201~203の丁度真ん中に来るように配線されている。そして、各バスは第1の実施例のように可変抵抗を有し、高速データ転送を可能にしている。

20

【0101】

更に、このプロセッサバス201、メモリバス202、I/Oバス203とセンタブリッジを有するCPUモジュールを単位として、CPUモジュールを複数接続するためのモジュールバス204を有している。このように構成することにより大規模なマルチプロセッサ機を構成することができる。また、互いのデータ転送を高速にできるので高性能な装置を構成することができる。

30

【0102】

【発明の効果】

第1の実施例のように構成することにより、LSIa~eのいずれがドライバになっても分岐点で無反射或いは低反射率となり低ノイズで高速にデータ転送することができる。これにより、本発明を用いた高速データ転送を内蔵する装置を提供できる。

【0103】

更に動作原理から可変抵抗器1、2とLSIa~dまでの配線は1対1配線であり無損失で近似できる長さで特性インピーダンスが一定ならば長さの制限が無く波形は低歪みのまま伝送できることがわかる。このことにより、スタブ配線である図1の配線Ta~Tdの配線長制限が基本的にない。すなわち、長さの制約がないので構造設計に自由度を持たせられるという効果がある。

40

【0104】

また、このように構成することで配線に終端抵抗が不要となり実装面積を削減することができるという効果がある。

【0105】

第2の実施例のように構成することにより、図6の出力インピーダンスと出力電圧をC -

50

M O S トランジスタのみで実現することができ、L S I に搭載することが簡単にできる。
これはまた、図 7 の等価回路を持つインタフェースを実現できる。

【 0 1 0 6 】

また、このように L S I がインピーダンス調整用の回路を持つことで目標の 1 0 0 [] に設定できる。これにより、製造バラツキや温度バラツキに起因するインピーダンスの誤差を取り除くことができる。

【 0 1 0 7 】

第 3 の実施例のように構成することにより、高精度のインピーダンス制御を安価な M O S を用いて実現でき、更に多ビット構成することができるので、実装面積を削減できる効果もある。

10

【 0 1 0 8 】

第 4 の実施例のように構成することにより、高精度のインピーダンス制御を安価な M O S を用いて実現でき、更に多ビット構成することができるので、実装面積を削減できる効果もある。

【 図面の簡単な説明 】

【 図 1 】 第 1 の実施例を説明する図。

【 図 2 】 従来技術の (S S T L) 信号配線図。

【 図 3 】 第 1 の実施例を説明する図。

【 図 4 】 第 1 の実施例の制御回路遷移表。

【 図 5 】 第 1 の実施例のインタフェース回路。

20

【 図 6 】 第 1 の実施例の制御回路遷移表。

【 図 7 】 第 1 の実施例のシミュレーション等価回路。

【 図 8 】 第 1 の実施例のシミュレーション波形。

【 図 9 】 第 1 の実施例のシミュレーション波形。

【 図 1 0 】 第 1 の実施例のシミュレーション波形。

【 図 1 1 】 第 1 の実施例のシミュレーション波形。

【 図 1 2 】 第 1 の実施例のシミュレーション等価回路。

【 図 1 3 】 第 1 の実施例のシミュレーション波形。

【 図 1 4 】 第 1 の実施例のシミュレーション波形。

【 図 1 5 】。第 1 の実施例のシミュレーション波形。

30

【 図 1 6 】 第 1 の実施例を説明する図。

【 図 1 7 】 第 1 の実施例を説明する図。

【 図 1 8 】 第 1 の実施例を説明する図。

【 図 1 9 】 第 2 の実施例を説明する図。

【 図 2 0 】 第 2 の実施例を説明する図。

【 図 2 1 】 第 2 の実施例を説明する図。

【 図 2 2 】 第 2 の実施例を説明する図。

【 図 2 3 】 第 2 の実施例を説明する図。

【 図 2 4 】 第 3 の実施例を説明する図。

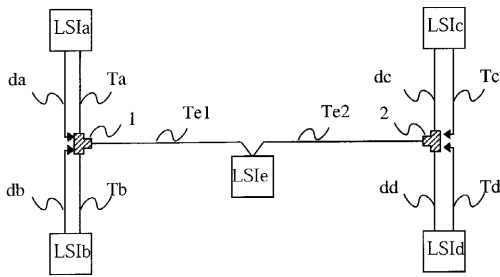
【 符号の説明 】

40

1 , 2 ... 可変抵抗器、 3 ... メインライン。

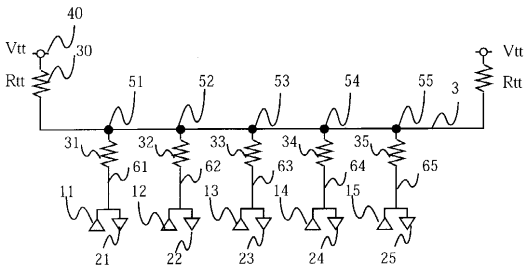
【 図 1 】

図 1



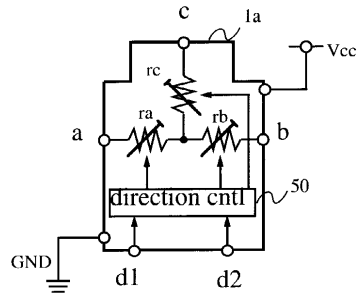
【 図 2 】

図 2



【 図 3 】

図 3



【 図 4 】

図 4

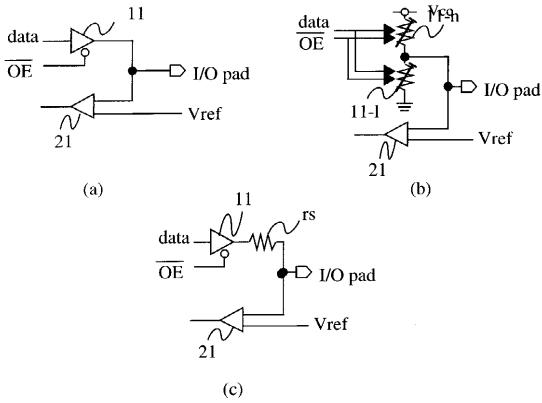
抵抗制御回路50遷移表

d1	d2	ra	rb	rc
L	L	ro	ro	ro
L	H	rh	rl	rl
H	L	rl	rh	rl
H	H	ro	ro	ro

$ro = Zo/3$
 $rh = Zo$
 $rl < 5 \text{ [ohm]}$

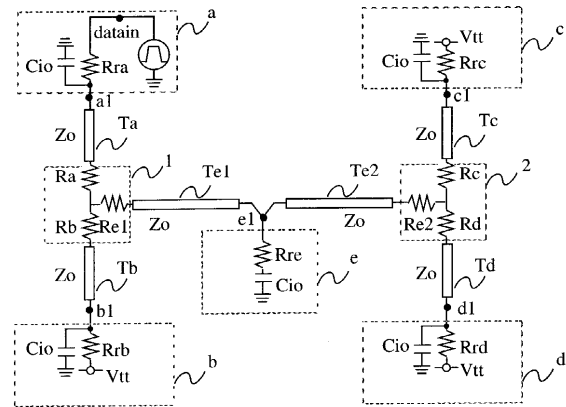
【 図 5 】

図 5



【 図 7 】

図 7



【 図 6 】

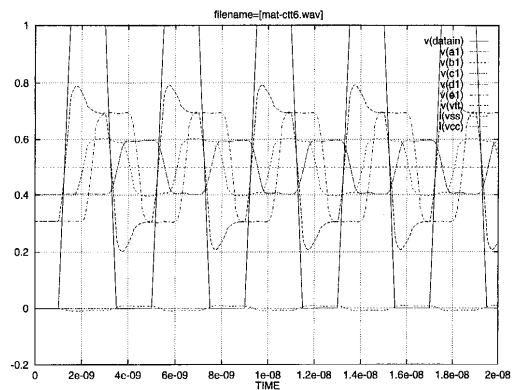
図 6

data	OE	Rhi	Rlo	Vio(*)
0	0	5k	> 50	0.0V
0	1	100	100	0.5V
1	0	50	5k	> 1.0V
1	1	100	100	0.5V

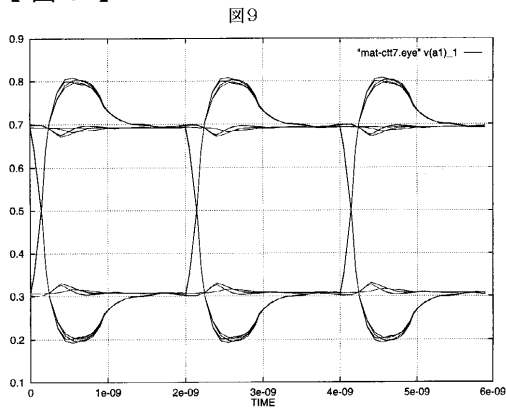
* no load

【 図 8 】

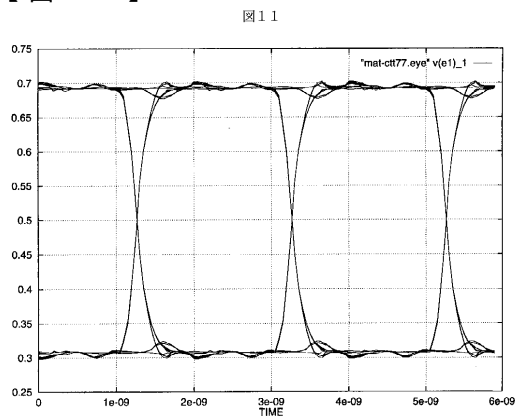
図 8



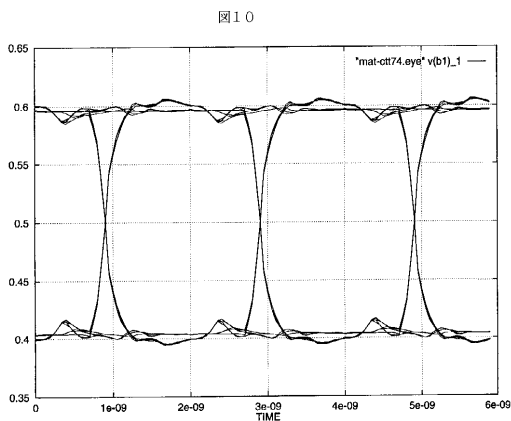
【 図 9 】



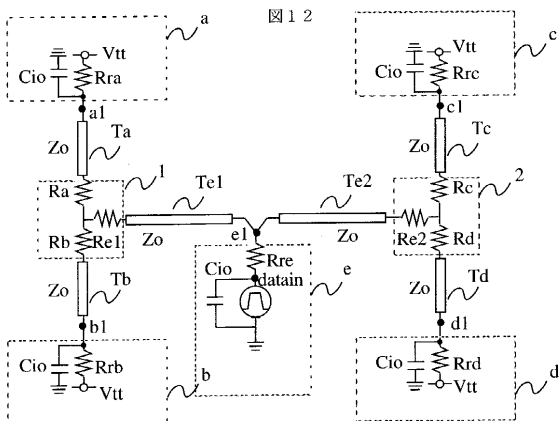
【 図 1 1 】



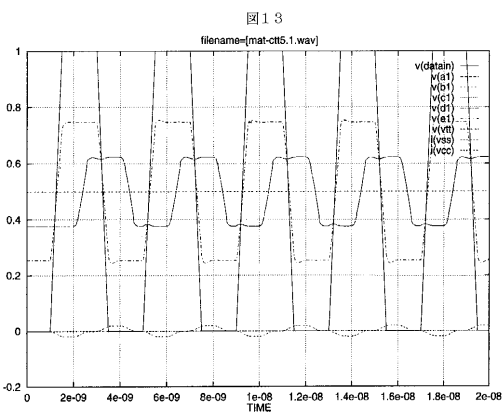
【 図 1 0 】



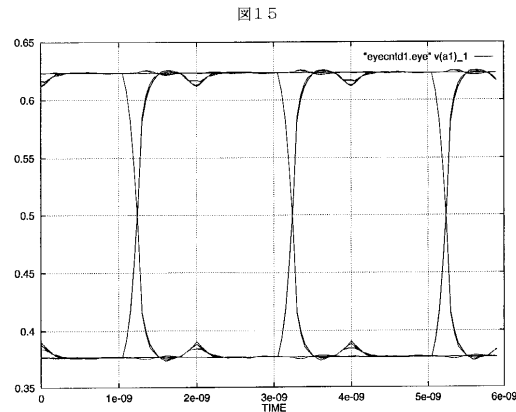
【 図 1 2 】



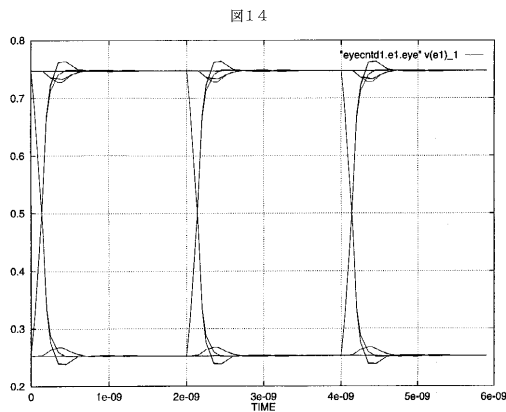
【 図 1 3 】



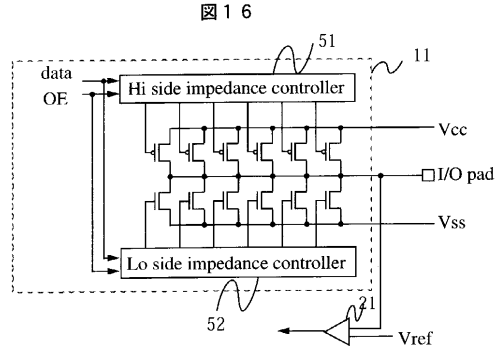
【 図 1 5 】



【 図 1 4 】

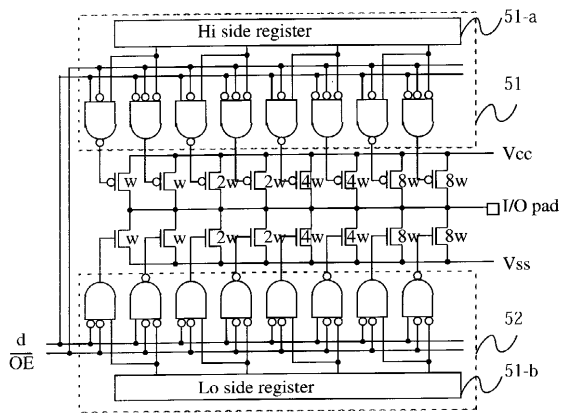


【 図 1 6 】



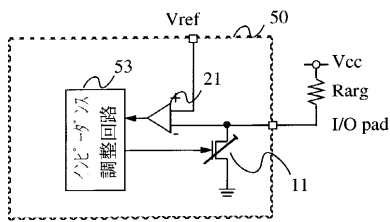
【 図 1 7 】

図 1 7



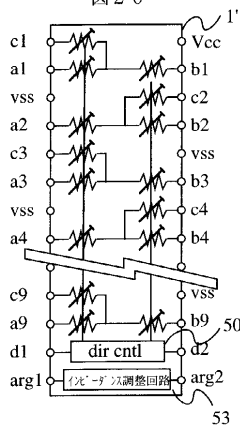
【 図 1 8 】

図 1 8



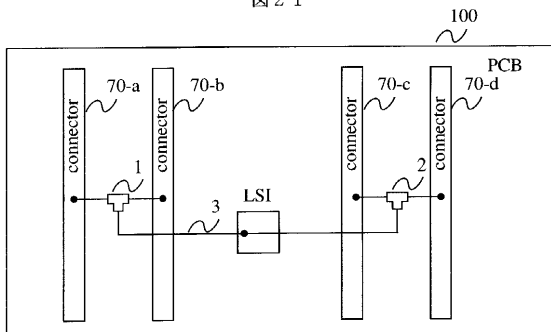
【 図 2 0 】

図 2 0



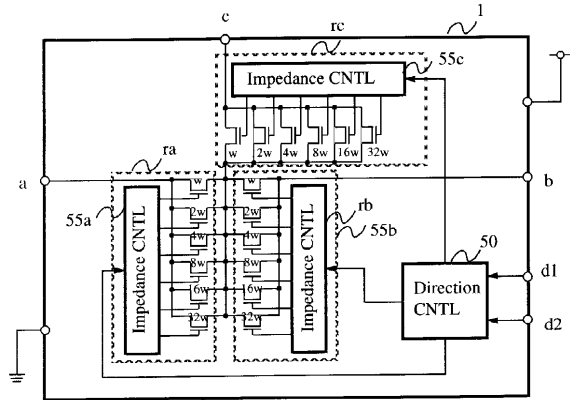
【 図 2 1 】

図 2 1



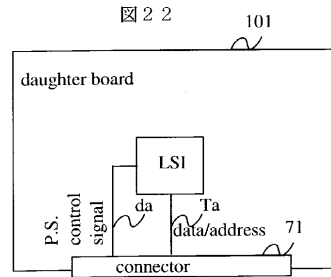
【 図 1 9 】

図 1 9



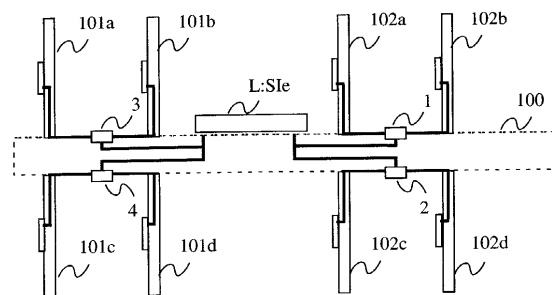
【 図 2 2 】

図 2 2



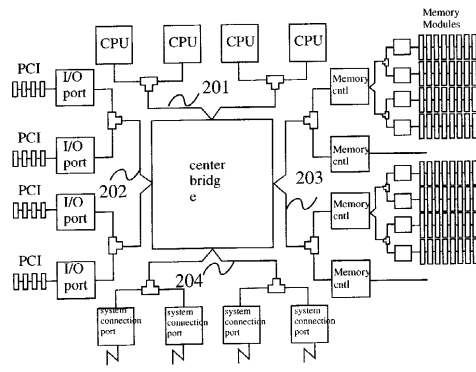
【 図 2 3 】

図 2 3



【 図 2 4 】

図 2 4



フロントページの続き

(72)発明者 石橋 賢一

神奈川県秦野市堀山下1番地 株式会社日立製作所 エンタープライズサーバ事業部内

審査官 中田 剛史

(56)参考文献 特開平11-045138(JP,A)

特開平11-102241(JP,A)

特開平10-126425(JP,A)

特開平10-224201(JP,A)

特開平08-162930(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

G06F 12/00

G06F 13/16,36

H03K 19/0175